

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2003-162892 (P2003-162892A)

【公開日】平成 15 年 6 月 6 日 (2003.6.6)

【出願番号】特願 2002-252879 (P2002-252879)

【国際特許分類第 7 版】

G 1 1 C 11/15

// H 0 1 L 21/8247

H 0 1 L 27/10

H 0 1 L 27/105

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

G 1 1 C 11/15 1 0 0

H 0 1 L 27/10 4 4 7

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 1

【手続補正書】

【提出日】平成 17 年 8 月 29 日 (2005.8.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

20 デシベル以上の信号対雑音比を維持するように、抵抗性素子を有するランダムアクセスメモリ (RAM) アレイを設計する方法であって、

(a) 互いから間隔をおいて配置される複数のメモリセルを行および列のマトリクスに配置し、各メモリセルが 0.25 M から 3.60 M の接合部抵抗値を有するように選択され、

(b) 複数の導電性行線を配置し、各行線が 1 つの行内の前記メモリセル間に接続され、実質的に 0.0 から 0.38 の値の、メモリセル間の行単位線抵抗値を有するように選択され、

(c) 複数の導電性列線を配置し、各列線が 1 つの列内の前記メモリセル間に接続され、実質的に 0.0 から 0.38 の値の、メモリセル間の列単位線抵抗値を有するように選択され、及び

(d) 前記抵抗性メモリアレイにおいて 20 デシベル以上の信号対雑音比を有するようにするために、メモリセル接合部抵抗値と、行および列の単位線抵抗値とを相関させることからなる、方法。

【請求項 2】

前記行または列の単位線抵抗値が、約 0.24 から 0.38 の範囲にあるように選択される、請求項 1 に記載の方法。

【請求項 3】

前記接合部抵抗値の範囲が、0.8 M から 2.8 M に維持される、請求項 2 に記載

の方法。

【請求項 4】

前記メモリセルの前記接合部抵抗値と、前記行または列の単位線抵抗値とは、前記接合部抵抗値と前記行または列の単位線抵抗値の比が、約 500 万対 1 であるように相互に関連づけられる、請求項 1 に記載の方法。

【請求項 5】

行におけるメモリセルの数が、列におけるメモリセルの数とほぼ等しい、請求項 1 に記載の方法。

【請求項 6】

N 行および M 列を有するメモリアレイにおいて、全行または全列の線抵抗に対する前記接合部抵抗の比を、前記全行または全列の線抵抗が N または M に対して前記接合部抵抗が約 500 万よりも高い値に維持するために、前記接合部抵抗値が前記全行または全列の線抵抗値に対して相互に関連づけられる、請求項 1 に記載の方法。

【請求項 7】

前記 N および M が約 1,024 に等しく、MTJ 抵抗値と前記全行または全列の線抵抗値の比が、約 5,000 以上に維持される、請求項 6 に記載の方法。

【請求項 8】

前記メモリセルが磁気 RAM セルである、請求項 1 に記載の方法。

【請求項 9】

前記メモリセルが、MTJ 抵抗を有する磁気抵抗トンネル接合 (MTJ) デバイスである、請求項 8 に記載の方法。

【請求項 10】

20 デシベル以上の信号対雑音比を維持するための素子抵抗値を有する抵抗性ランダムアクセスメモリ (RAM) アレイであって、

(a) 行および列のマトリクスに互いから間隔をおいて配置される複数のメモリセルであって、各メモリセルが 0.25 M から 3.60 M の接合部抵抗値を有するように選択される、複数のメモリセルと、

(b) 複数の導電性行線であって、各行線が 1 つの行内の前記メモリセル間に接続され、実質的に 0.0 から 0.38 の値の、メモリセル間の行単位線抵抗値を有するように選択される、複数の導電性行線と、

(c) 複数の導電性列線であって、各列線が 1 つの列内の前記メモリセル間に接続され、メモリセル間の列単位線抵抗値を有するように選択され、前記行単位線抵抗値が前記列単位線抵抗値に概ね等しい、複数の導電性列線とを備え、

(d) 前記抵抗性メモリアレイにおいて、信号対雑音比が 20 デシベル以上であるように、前記接合部抵抗値が、前記行または列の単位線抵抗値と相互に関連づけられる、抵抗性ランダムアクセスメモリ (RAM) アレイ。

【請求項 11】

行におけるメモリセルの数が、列におけるメモリセルの数とほぼ等しい、請求項 10 に記載のメモリアレイ。

【請求項 12】

前記複数のメモリセルが 1,024 × 1,024 のメモリセルアレイに配置され、前記行または列の単位線抵抗値が、0.24 から 0.38 の範囲に入るように選択され、前記メモリセルが、0.8 M から 2.8 M の前記接合部抵抗値の範囲を有するように選択される、請求項 10 に記載のメモリアレイ。

【請求項 13】

前記接合部抵抗値と前記行または列の単位線抵抗値の比が、約 500 万対 1 であるように、前記接合部抵抗値が、前記行または列の単位線抵抗値と相互に関連づけられる、請求項 10 に記載のメモリアレイ。

【請求項 14】

前記行および列の単位線抵抗値は、1 つの行導体の全行抵抗値が、1 つの列導体の全列

抵抗値にほぼ等しくなるように選択される、請求項 10 に記載のメモリアレイ。

【請求項 15】

前記メモリセルが磁気 RAM セルである、請求項 10 に記載のメモリアレイ。

【請求項 16】

前記メモリセルが、MTJ 抵抗を有する磁気抵抗トンネル接合 (MTJ) デバイスである、請求項 15 に記載のメモリアレイ。

【請求項 17】

前記 MTJ デバイスが、磁気の向きが固定されたピン留め層と、磁界をかけるのに応じて磁気の向きの状態間で変化するセンス層と、前記ピン留め層と前記センス層との間にある絶縁層とを有する、請求項 16 に記載のメモリアレイ。

【請求項 18】

前記ピン留め層が反強磁性層と強磁性ピン留め層からなり、前記センス層が磁界によって影響を及ぼされる磁性材料からなる、請求項 17 に記載のメモリアレイ。

【請求項 19】

許容できる信号対雑音比を維持するように選択され、且つ相互に関連付けられた抵抗性素子を有する磁気ランダムアクセスメモリ (MRAM) アレイであって、

(a) 約 N 行および N 列の正方形のマトリクスに互いから間隔をおいて配置される複数の磁気抵抗トンネル接合 (MTJ) メモリセルであって、各メモリセルが 0.25 M から 3.60 M の範囲の MTJ 抵抗値を有するように選択される、複数の磁気抵抗トンネル接合 (MTJ) メモリセルと、

(b) 複数の導電性行線であって、各行線が 1 つの行内の前記メモリセル間に接続され、0.0 から 0.38 の値の、メモリセル間の行単位抵抗値の N 倍の全行線抵抗値を有するように選択される、複数の導電性行線と、

(c) 複数の導電性列線であって、各列線が 1 つの列内の前記メモリセル間に接続され、0.0 から 0.38 の値の、メモリセル間の列単位抵抗値の N 倍の全列線抵抗値を有するように選択される、複数の導電性列線と、

(d) 前記抵抗性メモリアレイにおいて、少なくとも 20 デシベルの信号対雑音比を維持するために、前記全行または全列の線抵抗値に対する前記 MTJ 抵抗値の比を、前記全行または全列の線抵抗値が N に対して前記 MTJ 抵抗値が約 500 万よりも高い値になるように、前記 MTJ 抵抗値が前記全行または全列の線抵抗値と相互に関連づけられる、磁気ランダムアクセスメモリ (MRAM) アレイ。

【請求項 20】

N が約 1,024 に等しく、前記 MTJ 抵抗値と前記全行または全列の線抵抗値の比を約 5,000 以上に維持するように、前記 MTJ 抵抗値が前記全行または全列の線抵抗値に相互に関連づけられる、請求項 19 に記載の MRAM メモリアレイ。