

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
2. Februar 2012 (02.02.2012)

(10) Internationale Veröffentlichungsnummer
WO 2012/013514 A1

(51) Internationale Patentklassifikation:

H01L 33/62 (2010.01) H01L 23/495 (2006.01)
H01L 33/64 (2010.01) H01L 31/024 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2011/062082

(22) Internationales Anmeldedatum:
14. Juli 2011 (14.07.2011)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2010 038 405.4 26. Juli 2010 (26.07.2010) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstraße 4, 93055 Regensburg (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BARCHMANN, Bernd** [DE/DE]; Künische Straße 11, 93059 Regensburg (DE). **KRÄUTER, Gertrud** [DE/DE]; Johann-Igl-Weg 24, 93051 Regensburg (DE). **MÜLLER, Klaus** [DE/DE]; Gartenstraße 6a, 93186 Pettendorf (DE). **STREITEL, Reinhard** [DE/DE]; Markusweg 19, 93164 Laaber (DE).

(74) Anwalt: **PAUL, Benjamin**; OSRAM GmbH, Postfach 22 16 34, 80506 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: ELECTRONIC COMPONENT AND METHOD FOR PRODUCING AN ELECTRONIC COMPONENT

(54) Bezeichnung : ELEKTRONISCHES BAUELEMENT UND VERFAHREN ZUR HERSTELLUNG EINES ELEKTRONISCHEN BAUELEMENTS

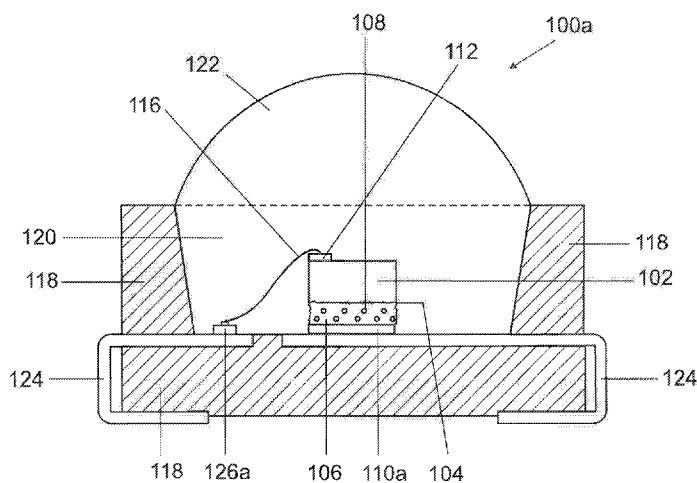


FIG 1a

(57) Abstract: The invention relates to an electronic component (100a, 100b, 200), in particular an optoelectronic component. The electronic component comprises a substrate (124, 224) having at least one semiconductor chip contact layer (110a, 110b, 210). A semiconductor chip (102, 202) is disposed on the semiconductor chip contact layer (110a, 110b, 210). A connection layer (106, 206) comprising pores is disposed between the semiconductor chip contact layer (110a, 110b, 210) and a contact surface (104, 204) of the semiconductor chip (102, 202) facing the substrate (124, 224).

(57) Zusammenfassung: Es handelt sich um ein elektronisches Bauelement (100a, 100b, 200), insbesondere ein optoelektronisches Bauelement. Das elektronische Bauelement weist ein Substrat (124, 224) mit mindestens einer Halbleiterchip-Kontaktschicht (110a, 110b, 210) auf. Auf der Halbleiterchip-Kontaktschicht (110a, 110b, 210) ist ein Halbleiterchip (102, 202) angeordnet. Zwischen

der Halbleiterchip-Kontaktschicht (110a, 110b, 210) und einer dem Substrat (124, 224) zugewandten Kontaktfläche (104, 204) des Halbleiterchips (102, 202) ist eine Poren aufweisende Verbindungsschicht (106, 206) angeordnet.

WO 2012/013514 A1



Veröffentlicht:

- *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

- 1 -

ELEKTRONISCHES BAUELEMENT UND VERFAHREN ZUR HERSTELLUNG EINES ELEKTRONISCHEN BAUELEMENTS

BESCHREIBUNG

Die vorliegende Erfindung betrifft ein elektronisches Bauelement, insbesondere ein optoelektronisches Bauelement, und ein Verfahren zur Herstellung eines solchen Bauelements.

- 5 Elektronische Bauelemente, insbesondere optoelektronische Bauelemente, mit einem Halbleiterchip erzeugen im Betrieb Wärme, die die Effizienz des elektronischen Bauelements verringert. Insbesondere bei optoelektronischen Bauelementen der oberen Leistungsklasse kann das
- 10 thermische Management problematisch sein.

Eine Aufgabe der Erfindung ist es, ein elektronisches Bauelement anzugeben, bei dem die im Halbleiterchip erzeugte Wärme schnell an das Substrat abgeführt werden kann.

- 15 Diese Aufgabe wird durch ein elektronisches Bauelement gemäß dem unabhängigen Patentanspruch 1 und durch ein Verfahren zur Herstellung eines elektronischen Bauelements gemäß dem unabhängigen Patentanspruch 11 gelöst.
- 20 Weiterbildungen und vorteilhafte Ausgestaltungen des elektronischen Bauelements und des Verfahrens zur Herstellung des elektronischen Bauelements sind in den abhängigen Ansprüchen angegeben.

Beispielhafte Ausführungsformen

- 2 -

Verschiedene Ausführungsformen weisen ein elektronisches Bauelement auf, bei dem die im Halbleiterchip erzeugte Wärme schnell an das Substrat abgeführt werden kann.

Das elektronische Bauelement weist ein Substrat auf mit
5 mindestens einer Halbleiterchip-Kontaktschicht. Auf der Halbleiterchip-Kontaktschicht ist ein Halbleiterchip angeordnet. Zwischen der Halbleiterchip-Kontaktschicht und einer dem Substrat zugewandten Kontaktfläche des Halbleiterchips ist eine Poren aufweisende
10 Verbindungsschicht angeordnet.

Die Halbleiterchip-Kontaktschicht kann eine metallisierte Schicht sein, die elektrisch und/oder thermisch leitfähig ist. Beispielsweise weist die Halbleiterchip-Kontaktschicht Gold auf. Die Halbleiterchip-
15 Kontaktschicht kann je nach Ausführungsform in einer meßbaren Dicke oder als Fläche mit einer nahezu verschwindenden Dicke vorliegen.

In einer bevorzugten Ausführungsform ist das elektronische Bauelement ein optoelektronisches
20 Bauelement. Der im optoelektronische Bauelement angeordnete Halbleiterchip kann auf einem III-V-Verbindungshalbleitermaterial basieren. Die Halbleiterchips weisen mindestens eine aktive Zone auf, die elektromagnetische Strahlung emittiert. Die aktiven
25 Zonen können pn-Übergänge, Doppelheterostruktur, Mehrfach-Quantentopfstruktur (MQW), Einfach-Quantentopfstruktur (SQW) sein. Quantentopfstruktur bedeutet: Quantentöpfe (3-dim), Quantendrähte (2-dim) und Quantenpunkte (1-dim).

- 3 -

Der Halbleiterchip kann beispielsweise als Oberflächenemitter, insbesondere als sogenannter Dünnschichtchip oder als Volumenemitter, insbesondere als Saphir-Volumenemitter ausgelegt sein.

- 5 Der Dünnschichtchip ist beispielsweise aus der Offenlegungsschrift WO2005081319A1 bekannt. Wird während der Herstellung des optoelektronischen Bauelements, insbesondere eines Bauelements mit einer metallhaltigen Spiegelschicht, das Aufwachssubstrat der
- 10 Halbleiterschichtenfolge abgelöst, so werden derartige unter Ablösen des Aufwachssubstrats hergestellte Bauelemente auch als Dünnschicht-Bauelemente bezeichnet. Das strahlungsemitternde Halbleiterbauelement weist hierin einen Stapel unterschiedlicher III-V-Nitrid-
- 15 Halbleiterschichten, insbesondere Galliumnitrid-Schichten, auf. Das Dünnschichtbauelement ist ohne strahlungsabsorbierendes Substrat ausgeführt und ein Reflektor ist direkt auf dem GaN-Halbleiterkörper aus dem Stapel unterschiedlicher III-V-Nitrid-Halbleiterschichten
- 20 aufgebracht.

- Der Saphir-Volumen-Emitter ist beispielsweise aus der Patentschrift DE102006015788A1 bekannt. Dabei kann als Aufwachssubstrat für die Halbleiterschichtenfolge Saphir verwendet werden. Im Gegensatz zum Dünnschichtchip wird beim
- 25 Saphir-Volumen-Emitter das Aufwachssubstrat am Ende des Herstellungsprozesses nicht von der Halbleiterschichtenfolge abgelöst. Das (Aufwachs-)Substrat ist strahlungsdurchlässig für die in der aktiven Zone erzeugte Strahlung. Dies erleichtert die
- 30 Strahlungsauskopplung aus dem Halbleiterchip durch das Substrat. Der Halbleiterchip ist damit als

- 4 -

Volumenstrahler ausgebildet. Bei einem Volumenstrahler wird im Gegensatz zu einem Oberflächenemitter auch über das Substrat ein maßgeblicher Strahlungsanteil aus dem Halbleiterchip ausgekoppelt. Die Oberflächenleuchtdichte an den Auskoppelflächen des Halbleiterchips ist bei einem
5 Volumenstrahler gegenüber einem Oberflächenstrahler verringert.

Die Offenbarungen der Schriften WO2005081319A1 und DE102006015788A1 werden hiermit durch Rückbezug in die
10 Offenbarung der vorliegenden Anmeldung aufgenommen.

In einer bevorzugten Ausführungsform ist die Poren aufweisende Verbindungsschicht wärmeleitfähig. Dies ist besonders vorteilhaft, da dadurch die im Halbleiterchip erzeugte Wärme besonders schnell an das Substrat
15 abgeführt werden kann. Als Halbleiterchip kann ein Saphir-Volumen-Emitter eingesetzt werden, bei dem die Poren aufweisende Verbindungsschicht nur zum thermischen Kontakt dient.

In einer weiteren bevorzugten Ausführungsform ist die
20 Poren aufweisende Verbindungsschicht wärmeleitfähig und zugleich elektrisch leitfähig. Dies ist besonders vorteilhaft, da dadurch neben der Wärmeabfuhr auch einer der beiden elektrischen Kontakte des Halbleiterchips realisiert wird. Als Halbleiterchip kann ein Dünnschichtchip
25 eingesetzt werden.

In einer bevorzugten Ausführungsform besteht die Poren aufweisende Verbindungsschicht aus Silber. Dadurch kann die Wärmeleitfähigkeit gegenüber Verbindungsschichten aus Kleber, insbesondere Silberleitkleber, oder Lot erhöht
30 werden. Die Poren aufweisende Silberschicht ist frei von

- 5 -

organischen Verbindungen. Zudem ist sie deutlich preiswerter (Faktor 10) als ein Lot aus Au80Sn20, das zu 80 Gewichtsprozent aus Gold und zu 20 Gewichtsprozent aus Zinn besteht. Die Poren aufweisende Verbindungsschicht aus Silber weist eine Wärmeleitfähigkeit zwischen 80 W/m*K und 300 W/m*K auf. Je weniger Poren in der Verbindungsschicht vorhanden sind und je kleiner die Poren sind desto höher ist die Wärmeleitfähigkeit.

Die Wärmeleitfähigkeit von elektrisch leitfähigem Kleber liegt zwischen 1,5 W/m*K und 20 W/m*K. Die Wärmeleitfähigkeit von Lot liegt je nach verwendetem Lottyp zwischen 50 und 60 W/m*K. Als Lot kann eine Zinnhaltige Legierung, z.B. SnAgCu, verwendet werden. Alternativ kann als Lot Au80Sn20 verwendet werden. Die Schmelztemperatur von Au80Sn20 liegt bei etwa 280°C.

Mit anderen Worten ist ein Kerngedanke der Erfindung, den bisher verwendeten Silberleitkleber bzw. das bisher verwendete Lot zwischen dem Halbleiterchip und der Halbleiterchip-Kontaktschicht auf dem Substrat durch eine Silberschicht zu ersetzen.

Besonders vorteilhaft ist es, dass die Poren aufweisende Silberschicht bei etwa 250°C durch einen Sinterprozess erzeugt wird. Der Schmelzpunkt von Silber liegt wesentlich höher, bei etwa 960 °C. Mit anderen Worten wird beim Sintern die flüssige Phase umgangen. Die Poren aufweisende Silberschicht bleibt bei der späteren Oberflächenmontage der elektronischen Bauelemente auf eine Leiterplatte (SMT-Assembly) stabil und schmilzt nicht auf. Nach dem Bestücken der Leiterplatten mit elektronischen Bauelementen, werden die Bauelemente im

- 6 -

sog. Reflow-Verfahren verlötet. Dabei wird maximal eine Temperatur von 260°C erreicht. Wenn als Chiplot eine Zinnbasierte Legierung (außer Au80Sn20) in einem Weichlotprozess verwendet wird, schmilzt das Chiplot bei
5 der Oberflächenmontage auf. Dies führt zu einem undefinierten Gefügezustand des Chiplores und kann thermische Probleme und Zuverlässigkeitsprobleme zur Folge haben. Als Alternative könnte ein Lot aus Au80Sn20 verwendet werden. Au80Sn20 hat einen Schmelzpunkt von
10 etwa 280 °C, weshalb kein Wiederaufschmelzen bei der Oberflächenmontage erfolgt. Nachteilig bei der Verwendung von Au80Sn20 als Lot ist zum einen der hohe Preis, da der Goldanteil etwa 80 Gewichtsprozent beträgt. Ein weiterer Nachteil ist der, dass Au80Sn20 als Chiplot bei etwa
15 300°C verarbeitet wird. Bei dieser Temperatur können sich Gehäusekunststoffe von Premoldgehäusen verfärben, was zu einer deutlichen Verringerung der Reflektivität dieser Gehäusekunststoffe führt.

In einer bevorzugten Ausführungsform weist die Poren
20 aufweisende Verbindungsschicht aus Silber eine Dicke zwischen etwa 1 µm und etwa 50 µm, vorzugsweise zwischen 5 µm und 30 µm auf. Wegen der hohen Wärmeleitfähigkeit der Poren aufweisenden Silberschicht ist die Dicke der Poren aufweisenden Silberschicht im Gegensatz zur Dicke
25 des bisher verwendeten Silberleitklebers ein weniger relevanter Parameter. Dies ermöglicht eine einfache Prozessierung mit relativ großen Toleranzen. Beim Silberleitkleber hingegen, steigt mit der Schichtdicke der Wärmewiderstand stark ab. Deshalb muss der Kleber so
30 dünn wie möglich prozessiert werden. Typischer Weise beträgt die Dicke des Silberleitklebers 3 µm bis 5 µm.

- 7 -

Schon Schichtdicken von 10 μm sind problematisch hinsichtlich der Abfuhr der vom Halbleiterchip erzeugten Wärme.

In einer bevorzugten Ausführungsform weist die Poren
5 aufweisende Verbindungsschicht aus Silber Poren mit Porengrößen zwischen etwa 50 nm und etwa 1000 nm auf. Die geringe Größe der Poren ist vorteilhaft, da mit abnehmender Porengröße die Wärmeleitfähigkeit der Silberschicht ansteigt. Ebenso ist eine möglichst geringe
10 Porendichte vorteilhaft. Je geringer die Porendichte desto geringer der thermische Widerstand.

In einer bevorzugten Ausführungsform besteht die Poren aufweisende Verbindungsschicht aus Gold. Dies ist vorteilhaft, da Gold ähnlich günstige Eigenschaften
15 aufweist wie Silber und zudem nicht oxidiert. Dies führt dazu, dass die thermische und elektrische Leitfähigkeit langfristig konstant bleibt.

In einer bevorzugten Ausführungsform ist das Substrat ein Leadframe. Der Leadframe kann aus Kupfer bestehen mit
20 einer Wärmeleitfähigkeit von etwa 300 W/m $\cdot$ K. Das Kupfer kann an seiner Oberfläche versilbert sein, um die Reflektivität für die vom Halbleiterchip emittierte elektromagnetische Strahlung zu erhöhen. Das Kupfer kann auch vergoldet sein, um den Leadframe stabiler gegenüber
25 Oxidation zu machen und um die Kupferionen vom Halbleiterchip fernzuhalten.

In einer bevorzugten Ausführungsform ist der Leadframe in ein Premold-Gehäuse eingegossen. Das Premold-Gehäuse ist ein Spritzverguss. Der Spritzguss erfolgt bei etwa 350°C
30 und 800 bis 2000 bar. Der Premold ist aus einem

- 8 -

Kunststoff, insbesondere einem Polymer, und weist eine Reflektivität von bis zu 95% auf. Der Premold hat eine weiße Färbung. Der Premold hat mehrere Funktionen. Er hält die beiden Teile des Leadframes zusammen. Er weist
5 eine Kavität auf, auf deren Boden der Halbleiterchip angeordnet ist. Die Seitenwände der Kavität dienen als Reflektor für die vom Halbleiterchip emittierte elektromagnetische Strahlung. Die Kavität des Premold bietet Platz für einen Verguss und verhindert ein
10 seitliches Verlaufen des Vergusses. Der Verguss kann einen Leuchtstoff aufweisen. Insgesamt kann das Premold-Gehäuse mit Leadframe sehr einfach und kostengünstig prozessiert werden.

Wegen der begrenzten thermischen Beständigkeit von
15 Polymeren, ist es beim Einsatz eines Premold-Gehäuse erforderlich, dass die kurzzeitige Verarbeitungstemperatur 260°C nicht überschreitet. Diese Bedingung kann mit dem erfindungsgemäßen Sinterprozess, mit dem die Poren aufweisende Silberschicht erzeugt wird,
20 eingehalten werden.

In einer bevorzugten Ausführungsform ist das Substrat eine Keramik. Als Keramik können Aluminium-Oxid (Al_2O_3) mit einer Wärmeleitfähigkeit von etwa 20 W/m*K, Aluminiumnitrid (AlN) mit einer Wärmeleitfähigkeit von
25 etwa 170 W/m*K oder Bornitrid (BN) mit einer Wärmeleitfähigkeit von etwa 220 W/m*K zum Einsatz kommen. Der Einsatz eines Keramiksubstrats ist besonders vorteilhaft, da Keramik weitestgehend temperaturunempfindlich ist.

- 9 -

Die Erfindung ist besonders vorteilhaft für optoelektronische Bauelemente der oberen Leistungsklassen mit einer Bestromung mit mehr als 300 mA. Beispielsweise kann die erfindungsgemäße Poren aufweisende

- 5 Verbindungsschicht bei folgenden OSRAM OS Produkten zum Einsatz kommen. Bauelemente mit einem Leadframe und einem Premold-Gehäuse, wie Advanced Power TOPLED (Plus), Golden Dragon (Plus), Platinum Deagon oder Diamond Dragon. Bauelemente mit einem Keramiksubstrat, wie die Oslon.
- 10 In einer bevorzugten Ausführungsform verringert sich bei der Advanced Power TOPLED durch die Poren aufweisende Verbindungsschicht aus Silber gegenüber einer Verbindungsschicht aus leitfähigem Kleber der thermische Widerstand um bis zu 40%. Dies führt dazu, dass der
- 15 Lichtstrom um etwa 4% zunimmt. Dies kann dadurch erklärt werden, dass durch die verbesserte Wärmeabfuhr vom Halbleiterchip an den Leadframe der Leuchtstoff weniger erwärmt wird. Je niedriger die Temperatur des Leuchtstoffes ist, desto höher ist seine Effizienz.
- 20 Verschiedene Ausführungsformen des Verfahrens zum Herstellen eines elektronischen Bauelements mit einer Poren aufweisenden Verbindungsschicht zwischen Halbleiterchip und Substrat weisen mindestens die folgenden Verfahrensschritte auf:
- 25 Zunächst wird ein Substrat mit mindestens einer Halbleiterchip-Kontaktschicht bereitgestellt. Auf die Halbleiterchip-Kontaktschicht wird eine Paste durch Dispensen oder Siebdrucken oder Stempeln oder Schablonendrucken oder Jetten aufgebracht. Die Paste
- 30 beinhaltet Silberpartikel, organisches Lösungsmittel und

- 10 -

eine organische Matrix, in der die Silberpartikel eingebettet sind. Die Silberpartikel weisen eine Größe von kleiner 5 µm auf. Dies ist besonders vorteilhaft, da das nachfolgende Sintern bei niedrigen Temperaturen von
5 kleiner etwa 250°C umso bessere Ergebnisse liefert, je kleiner die Silberpartikel sind. Die Silberpartikel liegen vor dem Sinterschritt in Form von Flocken oder Kügelchen vor. Nach dem Aufbringen der Paste wird der Halbleiterchip auf die Paste gepresst, was auch Die-
10 Attach genannt wird. Abschließend wird die Paste gesintert, um die organische Matrix auszubrennen. Als Endprodukt entsteht zwischen dem Halbleiterchip und der Halbleiterchip-Kontaktschicht auf dem Substrat eine wärmeleitfähige, Poren aufweisende Verbindungsschicht aus
15 Silber.

In besonders vorteilhafter Weise werden beim Sinterprozess runde und möglichst kleine Poren erzeugt, die zudem gleichmäßig in der Verbindungsschicht verteilt sind.

20 In einer bevorzugten Ausführungsform erfolgt das Sintern der Paste in einem Umluftofen unter Normalatmosphäre während etwa 20 Minuten bei kleiner 250°C. Dieses Niedertemperatur-Sintern ist insbesondere bei Premold-Gehäusen besonders vorteilhaft, da sich die
25 Gehäusekunststoffe nicht verfärben.

In einer bevorzugten Ausführungsform wird nach dem Pressen des Halbleiterchips auf die Paste und vor dem Sinterschritt ein Temperschritt ausgeführt. Das Tempern erfolgt in einem Umluftofen bei Normal-Atmosphäre während
30 etwa 10 Minuten bei etwa 150°C. Der Temperschritt dient

- 11 -

zum Austreiben des organischen Lösungsmittels aus der Paste. Der Einsatz eines organischen Lösungsmittels ist besonders vorteilhaft, da es einen hohen Dampfdruck aufweist. Es verdampft schon bei niedrigen Temperaturen.

- 5 In einer bevorzugten Ausführungsform wird nach dem Sinterschritt der auf dem Substrat befestigte Halbleiterchip mit einem Vergussmaterial, insbesondere einem Silikon oder einem Harz, vergossen.

- In einer bevorzugten Ausführungsform wird nach dem
10 Vergießen des Halbleiterchips eine Primäroptik, insbesondere eine Linse, auf den Verguss aufgesetzt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Verschiedene Ausführungsbeispiele der erfindungsgemäßen Lösung werden im Folgenden anhand der Zeichnungen näher erläutert.

- 15 Figur 1a zeigt einen Schnitt durch ein elektronisches Bauelement mit einem Leadframe als Substrat;
Figur 1b zeigt einen Schnitt durch ein elektronisches Bauelement mit einem Leadframe als Substrat;
Figur 2 zeigt einen Schnitt durch ein elektronisches
20 Bauelement mit einer Keramik als Substrat;
Figur 3 zeigt ein Ablaufdiagramm des Herstellungsverfahrens des erfindungsgemäßen elektronischen Bauelements.

AUSFÜHRUNGSBEISPIELE

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit denselben Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als
5 maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren Darstellbarkeit und zum besseren Verständnis übertrieben groß oder verkleinert dargestellt sein.

Figur 1a zeigt eine Schnittansicht durch ein
10 elektronisches Bauelement 100a. Das elektronische Bauelement 100a kann ein optoelektronisches Bauelement sein. Das elektronische Bauelement 100a weist ein Substrat 124 auf, auf dem eine Halbleiterchip-Kontaktschicht 110a vorgesehen ist. Die Halbleiterchip-Kontaktschicht 110a weist ein elektrisch leitendes
15 und/oder Wärme leitendes Material auf. Als Material kann Gold verwendet werden. Die Halbleiterchip-Kontaktschicht 110a weist eine Dicke zwischen 0,5 μm und 5 μm auf. Auf der Halbleiterchip-Kontaktschicht 110a ist ein
20 Halbleiterchip 102 angeordnet. Zwischen der Halbleiterchip-Kontaktschicht 110a und einer dem Substrat 124 zugewandten Kontaktfläche 104 des Halbleiterchips 102 ist eine Poren aufweisende Verbindungsschicht 106 angeordnet. Die Poren aufweisende Verbindungsschicht 106
25 ist elektrisch leitfähig und/oder wärmeleitfähig. Die Poren aufweisende Verbindungsschicht 106 kann aus Silber bestehen. Sie weist eine Dicke zwischen etwa 1 μm und etwa 50 μm , vorzugsweise zwischen 5 μm und 30 μm auf. Die Poren aufweisende Verbindungsschicht 106 aus Silber weist

- 13 -

über Ihr gesamtes Volumen Poren 108 mit Porengrößen zwischen etwa 50 nm und etwa 1000 nm auf.

Die Poren aufweisende Verbindungsschicht 106 aus Silber weist eine Wärmeleitfähigkeit zwischen 80 W/m*K und 300
5 W/m*K auf.

Alternativ kann die Poren aufweisende Verbindungsschicht 106 auch aus Gold bestehen.

Das Substrat 124 ist ein Leadframe, der in ein Premold-Gehäuse 118 eingegossen ist. Das Premold-Gehäuse 118
10 bildet eine Kavität. Der Boden der Kavität ist durch den Leadframe 124 gebildet. Der Halbleiterchip 102 ist auf dem Leadframe 124 angeordnet. Die vom Leadframe 124 abgewandte Fläche des Halbleiterchip 102 ist über ein Kontaktpad 112 und einen Bonddraht 116 elektrisch leitend
15 mit einem Bondpad 126a auf dem Leadframe verbunden. Das Bondpad 126a aus Gold weist eine Dicke zwischen 0,5 µm und 5 µm auf. Der Halbleiterchip 102 ist durch einen planaren Volumenverguss 120 vergossen. Auf dem Verguss 120 ist eine Primäroptik 122 in Form einer Linse
20 angeordnet.

Figur 1b zeigt eine Schnittansicht durch ein elektronisches Bauelement 100b. Das Ausführungsbeispiel von Figur 1b ist identisch zum Ausführungsbeispiel von Figur 1a, außer dass die Halbleiterchip-Kontaktschicht
25 110b und das Bondpad 126b eine verschwindende Dicke aufweisen. Mit anderen Worten setzt die Poren aufweisende Verbindungsschicht 106 aus Silber direkt auf den Leadframe 124 auf. Analog setzt der Bonddraht 116 direkt auf den Leadframe 124 auf. Das in Figur 1b gezeigte
30 Ausführungsbeispiel ist vorteilhaft, da die thermische

- 14 -

und elektrische Verbindung zwischen Leadframe 124 und Halbleiterchip 102 unmittelbar ist, also nur durch die Poren aufweisende Verbindungsschicht 106 vermittelt wird. Dies führt zu einer besonders guten Wärmeabfuhr vom

5 Halbleiterchip 102 an den Leadframe 124.

Figur 2 zeigt eine Schnittansicht durch ein elektronisches Bauelement 200. Im Gegensatz zu Figur 1a und 1b ist das Substrat 224 eine Keramik. Der Kern der Erfindung, nämlich der optimierte Wärmetransport vom

10 Halbleiterchip 202 zum Substrat 224 über die Poren aufweisende Verbindungsschicht 206 aus Silber, liegt auch dem Ausführungsbeispiel von Figur 2 zugrunde. Der Halbleiterchip 202 ist über seine Kontaktfläche 204 mit der Poren aufweisenden Verbindungsschicht 206 aus Silber

15 verbunden. Die Poren aufweisende Verbindungsschicht 206 ist mit der elektrisch und thermisch leitenden Halbleiterchip-Kontaktschicht 210 verbunden. Anders als in Figur 1b ist im Ausführungsbeispiel von Figur 2 eine leitfähige Halbleiterchip-Kontaktschicht 210 mit nicht-

20 verschwindender Dicke zwingend notwendig, da das Keramik-Substrat 224 ein elektrischer Isolator ist. Der zweite elektrische Kontakt kommt durch den Bonddraht 216 zu Stande, der das Kontaktpad 212 auf der dem Substrat 224 abgewandten Fläche des Halbleiterchips 202 mit dem

25 Bondpad 226 auf der Keramik 224 verbindet. Der Halbleiterchip 202 ist in einem Verguss 220 eingegossen. Auf dem Verguss ist eine Primäroptik 222 in Form einer Linse angeordnet. Durch das Keramik-Substrat 224 sind Vias 230, 232 angeordnet, die mit elektrisch leitfähigem

30 Material gefüllt sind. In elektrischer Verbindung mit den Vias 230, 232 sind auf der dem Halbleiterchip 202

- 15 -

abgewandten Seite des Substrats 224 metallisierte Kontaktschichten 234, 236 angeordnet. Diese Kontaktschichten 234, 236 sind beispielsweise zur Kontaktierung auf einer Leiterplatte vorgesehen. Die im
5 Halbleiterchip 202 erzeugte Wärme wird primär an die Keramik 224 abgeführt.

Figur 3 zeigt ein Ablaufdiagramm zur Herstellung eines elektronischen, insbesondere eines optoelektronischen, Bauelements. Der Herstellungsprozess lässt sich in die
10 Schritte S1 bis S7 aufgliedern.

Im Schritt S1 wird ein Substrat 124, 224 mit mindestens einer Halbleiterchip-Kontaktschicht 110a, 110b, 210 bereitgestellt.

Im Schritt S2 wird eine Paste auf die Halbleiterchip-
15 Kontaktschicht 110a, 110b, 210 durch Dispensen oder Siebdrucken oder Stempeln oder Schablonendruckern oder Jetten aufgebracht. Die Paste weist Silberpartikel, organisches Lösungsmittel und eine organische Matrix auf. Die Silberpartikel sind in die organische Matrix
20 eingebettet, wodurch wenigstens ein minimaler Zusammenhalt zwischen den Silberpartikeln gegeben ist.

Im Schritt S3 wird der Halbleiterchip 102, 202 auf die Paste aufgedrückt. Dabei wird die Paste verdichtet.

Im optionalen Schritt 4 wird die Paste zum Austreiben des
25 organischen Lösungsmittels aus der Paste getempert. Das Tempern erfolgt in einem Umluftofen unter Normal- Atmosphäre während etwa 10 Minuten bei etwa 150°C.

Im Schritt S5 wird die Paste gesintert, was zu einer Poren aufweisenden Verbindungsschicht 106, 206 führt. Das

- 16 -

Sintern erfolgt in einem Umluftofen unter Normal-
Atmosphäre während etwa 20 Minuten bei etwa 250°C. Im
Sinterschritt wird die organische Matrix ausgebrannt. Die
Porosität und das Volumen der Verbindungsschicht 106, 206
5 verringert sich dabei deutlich. Zudem bilden sich
sogenannte Sinterhälse, die die Festigkeit der
Verbindungsschicht 106, 206 erhöhen. Die Sinterhälse
entstehen durch Oberflächendiffusion zwischen den
Sinterpartikeln.

10 Im Schritt S6 wird der auf dem Substrat befestigte
Halbleiterchip 102, 202 mit einem Vergussmaterial,
insbesondere einem Silikon oder einem Harz, vergossen.

Im Schritt S7 wird eine Primäroptik 122, 222,
insbesondere eine Linse, auf den Verguss 120, 220
15 aufgesetzt.

Das optoelektronische Bauelement wurde zur
Veranschaulichung des zugrundeliegenden Gedankens anhand
einiger Ausführungsbeispiele beschrieben. Die
Ausführungsbeispiele sind dabei nicht auf bestimmte
20 Merkmalskombinationen beschränkt. Auch wenn einige
Merkmale und Ausgestaltungen nur im Zusammenhang mit
einem besonderen Ausführungsbeispiel oder einzelnen
Ausführungsbeispielen beschrieben wurden, können sie
jeweils mit anderen Merkmalen aus anderen
25 Ausführungsbeispielen kombiniert werden. Es ist ebenso
denkbar, in Ausführungsbeispielen einzelne dargestellte
Merkmale oder besondere Ausgestaltungen wegzulassen oder
hinzuzufügen, soweit die allgemeine technische Lehre
realisiert bleibt.

Bezugszeichenliste

	100a	elektronisches Bauelement
	100b	elektronisches Bauelement
5	102	Halbleiterchip
	104	Kontaktfläche des Halbleiterchips
	106	Poren aufweisende Verbindungsschicht aus Silber
	108	Poren in der Verbindungsschicht
	110a	Halbleiterchip-Kontaktschicht auf Leadframe
10	110b	Halbleiterchip-Kontaktschicht auf Leadframe
	112	Kontaktpad
	116	Bonddraht
	118	Premold-Gehäuse
	120	Verguss
15	122	Primäroptik
	124	Leadframe
	126a	Bondpad auf Leadframe
	126b	Bondpad auf Leadframe
	200	elektronisches Bauelement
20	202	Halbleiterchip

- 18 -

	204	Kontaktfläche des Halbleiterchips
	206	Poren aufweisende Verbindungsschicht aus Silber
	208	Poren in der Verbindungsschicht
	210	Halbleiterchip-Kontaktschicht auf Keramik
5	212	Kontaktpad
	216	Bonddraht
	220	Verguss
	222	Primäroptik
	224	Keramik
10	226	Bondpad auf Keramik
	230	elektrisch leitfähiges Via
	232	elektrisch leitfähiges Via
	234	metallisierte Kontaktschicht
	236	metallisierte Kontaktschicht

PATENTANSPRÜCHE

1. Elektronisches Bauelement (100a, 100b, 200), insbesondere optoelektronisches Bauelement, mit:
- einem Substrat (124, 224) aufweisend mindestens eine
 - 5 Halbleiterchip-Kontaktschicht (110a, 110b, 210),
 - mindestens einem auf der Halbleiterchip-Kontaktschicht (110a, 110b, 210) angeordneten Halbleiterchip (102, 202),
 - wobei zwischen der Halbleiterchip-Kontaktschicht
 - 10 (110a, 110b, 210) und einer dem Substrat (124, 224) zugewandten Kontaktfläche (104, 204) des Halbleiterchips (102, 202) eine Poren aufweisende Verbindungsschicht (106, 206) angeordnet ist.
2. Elektronisches Bauelement gemäß Anspruch 1, wobei
- 15 die Poren aufweisende Verbindungsschicht (106, 206) elektrisch leitfähig und/oder wärmeleitfähig ist.
3. Elektronisches Bauelement gemäß Anspruch 1 oder 2, wobei die Poren aufweisende Verbindungsschicht (106, 206) aus Silber besteht.
- 20 4. Elektronisches Bauelement gemäß Anspruch 3, wobei die Poren aufweisende Verbindungsschicht (106, 206) aus Silber eine Dicke zwischen etwa 1 μm und etwa 50 μm , vorzugsweise zwischen 5 μm und 30 μm aufweist.

5. Elektronisches Bauelement gemäß Anspruch 3 oder 4,

- 25 wobei die Poren aufweisende Verbindungsschicht (106, 206) aus Silber Poren (108, 208) mit Porengrößen zwischen etwa 50 nm und etwa 1000 nm aufweist.

- 20 -

6. Elektronisches Bauelement gemäß einem der Ansprüche 3 bis 5, wobei die Poren aufweisende Verbindungsschicht (106, 206) aus Silber eine Wärmeleitfähigkeit zwischen etwa 80 W/m*K und etwa 300 W/m*K aufweist.

7. Elektronisches Bauelement gemäß Anspruch 1 oder 2, wobei die Poren aufweisende Verbindungsschicht aus Gold besteht.

8. Elektronisches Bauelement gemäß einem der vorigen Ansprüche, wobei das Substrat (124) ein Leadframe ist.

9. Elektronisches Bauelement gemäß Anspruch 8, wobei der Leadframe (124) in ein Premold-Gehäuse eingegossen ist.

10. Elektronisches Bauelement gemäß einem der Ansprüche 1 bis 7, wobei das Substrat (224) eine Keramik ist.

11. Verfahren zum Herstellen eines elektronischen Bauelements (100a, 100b, 200), insbesondere eines optoelektronischen Bauelements, mit mindestens den folgenden Schritten:

- Bereitstellen eines Substrats (124, 224) mit mindestens einer Halbleiterchip-Kontaktschicht (110a, 110b, 210),
- Aufbringen einer Paste aufweisend Silberpartikel, organisches Lösungsmittel und eine organische Matrix auf die Halbleiterchip-Kontaktschicht (110a, 110b, 210),
- Pressen des Halbleiterchips (102, 202) auf die Paste,

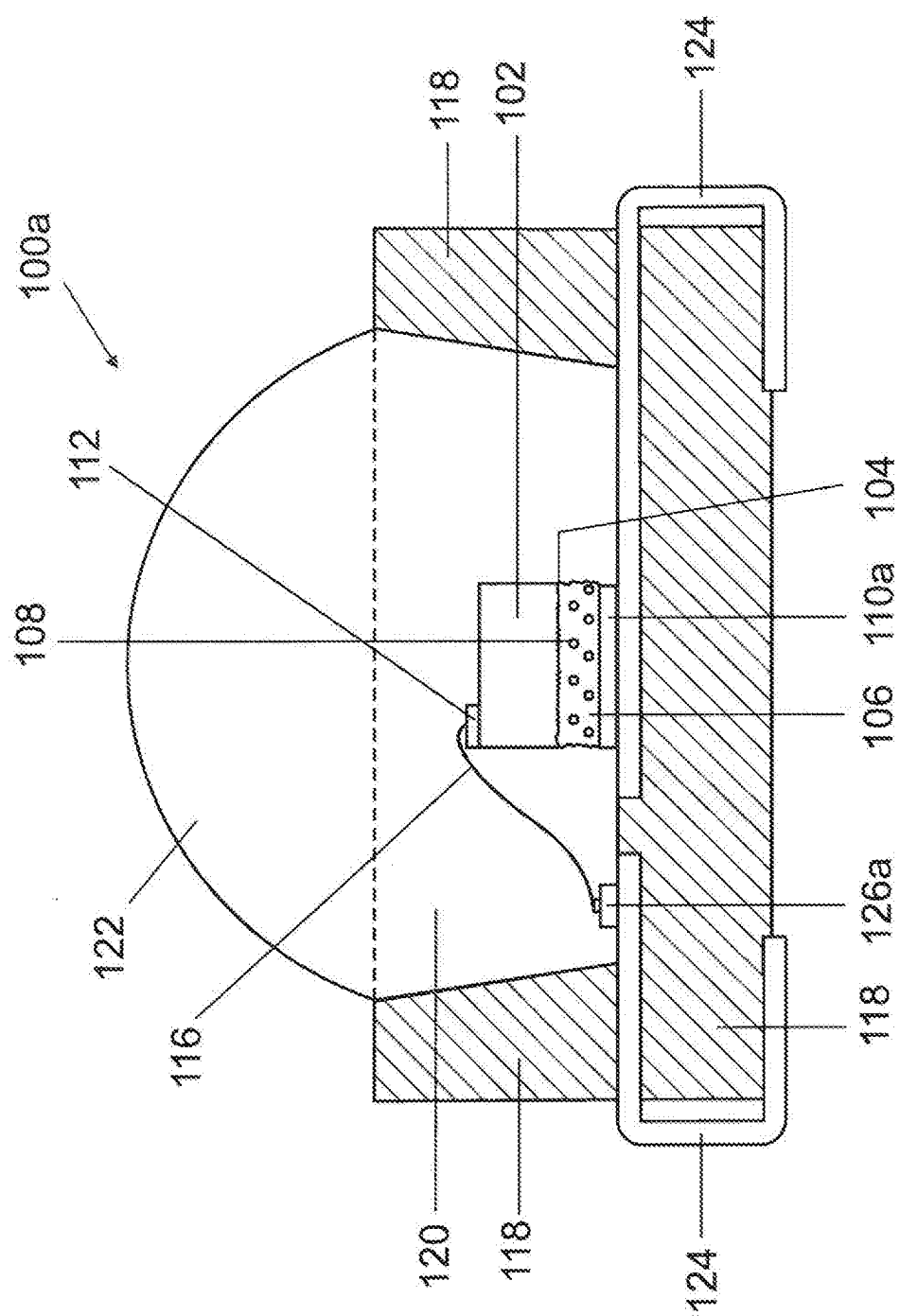
- 21 -

- Sintern der Paste zum Ausbrennen der organischen Matrix.

12. Verfahren gemäß dem vorigen Anspruch, wobei das Sintern der Paste während etwa 20 Minuten bei etwa
5 250°C erfolgt.

13. Verfahren gemäß Anspruch 11 oder 12, wobei ein Tempersschritt zum Austreiben des organischen Lösungsmittels nach dem Pressen des Halbleiterchips (102, 202) auf die Paste und vor dem Sinterschritt
10 ausgeführt wird.

14. Verfahren gemäß Anspruch 13, wobei das Tempern während etwa 10 Minuten bei etwa 150°C erfolgt.





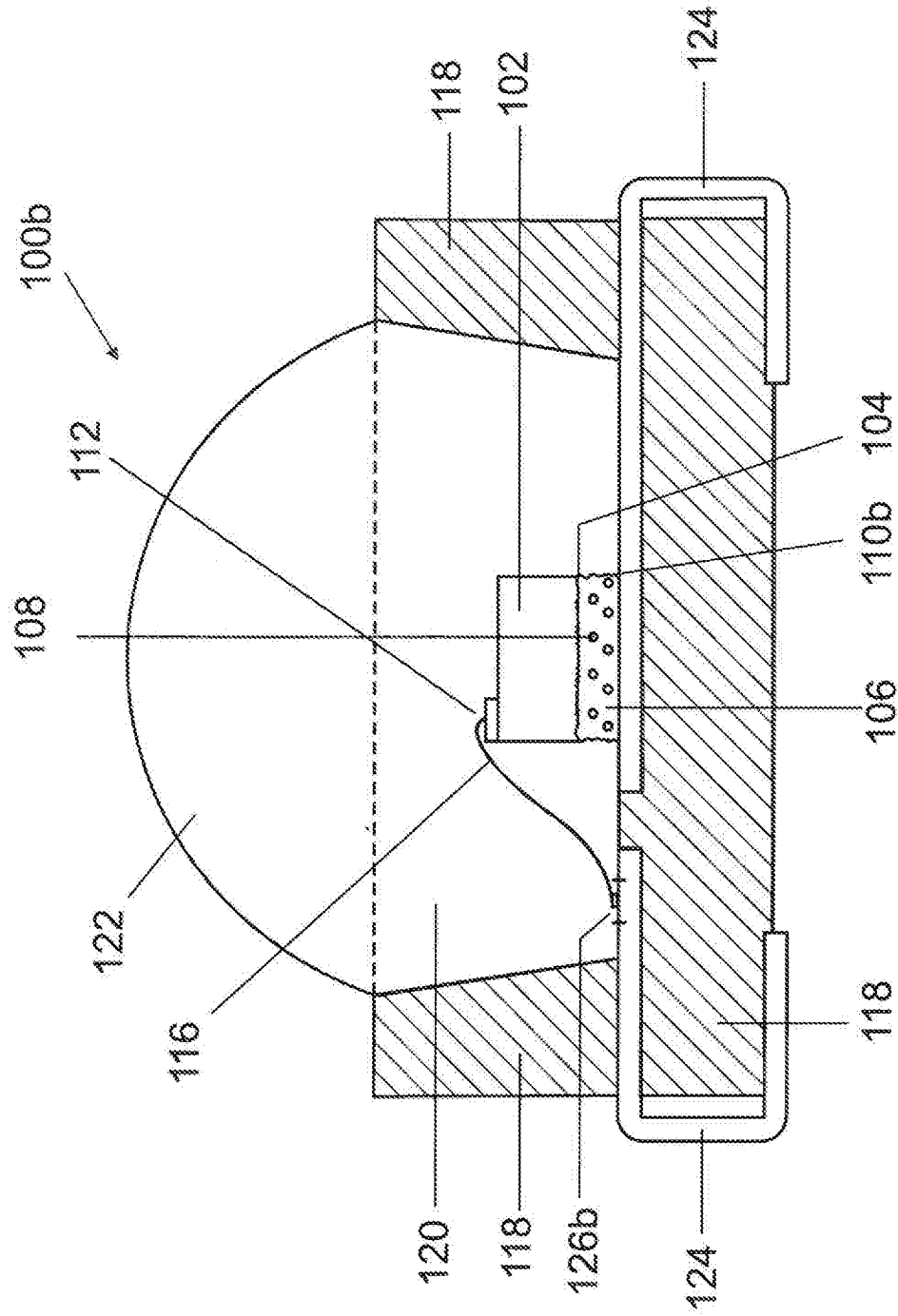
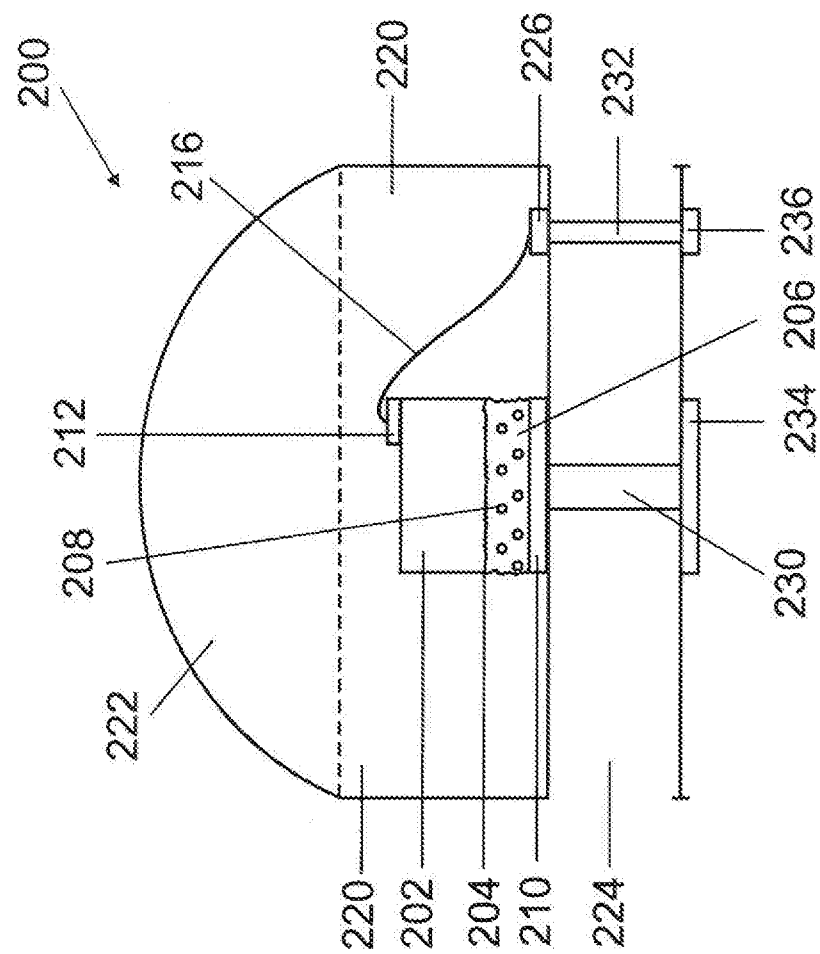


FIG 1b



2014

4/4

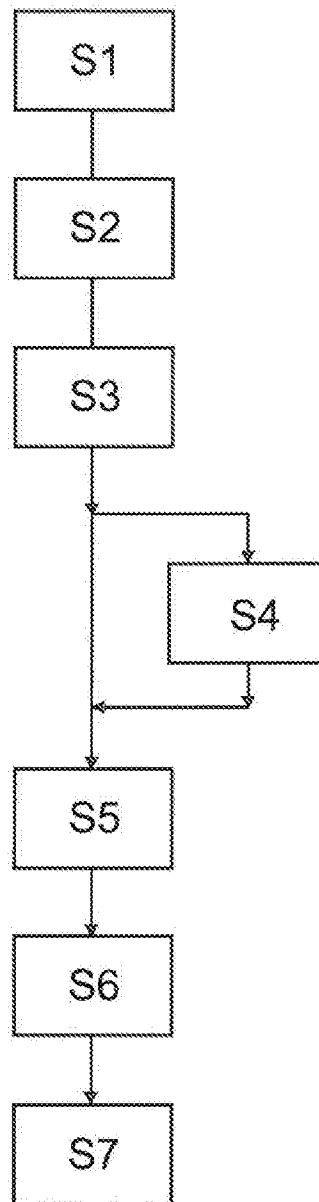


FIG 3

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/062082

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/62 H01L33/64 H01L23/495
ADD. H01L31/024

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/189264 A1 (YATO YUICHI [JP] ET AL) 30 July 2009 (2009-07-30) paragraph [0055] - paragraph [0127]; figures 1-34	1-14
X	US 2008/145607 A1 (KAJIWARA RYOICHI [JP] ET AL) 19 June 2008 (2008-06-19) paragraph [0047] - paragraph [0180]; figures 1-19	1-14
X	US 2009/096100 A1 (KAJIWARA RYOICHI [JP] ET AL) 16 April 2009 (2009-04-16) paragraph [0049] - paragraph [0099]; claims 5,8; figures 1-13	1-14
	----- -/-	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search

11 October 2011

Date of mailing of the international search report

19/10/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, Claus

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2011/062082

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 2 158 997 A2 (HERAEUS GMBH W C [DE]) 3 March 2010 (2010-03-03) paragraph [0009] - paragraph [0080]; figures 1-2 -----	1-14
X	CHRISTIAN MERTENS ED - MERTENS CHRISTIAN: "Die Niedertemperatur-Verbindungstechnik der Leistungselektronik", 1 January 2004 (2004-01-01), DIE NIEDERTEMPERATUR-VERBINDUNGSTECHNIK DER LEISTUNGSELEKTRONIK; [FORTSCHRITT-BERICHTE VDI : REIHE 21, ELEKTROTECHNIK ; 365], VDI VERLAG, DÜSSELDORF, GERMANY, PAGE(S) 1 - 35,72, XP002541611, ISBN: 978-3-18-336521-0 -----	1-7, 11-14
A	page 6, line 1 - page 126, line 14 -----	8-10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/062082

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2009189264	A1	30-07-2009	CN 101499450 A	05-08-2009
			JP 2009206482 A	10-09-2009
			US 2009189264 A1	30-07-2009
			US 2011237031 A1	29-09-2011

US 2008145607	A1	19-06-2008	JP 2008153470 A	03-07-2008
			US 2008145607 A1	19-06-2008

US 2009096100	A1	16-04-2009	JP 2009094341 A	30-04-2009
			US 2009096100 A1	16-04-2009

EP 2158997	A2	03-03-2010	CN 101662080 A	03-03-2010
			DE 102008039828 A1	04-03-2010
			EP 2158997 A2	03-03-2010
			JP 2010053449 A	11-03-2010
			KR 20100025486 A	09-03-2010
			US 2010051319 A1	04-03-2010

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/62 H01L33/64 H01L23/495
 ADD. H01L31/024

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2009/189264 A1 (YATO YUICHI [JP] ET AL) 30. Juli 2009 (2009-07-30) Absatz [0055] - Absatz [0127]; Abbildungen 1-34	1-14

X	US 2008/145607 A1 (KAJIWARA RYOICHI [JP] ET AL) 19. Juni 2008 (2008-06-19) Absatz [0047] - Absatz [0180]; Abbildungen 1-19	1-14

X	US 2009/096100 A1 (KAJIWARA RYOICHI [JP] ET AL) 16. April 2009 (2009-04-16) Absatz [0049] - Absatz [0099]; Ansprüche 5,8; Abbildungen 1-13	1-14

	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11. Oktober 2011

Absendedatum des internationalen Recherchenberichts

19/10/2011

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, Claus

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 2 158 997 A2 (HERAEUS GMBH W C [DE]) 3. März 2010 (2010-03-03) Absatz [0009] - Absatz [0080]; Abbildungen 1-2 -----	1-14
X	CHRISTIAN MERTENS ED - MERTENS CHRISTIAN: "Die Niedertemperatur-Verbindungstechnik der Leistungselektronik", 1. Januar 2004 (2004-01-01), DIE NIEDERTEMPERATUR-VERBINDUNGSTECHNIK DER LEISTUNGSELEKTRONIK; [FORTSCHRITT-BERICHTE VDI : REIHE 21, ELEKTROTECHNIK ; 365], VDI VERLAG, DÜSSELDORF, GERMANY, PAGE(S) 1 - 35,72, XP002541611, ISBN: 978-3-18-336521-0	1-7, 11-14
A	Seite 6, Zeile 1 - Seite 126, Zeile 14 -----	8-10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2011/062082

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2009189264	A1	30-07-2009	CN	101499450 A		05-08-2009
			JP	2009206482 A		10-09-2009
			US	2009189264 A1		30-07-2009
			US	2011237031 A1		29-09-2011

US 2008145607	A1	19-06-2008	JP	2008153470 A		03-07-2008
			US	2008145607 A1		19-06-2008

US 2009096100	A1	16-04-2009	JP	2009094341 A		30-04-2009
			US	2009096100 A1		16-04-2009

EP 2158997	A2	03-03-2010	CN	101662080 A		03-03-2010
			DE	102008039828 A1		04-03-2010
			EP	2158997 A2		03-03-2010
			JP	2010053449 A		11-03-2010
			KR	20100025486 A		09-03-2010
			US	2010051319 A1		04-03-2010
