



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I575672 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：103127488

(22)申請日：中華民國 103 (2014) 年 08 月 11 日

(51)Int. Cl. : H01L23/12 (2006.01) H01L23/488 (2006.01)

(71)申請人：精材科技股份有限公司 (中華民國) XINTEC INC. (TW)

桃園市中壢區中壢工業區吉林路 23 號 9 樓

(72)發明人：林建名 LIN, CHIENMIN (TW)；黃郁庭 HUANG, YUTING (TW)；傅振寧 FU, CHENNING (TW)；何彥仕 HO, YENSHIH (TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 2008/0299706A1

US 2011/0278734A1

審查人員：于若天

申請專利範圍項數：19 項 圖式數：11 共 33 頁

(54)名稱

晶片封裝體及其製造方法

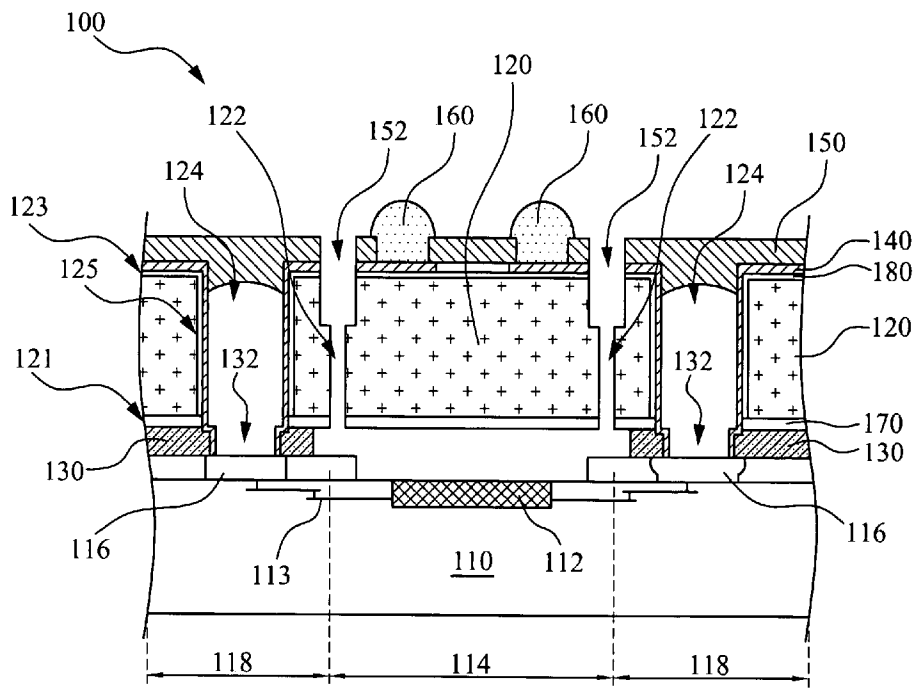
CHIP PACKAGE AND METHOD THEREOF

(57)摘要

本發明提供一種晶片封裝體，包含半導體晶片、中介片、高分子黏著支撐層、重佈局線路以及封裝層。半導體晶片具有感應元件以及導電墊，導電墊電性連接感應元件。中介片配置於半導體晶片上方，中介片具有溝槽以及穿孔，其中溝槽暴露出部分感應元件所處空間，穿孔暴露出導電墊。高分子黏著支撐層夾設於半導體晶片與中介片之間。重佈局線路配置於中介片上方以及穿孔內以電性連接導電墊。封裝層覆蓋中介片以及重佈局線路，封裝層具有開口暴露出溝槽。

A chip package is provided. The chip package includes a semiconductor chip, an interposer, a polymer supporting layer, a redistribution layer, and a packaging layer. The semiconductor chip has at least one sensor device and at least one conducting-pad electrically connected to the sensor device. The interposer is disposed above the semiconductor chip and has at least one trench exposing a space at which the sensor device locates, and at least one via exposing the conducting-pad. The polymer supporting layer is disposed between the semiconductor chip and the interposer. The redistribution layer is disposed on the interposer, and in the via to electrically connect the conducting-pad. The packaging layer covers the interposer and the redistribution layer. The packaging layer has an opening to expose the trench.

指定代表圖：



符號簡單說明：

- 100 . . . 晶片封裝體
- 110 . . . 半導體晶片
- 112 . . . 感應元件
- 113 . . . 內連線結構
- 114 . . . 主動區
- 116 . . . 導電墊
- 118 . . . 周邊區
- 120 . . . 中介片
- 121 . . . 下表面
- 122 . . . 溝槽
- 123 . . . 上表面
- 124 . . . 穿孔
- 125 . . . 孔壁
- 130 . . . 高分子黏著支撐層
- 132 . . . 開口
- 140 . . . 重佈局線路
- 150 . . . 封裝層
- 152 . . . 開口
- 160 . . . 外部導電連結
- 170 . . . 第一絕緣層
- 180 . . . 第二絕緣層

105年5月30日修正本

105年5月30日無劃線替換頁

發明摘要

公告本

※ 申請案號：103127488

※ 申請日：103.8.11

※ IPC 分類：H01L 23/12 (2006.01)
H01L 23/488 (2006.01)

【發明名稱】（中文/英文）

晶片封裝體及其製造方法

CHIP PACKAGE AND METHOD THEREOF

【中文】

本發明提供一種晶片封裝體，包含半導體晶片、中介片、高分子黏著支撐層、重佈局線路以及封裝層。半導體晶片具有感應元件以及導電墊，導電墊電性連接感應元件。中介片配置於半導體晶片上方，中介片具有溝槽以及穿孔，其中溝槽暴露出部分感應元件所處空間，穿孔暴露出導電墊。高分子黏著支撐層夾設於半導體晶片與中介片之間。重佈局線路配置於中介片上方以及穿孔內以電性連接導電墊。封裝層覆蓋中介片以及重佈局線路，封裝層具有開口暴露出溝槽。

【英文】

A chip package is provided. The chip package includes a semiconductor chip, an interposer, a polymer supporting layer, a redistribution layer, and a packaging layer. The semiconductor chip has at least one sensor device and at least one conducting-pad electrically connected to the sensor device. The interposer is disposed above the semiconductor

chip and has at least one trench exposing a space at which the sensor device locates, and at lease one via exposing the conducting-pad. The polymer supporting layer is disposed between the semiconductor chip and the interposer. The redistribution layer is disposed on the interposer, and in the via to electrically connect the conducting-pad. The packaging layer covers the interposer and the redistribution layer. The packaging layer has an opening to expose the trench.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

100：晶片封裝體	124：穿孔
110：半導體晶片	125：孔壁
112：感應元件	130：高分子黏著支撐層
113：內連線結構	132：開口
114：主動區	140：重佈局線路
116：導電墊	150：封裝層
118：周邊區	152：開口
120：中介片	160：外部導電連結
121：下表面	170：第一絕緣層
122：溝槽	180：第二絕緣層
123：上表面	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

【發明名稱】（中文/英文）

晶片封裝體及其製造方法

CHIP PACKAGE AND METHOD THEREOF

【技術領域】

【0001】 本發明係關於一種封裝體及其製造方法，且特別是有關於一種晶片封裝體及其製造方法。

【先前技術】

【0002】 隨著半導體元件製造技術演進，半導體元件的電路密度不斷增加且元件尺寸亦進一步微縮以得到高集成密度的半導體元件。由於各種半導體元件在集成密度上的持續改進，半導體工業經歷了持續快速的成長。如此一來，在半導體元件的尺寸減少與密度增加的情況下，對於封裝技術的要求亦對應地漸驅嚴苛。近年來隨著對尺寸更小之電子裝置需求的成長，對於半導體晶片需要更創新的封裝技術。

【0003】 其中，立體半導體晶片封裝體技術已成為進一步降低半導體晶片封裝體物理尺寸的有效選擇。在立體半導體晶片封裝體中，半導體晶片係垂直堆疊並以直通矽晶穿孔(through-silicon vias, TSV)技術來完成彼此間的電性連接，可有效縮短晶片之間的導線、縮小元件尺寸。立體半導體晶片封裝體技術能整合不同功能的半導體晶片，有效增加產品效能、縮小體積、並達到更高的集成密度。換言之，立體半導體晶片封裝體技術可在更小的外觀尺寸(form factors)上具有更高的集成密度，以達成多功能、高效能之半導體晶片

封裝體。一般而言，立體半導體晶片封裝體可以包括半導體晶片、具有直通矽晶穿孔的中介片(interposer)以及其他基材，半導體晶片經由焊接凸塊附著在中介片之一側，利用焊接凸塊提供積體電路晶片與中介片之間的電性連接，而中介片之另一側則例如可以透過外部導電連結，讓中介片電性連接至印刷電路板或其他的積體電路晶片。通過直通矽晶穿孔，使得分別位於中介片兩側之半導體晶片與印刷電路板或其他的積體電路晶片整合起來。

【0004】 在半導體晶片與中介片的整合當中，焊接凸塊通常係特定合金，利用共晶結合法(eutectic bonding)進行金屬相態之轉換，共晶結合法是一種特殊的擴散鍵結，使合金在比其中任一溶質更低的溶點下彼此擴散混合，因此可在約攝氏400~500度等相對較低的溫度下，即形成積體電路晶片與中介片之間的金屬界面鍵結。然而，共晶結合法在製程控制上，對於溫度、加熱週期等回火製程(annealing process)參數控制要求甚高，連帶使得焊接凸塊容易在製程稍有變異的情況下即產生機械應力影響界面鍵結，如此便容易使半導體晶片與中介片之間的焊接凸塊，產生連接不良甚至斷裂等問題。據此，一種更可靠、更適於量產的晶片封裝體及其製造方法，仍是當今半導體晶片封裝工藝重要的研發方向之一。

【發明內容】

【0005】 本發明係提供一種晶片封裝體及其製造方法，具有高分子黏著支撐層取代以共晶結合法之焊接凸塊，使立體半導體晶片封裝體中，半導體晶片與中介片之連接可在具有更大製程邊際(process margin)的情況下，更容易有效控制並確保半導體晶片與中介片兩者之連接。此外，高分子黏著支撐

層與共晶結合法之焊接凸塊相較，可在更低的製程溫度下即有效形成，因此更可有效減低晶片封裝體內部的電子元件被高溫影響之疑慮。再者，高分子黏著支撐層具有更低的生產成本，使本發明提供之晶片封裝體更適於量產。

【0006】 本發明之一態樣係提出一種晶片封裝體的製造方法，包含半導體晶片、中介片、高分子黏著支撐層、重佈局線路以及封裝層。半導體晶片具有感應元件以及導電墊，導電墊電性連接感應元件。中介片配置於半導體晶片上方，中介片具有溝槽以及穿孔，其中溝槽暴露出部分感應元件所處空間，穿孔暴露出導電墊。高分子黏著支撐層夾設於半導體晶片與中介片之間。重佈局線路配置於中介片上方以及穿孔內以電性連接導電墊。封裝層覆蓋中介片以及重佈局線路，封裝層具有開口暴露出溝槽。

【0007】 在本發明之一些實施方式中，前述高分子黏著支撐層具有一開口與穿孔貫通以暴露出導電墊。

【0008】 在本發明之一些實施方式中，前述高分子黏著支撐層包含熱固化 (thermal curing) 材料、紫外光固化 (UV curing) 材料或兩者之組合。

【0009】 在本發明之一些實施方式中，前述高分子黏著支撐層包含環氧樹脂 (epoxy)。

【0010】 在本發明之一些實施方式中，前述溝槽在半導體晶片的投影位於主動區之至少一邊。

【0011】 在本發明之一些實施方式中，前述封裝層不填滿該穿孔。

【0012】 在本發明之一些實施方式中，晶片封裝體進一步包含外部導電連結配置於中介片上，外部導電連結電性連接重

佈局線路。

【0013】 在本發明之一些實施方式中，前述中介片具有第一絕緣層配置於該中介片之下表面以及第二絕緣層配置中介片之上表面以及穿孔之孔壁。

【0014】 在本發明之一些實施方式中，前述感應元件配置於半導體晶片之主動區，導電墊配置於半導體晶片之周邊區，周邊區圈繞主動區。

【0015】 在本發明之一些實施方式中，前述高分子黏著支撐層係一高分子壩體。

【0016】 本發明之又一態樣係提出一種晶片封裝體的製造方法，包含形成第一絕緣層於中介片之下表面；形成至少一溝槽自下表面朝中介片之上表面延伸；形成高分子黏著支撐層於下表面下，高分子黏著支撐層具有開口；透過高分子黏著支撐層將中介片與半導體晶片對接，半導體晶片具有至少一感應元件以及電性連接於感應元件之至少一導電墊，高分子黏著支撐層之開口對應於導電墊；自上表面朝下表面形成至少一穿孔與高分子黏著支撐層之開口貫通以暴露出導電墊；形成第二絕緣層覆蓋上表面以及穿孔之孔壁；形成重佈局線路配置於第二絕緣層上以及穿孔內以電性連接導電墊；蝕刻中介片使溝槽自上表面暴露出來；以及形成封裝層覆蓋於重佈局線路上，封裝層具有開口暴露出溝槽。

【0017】 在本發明之一些實施方式中，其中形成高分子黏著支撐層於下表面的步驟包含塗佈高分子黏著支撐層於下表面；以及微影蝕刻高分子黏著支撐層使高分子黏著支撐層具有開口。

【0018】 在本發明之一些實施方式中，在透過高分子黏著支

撐層將中介片與半導體晶片對接的步驟與自上表面朝下表面形成穿孔與高分子黏著支撐層之開口貫通以暴露出導電墊的步驟之間，進一步包含自上表面朝下表面薄化中介片。

【0019】 在本發明之一些實施方式中，其中形成封裝層覆蓋於重佈局線路上的步驟包含塗佈封裝層於重佈局線路上；以及雷射鑽孔封裝層使封裝層具有開口暴露出溝槽。

【0020】 在本發明之一些實施方式中，其中塗佈封裝層於重佈局線路上的步驟中，封裝層不填滿穿孔。

【0021】 在本發明之一些實施方式中，其中該高分子黏著支撐層包含熱固化材料、紫外光固化材料或兩者之組合。

【0022】 在本發明之一些實施方式中，其中熱固化材料包含環氧樹脂。

【0023】 在本發明之一些實施方式中，晶片封裝體的製造方法進一步包含形成外部導電連結配置於中介片上，外部導電連結電性連接重佈局線路。

【0024】 在本發明之一些實施方式中，其中高分子黏著支撐層係一高分子壩體。

【圖式簡單說明】

【0025】 本發明之上述和其他態樣、特徵及其他優點參照說明書內容並配合附加圖式得到更清楚的了解，其中：

第 1 圖係根據本發明一些實施方式之晶片封裝體的上視示意圖。

第 2 圖係根據第 1 圖中剖面線 2 之剖面示意圖。

第 3 圖係根據第 1 圖中剖面線 3 之剖面示意圖。

第 4 圖係根據本發明一些實施方式之晶片封裝體於製

造過程中一階段的剖面示意圖。

第 5 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 4 圖下一階段的剖面示意圖。

第 6 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 5 圖下一階段的剖面示意圖。

第 7 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 6 圖下一階段的剖面示意圖。

第 8 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 7 圖下一階段的剖面示意圖。

第 9 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 8 圖下一階段的剖面示意圖。

第 10 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 9 圖下一階段的剖面示意圖。

第 11 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 10 圖下一階段的剖面示意圖。

【實施方式】

【0026】 爲了使本揭示內容的敘述更加詳盡與完備，下文針對了本發明的實施態樣與具體實施例提出了說明性的描述；但這並非實施或運用本發明具體實施例的唯一形式。以下所揭露的各實施例，在有益的情形下可相互組合或取代，也可在一實施方式中附加其他的實施方式，而無須進一步的記載或說明。在以下描述中，將詳細敘述許多特定細節以使讀者能夠充分理解以下的實施方式。然而，可在無此等特定細節之情況下實踐本發明各實施方式。

【0027】 第 1 圖係根據本發明一些實施方式之晶片封裝體

100 的上視示意圖。第 2 圖係根據第 1 圖中剖面線 2 之剖面示意圖。第 3 圖係根據第 1 圖中剖面線 3 之剖面示意圖。請參照第 1 圖搭配第 2 圖以及第 3 圖，本發明之晶片封裝體 100 包含半導體晶片 110、中介片 120、高分子黏著支撐層 130、重佈局線路 140、以及封裝層 150。如第 2 圖以及第 3 圖所示，半導體晶片 110 具有感應元件 112 以及導電墊 116。感應元件 112 配置於半導體晶片 110 之主動區 114。導電墊 116 配置於半導體晶片 110 之周邊區 118。周邊區 118 圈繞主動區 114。導電墊 116 電性連接於感應元件 112。半導體晶片 110 例如可以是以矽(silicon)、鍺(germanium)或 III-V 族元素之半導體晶圓為基材所製作之晶片。感應元件 112 例如可以是表面聲波元件、壓力感測器(pressure sensors)、利用熱及壓力等物理量變化來測量的物理感測器(physical sensor)、微機電系統(Micro Electro Mechanical Systems, MEMS)、主動元件(active element)或被動元件(passive elements)、數位電路或類比電路等積體電路的感測元件(electronic components)、微流體系統(micro fluidic systems)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)，但本發明亦不以此為限。如第 2 圖以及第 3 圖所示，導電墊 116 例如可以是配置於感應元件 112 之左右兩側且電性連接於感應元件 112。電性連接的方式例如可以是透過半導體晶片 110 內部之內連線結構 113，使位於半導體晶片 110 之周邊區 118 的導電墊 116 與位於半導體晶片 110 之主動區 114 的感應元件 112 具有電性連接。如此一來，導電墊 116 即可作為感應元件 112 信號控制的輸入(input)/輸出(output)端，進而對半

導體晶片 110 中的感應元件 112 進行感測信號控制。導電墊 116 的材質例如可以是鋁(aluminum)、銅(copper)或鎳(nickel)或其他合適的導電材料。

【0028】 請參照第 2 圖以及第 3 圖，中介片 120 配置於半導體晶片 110 上方。中介片 120 具有溝槽 122 以及穿孔 124，其中溝槽 122 貫通中介片 120 暴露出部分感應元件 112 所處的空間，穿孔 124 暴露出導電墊 116。中介片 120 例如可以是矽。溝槽 122 上下貫通中介片 120 使位於中介片 120 下方的半導體晶片 110 中感應元件 112 所處空間得以暴露出來，藉此感知外界的聲波、壓力或是溫度等變化來產生感測訊號。在本發明的一些實施方式中，溝槽 122 在半導體晶片 110 的投影位於主動區 114 之至少一邊。如第 1 圖搭配第 2 圖以及第 3 圖所示，溝槽 122 在半導體晶片的投影圍繞於主動區 114 的三邊，僅留下一邊作為連接處。然而本發明並不以此為限，溝槽 122 的位置與形狀可以針對不同需求作對應的設計，溝槽 122 亦可以是一個連續溝槽或是多個較小的溝槽。此外，如第 2 圖以及第 3 圖所示，在本發明的一些實施方式中，中介片 120 具有第一絕緣層 170 配置於中介片 120 之下表面 121，以及第二絕緣層 180 配置中介片 120 之上表面 123 以及穿孔 124 之孔壁 125。第一絕緣層 170、第二絕緣層 180 所使用的材料可以是氧化矽、氮化矽、氮氧化矽或其它合適之絕緣材料，以化學氣相沉積法(chemical vapor deposition)順應地(conformally)沿著中介片 120 之下表面 121 或上表面 123、及其穿孔 124 之側壁 125 形成絕緣薄膜。位於中介片 120 的下表面 121 之第一絕緣層 170，以及位於中介片 120 的上表面 123 與中介片 120 的穿孔 124 之孔壁

125 的第二絕緣層 180，可保護中介片 120，且使後續重佈局線路 140 與中介片 120 之間電性絕緣。

【0029】繼續參照第 2 圖以及第 3 圖，高分子黏著支撐層 130 夾設於半導體晶片 110 與中介片 120 之間。高分子黏著支撐層 130 黏著半導體晶片 110 與中介片 120 使兩者接合。高分子黏著支撐層 130 可以是任何適合用以黏著晶片之高分子材料。在本發明的一些實施方式中，高分子黏著支撐層 130 包含熱固化 (thermal curing) 材料、紫外光固化 (UV curing) 材料或兩者之組合。在本發明的一些實施方式中，高分子黏著支撐層 130 包含環氧樹脂 (epoxy)。在本發明的一些實施方式中，高分子黏著支撐層 130 係一高分子壩體。在此值得注意的是，高分子黏著支撐層 130 與傳統上連接半導體晶片與中介片所用的焊接凸塊完全不同。焊接凸塊通常係特定合金，利用共晶結合法進行金屬相態之轉換，使合金在比其中任一溶質更低的溶點下彼此擴散混合，因此可在約攝氏 400~500 度等相對較低的溫度下，即形成積體電路晶片與中介片之間的金屬界面鍵結。而高分子黏著支撐層 130 並不需要上述之高溫來進行高分子固化黏著反應，一般而言，高分子固化黏著反應至高僅需攝氏 300 度以下即可充分固化反應，發揮其黏著功能。藉由高分子黏著支撐層 130 成分比例的適當選擇與調配，高分子黏著支撐層 130 甚至可在低於攝氏 200 度的條件下即可形成並順利接合半導體晶片 110 與中介片 120。據此，接合半導體晶片 110 與中介片 120 兩者即可在更低的熱預算(thermal budget)下進行，而減低晶片封裝體內部的電子元件被高溫影響之疑慮。再者，共晶結合法在製程控制上，對於溫度、加熱週期等回火製程參數控制

要求甚高，連帶使得焊接凸塊容易在製程稍有變異的情況下即產生機械應力影響界面鍵結，如此便容易使半導體晶片與中介片之間的焊接凸塊，產生連接不良甚至斷裂等問題。相對地，高分子黏著支撐層 130 在固化反應的控制上則容易許多，不易因為微小的製程變異而對於其黏著性能產生太大的影響。因此，以高分子黏著支撐層 130 取代以共晶結合法之焊接凸塊，使立體半導體晶片封裝體中，半導體晶片 110 與中介片 120 之連接可在具有更大製程邊際(process margin)的情況下，更能有效控制並確保半導體晶片 110 與中介片 120 兩者之連接。此外，高分子黏著支撐層 130 具有更低的生產成本，使本發明提供之晶片封裝體 100 更適於量產。如第 2 圖以及第 3 圖所示，在本發明的一些實施方式中，高分子黏著支撐層 130 具有開口 132 與穿孔 124 貫通以暴露出導電墊 116。開口 132 例如可以是以微影蝕刻或雷射鑽孔等方式形成。據此，半導體晶片 110 與中介片 120 兩者之間的導電路徑即可由此處通過，使半導體晶片 110 的導電墊 116 與中介片 120 的穿孔 124 之孔壁 125 上的重佈局線路 140 電性連接。繼續參照第 2 圖以及第 3 圖，重佈局線路 140 配置於中介片 120 上方以及穿孔 124 內以電性連接導電墊 116。重佈局線路 140 例如可以使用鋁(aluminum)、銅(copper)或鎳(nickel)或其他合適的導電材料，以適當之製程方法全面沉積於第二絕緣層 180 上，再以微影蝕刻的方式圖案化以在第二絕緣層 180 上留下預定圖案之重佈局線路 140。

【0030】繼續參照第 2 圖以及第 3 圖，封裝層 150 覆蓋於中介片 120 以及重佈局線路 140 上，封裝層 150 具有開口 152 暴露出溝槽 122。封裝層 150 所使用的材料可以是綠漆

(solder mask)或其它合適之封裝材料，以塗佈方式順應地沿著中介片 120 的上表面 123 形成。如第 2 圖以及第 3 圖所示，在本發明的一些實施方式中，封裝層 150 不填滿穿孔 124。據此，封裝層 150 與穿孔 124 之孔壁 125 上的重佈局線路 140 接觸面積較小，更可進一步減低封裝層 150 與穿孔 124 之孔壁 125 上的重佈局線路 140 之間的應力累積，避免後續封裝層 150 膨脹或皺縮對重佈局線路 140 產生影響，減少重佈局線路 140 發生斷線的可能性，進一步提升晶片封裝體 100 之可靠度。

【0031】如第 2 圖以及第 3 圖所示，在本發明的一些實施方式中，晶片封裝體 100 進一步包含外部導電連結 160 配置於中介片 120 上，外部導電連結 160 電性連接重佈局線路 140。外部導電連結 160 的材料例如可以是錫或其他適合於焊接的金屬或合金，外部導電連結 160 作為晶片封裝體 100 外接於印刷電路板或其他中介片之連接橋樑，據此由感應元件 112 所偵測產生的電流訊號即可透過外部導電連結 160、重佈局線路 140 以及與感應元件 112 電性連接之導電墊 116，對印刷電路板或其他中介片的輸入/輸出進行訊號輸入/輸出控制。反之，由印刷電路板或其他中介片的輸入/輸出的電流訊號亦可透過外部導電連結 160、重佈局線路 140 以及與感應元件 112 電性連接之導電墊 116，對感應元件 112 進行訊號輸入/輸出控制。在本發明之部份實施方式中，外部導電連結 160 為一焊球。有關本發明各實施方式之晶片封裝體 100 的製造方法，將於以下段落以及圖式中說明。

【0032】第 4 圖係根據本發明一些實施方式之晶片封裝體於製造過程中一階段的剖面示意圖。第 5 圖係根據本發明一些

實施方式之晶片封裝體於製造過程中第 4 圖下一階段的剖面示意圖。請參照第 4 圖，形成第一絕緣層 170 於中介片 120 之下表面 121。中介片 120 例如可以包含矽。第一絕緣層 170 所使用的材料可以是氧化矽、氮化矽、氮氧化矽或其它合適之絕緣材料，以化學氣相沉積法順應地沿著中介片 120 之下表面 121 形成絕緣薄膜。請參照第 5 圖，在形成第一絕緣層 170 於中介片 120 之下表面 121 的步驟之後，接著形成至少一溝槽 122 自下表面 121 朝中介片 120 之上表面 123 延伸。溝槽 122 係預定作為上下貫通中介片 120 的路徑，使後續接合於中介片 120 下方的半導體晶片 110 中感應元件 112 所處空間得以暴露出來，藉此感知外界的聲波、壓力或是溫度等變化來產生感測訊號。

【0033】第 6 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 5 圖下一階段的剖面示意圖。如第 6 圖所示，在形成溝槽 122 自下表面 121 朝中介片 120 之上表面 123 延伸的步驟之後，接著形成高分子黏著支撐層 130 於下表面 121 下，高分子黏著支撐層 130 具有開口 132。高分子黏著支撐層 130 可以是任何適合用以黏著晶片之高分子材料。在本發明的一些實施方式中，高分子黏著支撐層 130 包含熱固化材料、紫外光固化材料或兩者之組合。在本發明的一些實施方式中，高分子黏著支撐層 130 包含環氧樹脂。在本發明的一些實施方式中，高分子黏著支撐層 130 係一高分子壩體。在此值得注意的是，高分子黏著支撐層 130 與傳統上連接半導體晶片與中介片所用的焊接凸塊完全不同。焊接凸塊通常係特定合金，利用共晶結合法進行金屬相態之轉換，使合金在比其中任一溶質更低的溶點下彼此擴散混合，因此可

在約攝氏 400~500 度等相對較低的溫度下，即形成積體電路晶片與中介片之間的金屬界面鍵結。而高分子黏著支撐層 130 並不需要上述之高溫來進行高分子固化黏著反應，一般而言，高分子固化黏著反應至高僅需攝氏 300 度以下即可充分固化反應，發揮其黏著功能。再者，共晶結合法在製程控制上，對於溫度、加熱週期等回火製程參數控制要求甚高，連帶使得焊接凸塊容易在製程稍有變異的情況下即產生機械應力影響界面鍵結，如此便容易使半導體晶片與中介片之間的焊接凸塊，產生連接不良甚至斷裂等問題。相對地，高分子黏著支撐層 130 在固化反應的控制上則容易許多，不易因為微小的製程變異而對於其黏著性能產生太大的影響。因此，以高分子黏著支撐層 130 取代以共晶結合法之焊接凸塊，使立體半導體晶片封裝體中，半導體晶片 110 與中介片 120 之連接可在具有更大製程邊際的情況下，更能有效控制並確保半導體晶片 110 與中介片 120 兩者之連接。此外，高分子黏著支撐層 130 具有更低的生產成本，使本發明提供之晶片封裝體 100 更適於量產。在本發明的一些實施方式中，其中形成高分子黏著支撐層 130 於下表面 121 的步驟包含塗佈高分子黏著支撐層 131 於下表面 121，以及微影蝕刻高分子黏著支撐層 130 使高分子黏著支撐層 130 具有開口 132。在此值得注意的是，微影蝕刻高分子黏著支撐層 130 使高分子黏著支撐層 130 具有開口 132 的步驟需再與後續接合半導體晶片 110 的步驟之前進行，換言之，高分子黏著支撐層 130 的開口 132 應在與半導體晶片 110 接合之前先形成完畢，而後續在接合半導體晶片 110 時，高分子黏著支撐層 130 的開口 132 即對應接合於半導體晶片 110 之導電墊

116。如此一來，高分子黏著支撐層 130 與半導體晶片 110 之導電墊 116 即不會直接接觸，即後續無須針對高分子黏著支撐層 130 開口來暴露出導電墊 116，可有效降低導電墊 116 被高分子黏著支撐層 130 的開口製程(例如微影蝕刻)損傷的機會，進一步提升後續形成之晶片封裝體 100 的可靠度。在本發明的一些實施方式中，其中高分子黏著支撐層 130 包含熱固化材料、紫外光固化材料或兩者之組合。在本發明的一些實施方式中，其中熱固化材料包含環氧樹脂。藉由高分子黏著支撐層 130 成分比例的適當選擇與調配，高分子黏著支撐層 130 甚至可在低於攝氏 200 度的條件下即可形成並順利接合半導體晶片 110 與中介片 120。據此，接合半導體晶片 110 與中介片 120 兩者即可在更低的熱預算下進行，而減低晶片封裝體內部的電子元件被高溫影響之疑慮。

【0034】第 7 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 6 圖下一階段的剖面示意圖。如第 7 圖所示，在形成高分子黏著支撐層 130 於下表面 121 下的步驟之後，接著透過高分子黏著支撐層 130 將中介片 120 與半導體晶片 110 對接。半導體晶片 110 具有感應元件 112 以及電性連接於感應元件 112 之導電墊 116，高分子黏著支撐層 130 之開口 132 對應於導電墊 116。其中，半導體晶片 110、感應元件 112 以及導電墊 116 等元件所使用的材料與彼此間的連接關係如同前述，在此即不重覆贅述。第 8 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 7 圖下一階段的剖面示意圖。在透過高分子黏著支撐層 130 將中介片 120 與半導體晶片 110 對接的步驟之後，接著自上表面 123 朝下表面 121 形成穿孔 124 與高分子黏著支撐層 130 之開口 132 貫

通以暴露出導電墊 116。穿孔 124 例如可以是矽穿孔(through silicon via, TSV)。如第 8 圖所示，穿孔 124 貫穿中介片 120 之上表面 123 至下表面 121 以暴露出導電墊 116，以供後續導電墊 116 之導電路徑於穿孔 124 內部形成。在本發明的一些實施方式中，在透過高分子黏著支撐層 130 將中介片 120 與半導體晶片 110 對接的步驟，與自上表面 123 朝下表面 121 形成穿孔 124 與高分子黏著支撐層 130 之開口 132 貫通以暴露出導電墊 116 的步驟之間，進一步包含自上表面 123 朝下表面 121 薄化中介片 120。例如由實質上 700 微米薄化為實質上 200 微米。據此，穿孔 124 的形成可更有效率，且亦使最後形成之晶片封裝體 100 具有更薄的總體厚度。亦如第 8 圖所示，在自上表面 123 朝下表面 121 形成穿孔 124 的步驟之後，接著形成第二絕緣層 180 覆蓋上表面 123 以及穿孔 124 之孔壁 125。第二絕緣層 180 所使用的材料可以是氧化矽、氮化矽、氮氧化矽或其它合適之絕緣材料，以化學氣相沉積法順應地沿著中介片 120 之上表面 123 以及穿孔 124 內形成絕緣薄膜。

【0035】 第 9 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 8 圖下一階段的剖面示意圖。形成重佈局線路 140 配置於第二絕緣層 180 上以及穿孔 124 內以電性連接 116 導電墊。重佈局線路 140 例如可以使用鋁、銅或鎳或其他合適的導電材料，以適當之製程方法全面沉積於第二絕緣層 180 上，再以微影蝕刻的方式圖案化以在第二絕緣層 180 上留下預定圖案。第 10 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 9 圖下一階段的剖面示意圖。蝕刻中介片 120 使溝槽 122 自上表面 123 暴露出來。據此，溝槽

122 上下貫通中介片 120 使位於中介片 120 下方的半導體晶片 110 中感應元件 112 所處空間得以暴露出來，感知外界的聲波、壓力或是溫度等變化來產生感測訊號。第 11 圖係根據本發明一些實施方式之晶片封裝體於製造過程中第 10 圖下一階段的剖面示意圖。形成封裝層 150 覆蓋於重佈局線路 140 上，封裝層 150 具有開口 152 暴露出溝槽 122。在本發明的一些實施方式中，其中形成封裝層 150 覆蓋於重佈局線路 140 上的步驟包含塗佈封裝層 150 於重佈局線路 140 上，以及雷射鑽孔(laser drill)封裝層 150 使封裝層 150 具有開口 152 暴露出該溝槽 122。在本發明的一些實施方式中，其中塗佈封裝層 150 於重佈局線路 140 上的步驟中，封裝層不填滿該穿孔 124。據此，更可進一步減低封裝層 150 與穿孔 124 之孔壁 125 上的重佈局線路 140 之間的應力累積，避免後續封裝層 150 膨脹或皺縮對重佈局線路 140 產生影響，減少重佈局線路 140 發生斷線的可能性，進一步提升晶片封裝體 100 之可靠度。如第 2 圖所示，在本發明的一些實施方式中，進一步包含形成外部導電連結 160 配置於中介片 120 上，外部導電連結 160 電性連接重佈局線路 140。外部導電連結 160 的材料例如可以是錫或其他適合於焊接的金屬或合金，外部導電連結 160 作為晶片封裝體 100 外接於印刷電路板或其他中介片之連接橋樑，據此由感應元件 112 所偵測產生的電流訊號即可透過外部導電連結 160、重佈局線路 140 以及與感應元件 112 電性連接之導電墊 116，對印刷電路板或其他中介片的輸入/輸出的進行訊號輸入/輸出控制。反之，由印刷電路板或其他中介片的輸入/輸出的電流訊號亦可透過外部導電連結 160、重佈局線路 140 以及與感應元件 112 電性連

接之導電墊 116，對感應元件 112 進行訊號輸入/輸出控制，至此即形成如第 2 圖所示之晶片封裝體 100。在本發明之部份實施方式中，外部導電連結 160 為一焊球。

【0036】最後要強調的是，本發明所提供之晶片封裝體具有高分子黏著支撐層取代以共晶結合法之焊接凸塊，使立體半導體晶片封裝體中，半導體晶片與中介片之連接可在具有更大製程邊際的情況下，更容易有效控制並確保半導體晶片與中介片兩者之連接。此外，高分子黏著支撐層可在更低的製程溫度下即有效形成，因此更可有效減低晶片封裝體內部的電子元件被高溫影響之遺慮。而高分子黏著支撐層具有更低的生產成本，使本發明提供之晶片封裝體更適於量產。

【0037】雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0038】

100：晶片封裝體	124：穿孔
110：半導體晶片	125：孔壁
112：感應元件	130：高分子黏著支撐層
113：內連線結構	132：開口
114：主動區	140：重佈局線路
116：導電墊	150：封裝層
118：周邊區	152：開口
120：中介片	160：外部導電連結
121：下表面	170：第一絕緣層

122：溝槽

180：第二絕緣層

123：上表面

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種晶片封裝體，包含：
 - 一半導體晶片具有至少一感應元件以及至少一導電墊，該導電墊電性連接該感應元件；
 - 一中介片配置於該半導體晶片上方，該中介片具有至少一溝槽以及至少一穿孔，其中該溝槽暴露出部分該感應元件所處的空間，該穿孔暴露出該導電墊；
 - 一高分子黏著支撐層夾設於該半導體晶片與該中介片之間；
 - 一重佈局線路配置於該中介片上方以及該穿孔內以電性連接該導電墊；以及
 - 一封裝層覆蓋該中介片以及該重佈局線路，該封裝層具有一開口暴露出該槽溝。
2. 如請求項 1 的晶片封裝體，其中該高分子黏著支撐層具有一開口與該穿孔貫通以暴露出該導電墊。
3. 如請求項 1 的晶片封裝體，其中該高分子黏著支撐層包含一熱固化材料、一紫外光固化材料或兩者之組合。
4. 如請求項 3 的晶片封裝體，其中該高分子黏著支撐層包含環氧樹脂。
5. 如請求項 1 的晶片封裝體，其中該感應元件配置於該半導體晶片之一主動區，該導電墊配置於該半導體晶片之一周邊區，該周邊區圈繞該主動區。

6. 如請求項 1 的晶片封裝體，其中該封裝層不填滿該穿孔。

7. 如請求項 1 的晶片封裝體，進一步包含一外部導電連結配置於該中介片上，該外部導電連結電性連接該重佈局線路。

8. 如請求項 1 的晶片封裝體，其中該中介片具有一第一絕緣層配置於該中介片之一下表面，以及一第二絕緣層配置該中介片之一上表面以及該穿孔之一孔壁。

9. 如請求項 1 的晶片封裝體，其中該溝槽在該半導體晶片的投影位於該主動區之至少一邊。

10. 如請求項 1 的晶片封裝體，其中該高分子黏著支撐層係一高分子壩體。

11. 一種晶片封裝體的製造方法，包含：
形成一第一絕緣層於一中介片之一下表面；
形成至少一溝槽自該下表面朝該中介片之一上表面延伸；

形成一高分子黏著支撐層於該下表面下，該高分子黏著支撐層具有一開口；

透過該高分子黏著支撐層將該中介片與一半導體晶片對接，該半導體晶片具有至少一感應元件以及電性連接於該

感應元件之至少一導電墊，該高分子黏著支撐層之該開口對應於該導電墊；

自該上表面朝該下表面形成至少一穿孔與該高分子黏著支撐層之該開口貫通以暴露出該導電墊；

形成一第二絕緣層覆蓋該上表面以及該穿孔之一孔壁；

形成一重佈局線路配置於該第二絕緣層上以及該穿孔內以電性連接該導電墊；

蝕刻該中介片使該溝槽自該上表面暴露出來；以及

形成一封裝層覆蓋於該重佈局線路上，該封裝層具有一開口暴露出該溝槽。

12. 如請求項 11 之晶片封裝體的製造方法，其中形成該高分子黏著支撐層於該下表面的步驟包含：

塗佈該高分子黏著支撐層於該下表面；以及

微影蝕刻該高分子黏著支撐層使該高分子黏著支撐層具有該開口。

13. 如請求項 12 之晶片封裝體的製造方法，在透過該高分子黏著支撐層將該中介片與該半導體晶片對接的步驟與自該上表面朝該下表面形成該穿孔與該高分子黏著支撐層之該開口貫通以暴露出該導電墊的步驟之間，進一步包含：

自該上表面朝該下表面薄化該中介片。

14. 如請求項 11 之晶片封裝體的製造方法，其中形成該封裝層覆蓋於該重佈局線路上的步驟包含：

塗佈該封裝層於該重佈局線路上；以及
雷射鑽孔該封裝層使該封裝層具有該開口暴露出該溝槽。

15. 如請求項 14 之晶片封裝體的製造方法，其中塗佈該封裝層於該重佈局線路上的步驟中，該封裝層不填滿該穿孔。

16. 如請求項 11 之晶片封裝體的製造方法，其中該高分子黏著支撐層包含一熱固化材料、一紫外光固化材料或兩者之組合。

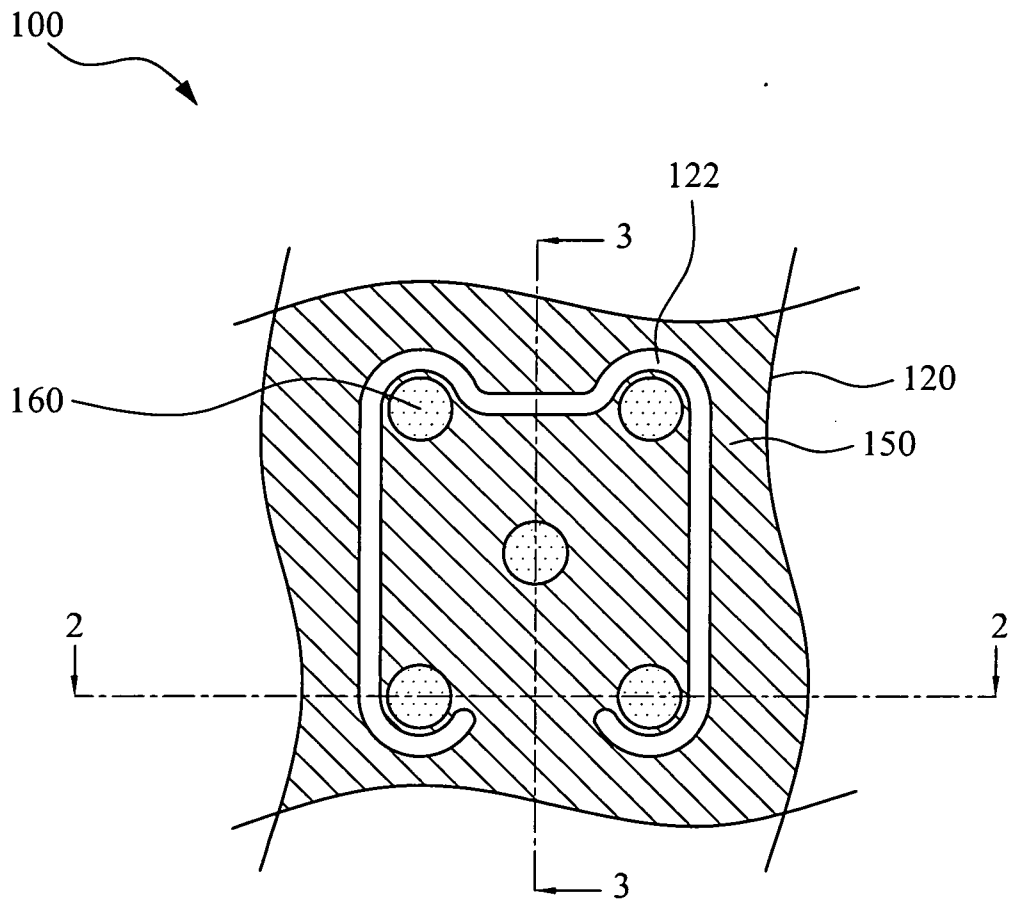
17. 如請求項 16 的晶片封裝體的製造方法，其中該熱固化材料包含環氧樹脂。

18. 如請求項 11 之晶片封裝體的製造方法，進一步包含：

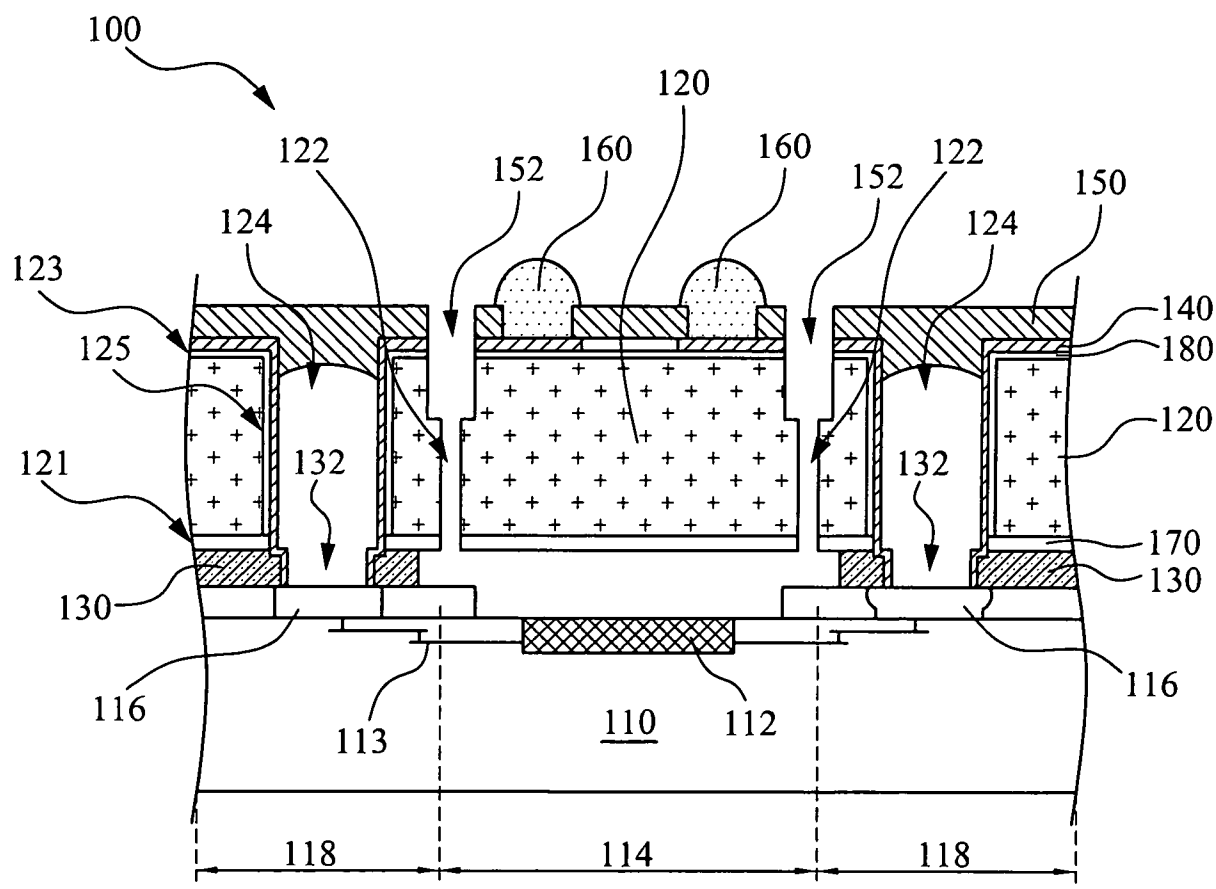
形成一外部導電連結配置於該中介片上，該外部導電連結電性連接該重佈局線路。

19. 如請求項 11 之晶片封裝體的製造方法，其中該高分子黏著支撐層係一高分子壩體。

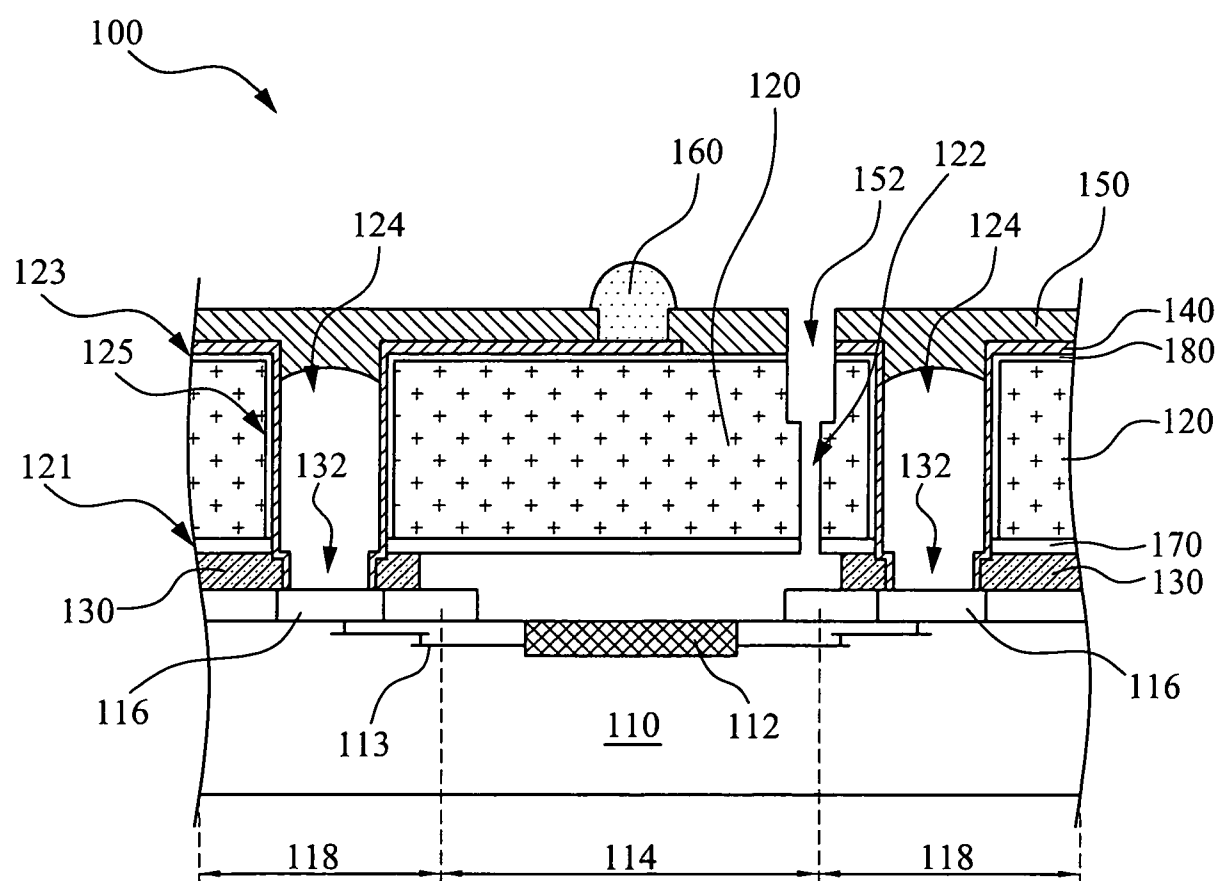
圖式



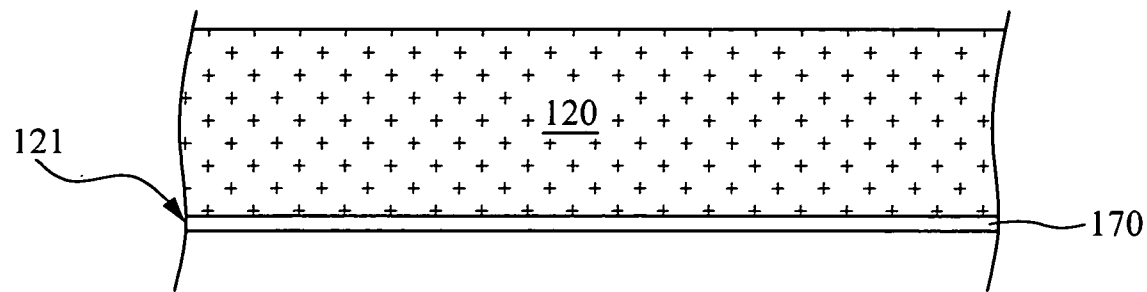
第 1 圖



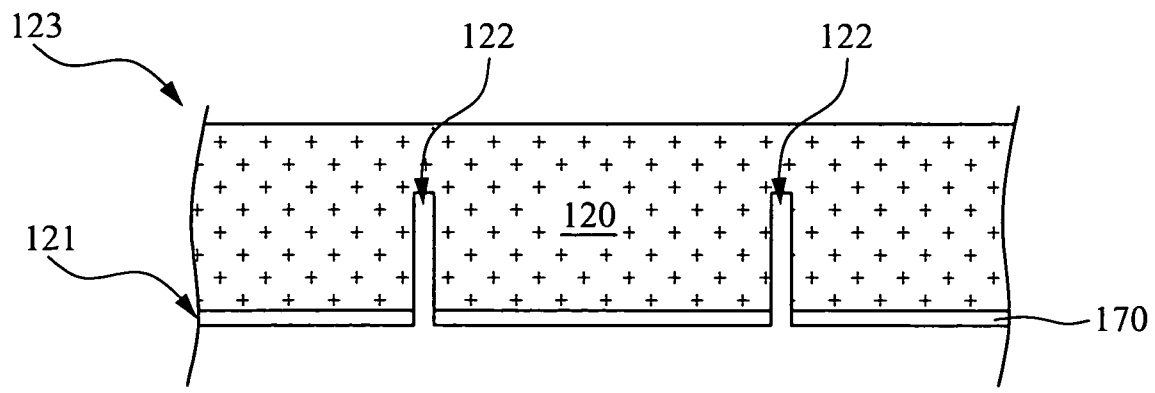
第 2 圖



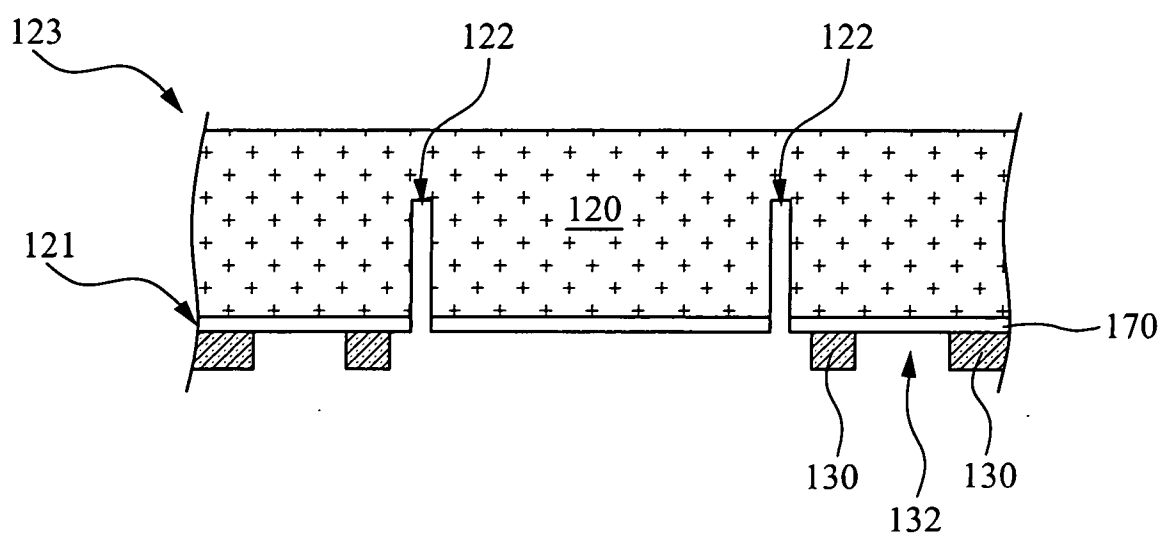
第 3 圖



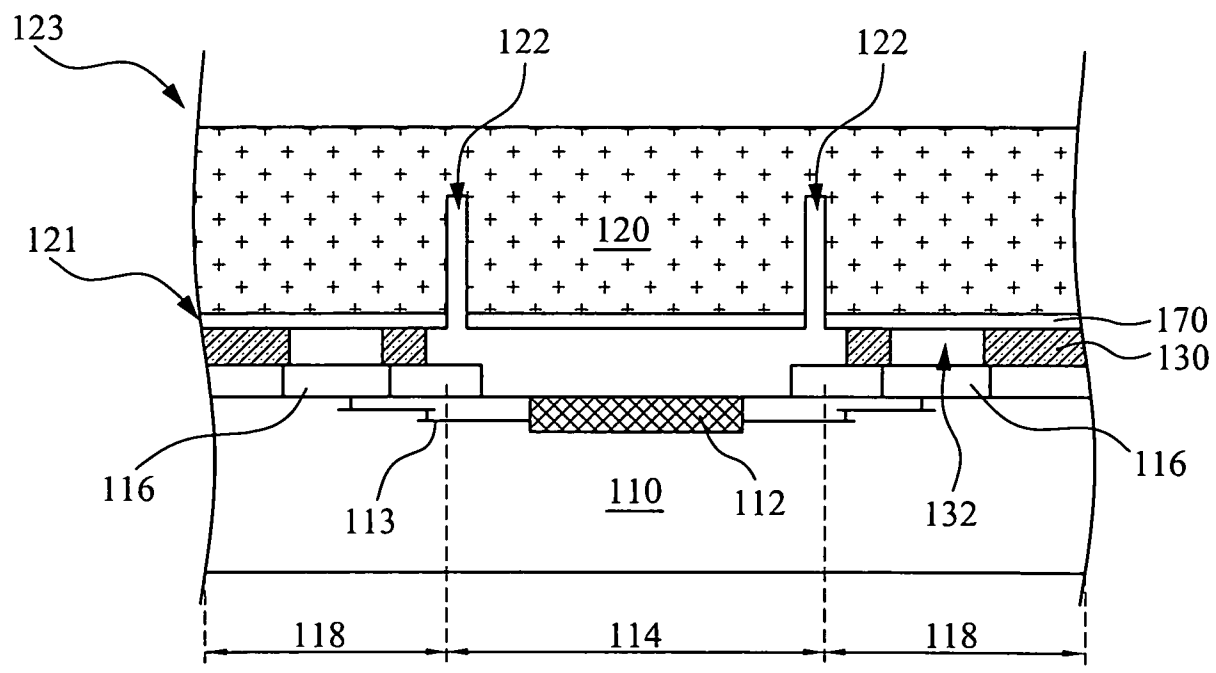
第 4 圖



第 5 圖



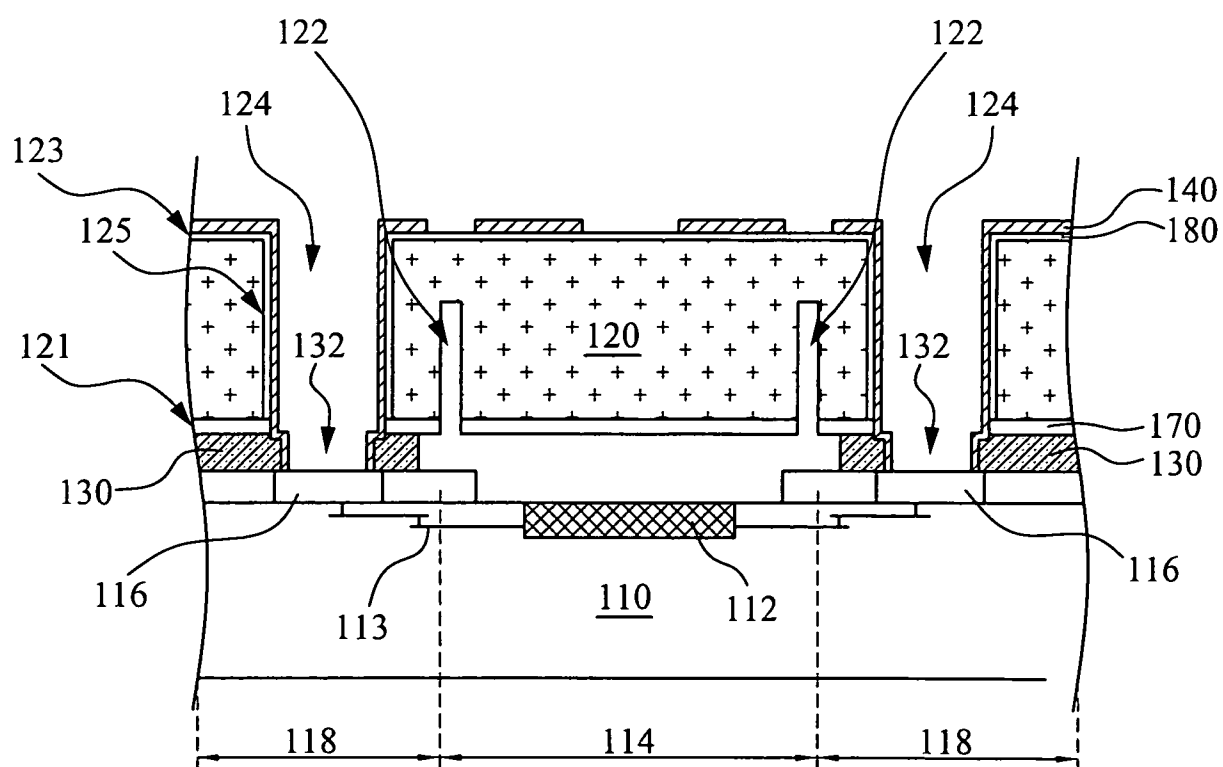
第 6 圖

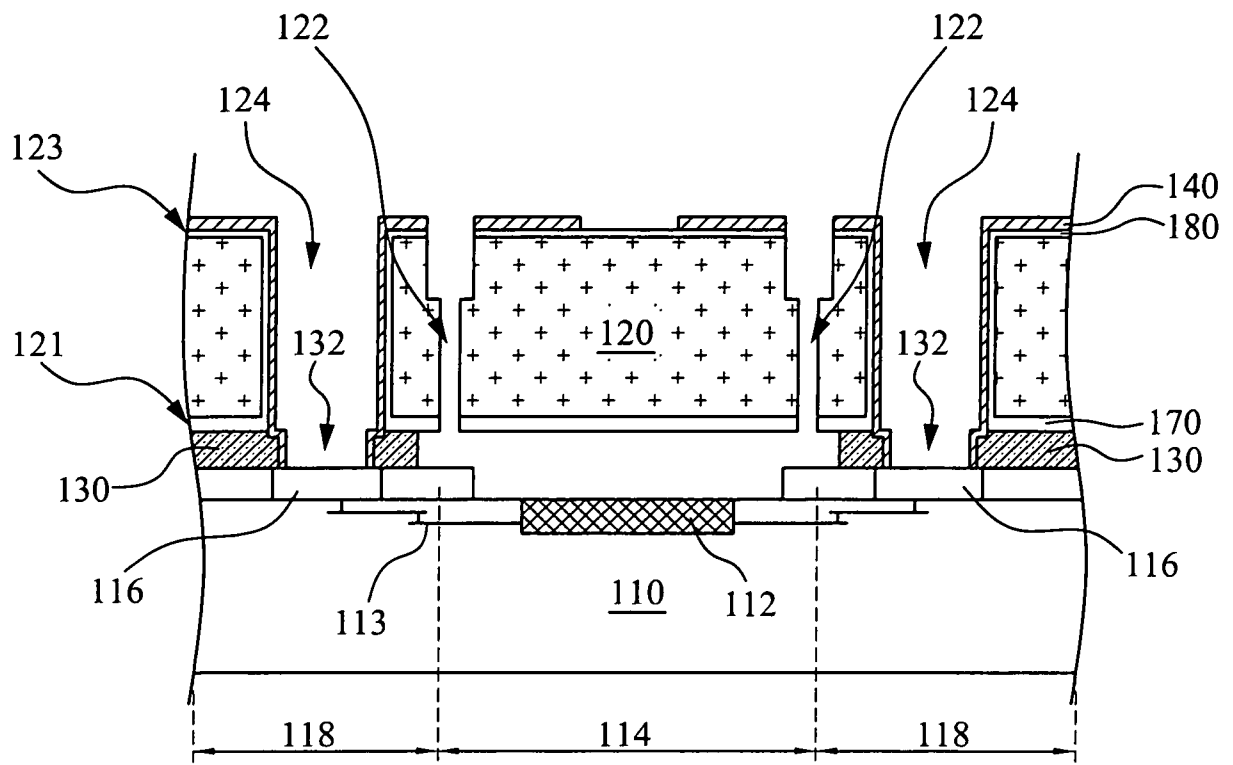


第 7 圖

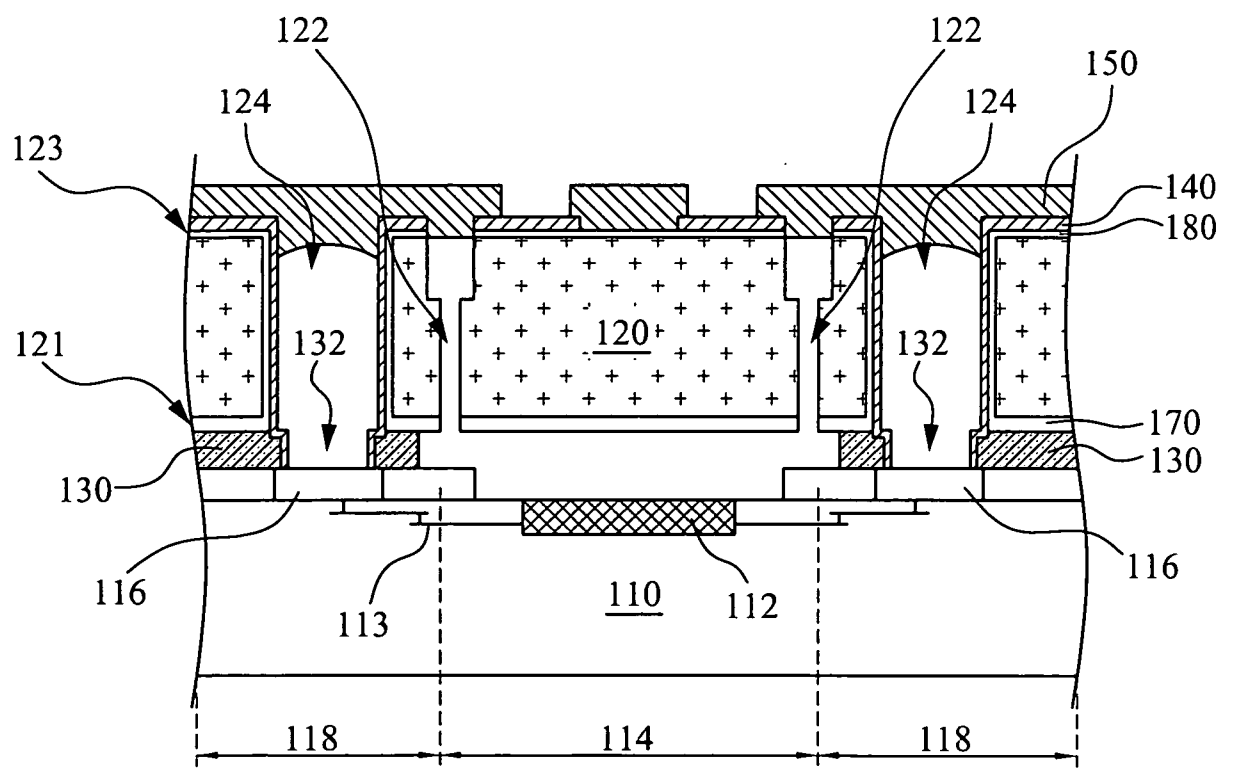


第 9 圖





第 10 圖



第 11 圖