



- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2009/052560
- (22) 国際出願日: 2009年2月16日(16.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP2008/052564 2008年2月15日(15.02.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本ユニサンティスエレクトロニクス株式会社 (Unisantis Electronics (Japan) Ltd.) [JP/JP]; 〒1040033 東京都中央区新川1-2-2-11 フジライト新川ビル2F Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 舩岡 富士雄 (MASUOKA, Fujio) [JP/JP]; 〒1040033 東京都中央区新川1-2-2-11 フジライト新川ビル

2 F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP). 新井 紳太郎 (ARAI, Shintaro) [JP/JP]; 〒1040033 東京都中央区新川1-2-2-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP). 中村 広記 (NAKAMURA, Hiroki) [JP/JP]; 〒1040033 東京都中央区新川1-2-2-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP). 工藤 智彦 (KUDO, Tomohiko) [JP/JP]; 〒1040033 東京都中央区新川1-2-2-11 フジライト新川ビル2F 日本ユニサンティスエレクトロニクス株式会社内 Tokyo (JP).

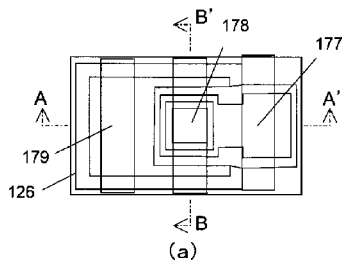
- (74) 代理人: 熊倉 禎男, 外 (KUMAKURA, Yoshio et al.); 〒1008355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

[続葉有]

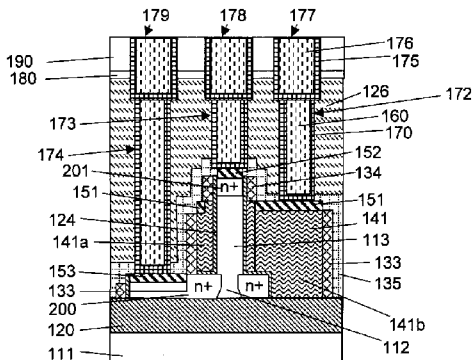
(54) Title: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

(54) 発明の名称: 半導体装置及びその製造方法

[図35(a)]



[図35(b)]



(b)

(57) Abstract: Provided is an SGT fabrication method for realizing a structure for lowering the resistance of the source, drain and gate, and for obtaining the desired gate length, source and drain shapes and diameter of the columnar semiconductor. Said objectives are realized by a semiconductor device fabrication method characterized by including a step for forming a columnar semiconductor layer of a first conductivity type, a step for forming a semiconductor layer of a second conductivity type at the base of the columnar semiconductor layer of the first conductivity type, a step for forming a gate insulating film and a gate electrode at the perimeter of the columnar semiconductor layer of the first conductivity type, a step for forming an insulating film on the upper part of the gate and on the side wall at the upper part of the columnar semiconductor layer of the first conductivity type, a step for forming an insulating film on the side wall of the gate, a step for forming a semiconductor layer of the second conductivity type on the upper part of the columnar semiconductor layer of the first conductivity type, and a step for forming a compound of a metal and a semiconductor on the semiconductor layers of the second conductivity type formed at the upper part and at the base of the columnar semiconductor layer of the first conductivity type and on the gate.

(57) 要約:

[続葉有]

WO 2009/102062 A1



GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

ソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるSGTの製造方法を提供することを課題とする。柱状の第1導電型半導体層を形成する工程と、柱状の第1導電型半導体層の下部に第2導電型半導体層を形成する工程と、柱状の第1導電型半導体層の周囲にゲート絶縁膜およびゲート電極を形成する工程と、ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜を形成する工程と、ゲートの側壁に絶縁膜を形成する工程と、柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、柱状の第1導電型半導体層の上部と下部に形成した第2導電型半導体層とゲートに金属と半導体の化合物を形成する工程と、を含むことを特徴とする半導体装置の製造方法により、上記課題を解決する。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] この発明は、半導体装置及びその製造方法に関するものである。

背景技術

[0002] 半導体集積回路、なかでもMOSTランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSTランジスタはナノ領域まで微細化が進んでいる。MOSTランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。この様な問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが柱状半導体層を取り囲む構造のSurrounding Gate Transistor (SGT) が提案された (例えば、特許文献1、特許文献2、特許文献3)。

[0003] 特許文献1:特開平2-71556号公報

特許文献2:特開平2-188966号公報

特許文献3:特開平3-145761号公報

発明の開示

発明が解決しようとする課題

[0004] SGTは、柱状半導体の側面を取り囲むようにチャネル領域を設けるため、大きいゲート幅を小さい占有面積内に実現する。すなわち、小さい占有面積に大きなオン電流を流すことが求められる。大きなオン電流が流れるため、ソース、ドレイン、ゲートの抵抗が高くと、ソース、ドレイン、ゲートに所望の電圧を印加することが難しくなる。そのため、ソース、ドレイン、ゲートの低抵抗化のための設計を含むSGTの製造方法が必要となる。また、大きなオン電流が流れるため、コンタクトの低抵抗化が必要となる。

[0005] 従来のMOSTランジスタにおいて、ゲートは、ゲート材を堆積し、リソグラフィによりゲートパターンを基板上のレジストに転写しゲート材をエッチングすることにより、形成される。すなわち、従来のMOSTランジスタにおいて、ゲート長はゲートパターンにより

設計される。一方、SGTにおいては、柱状半導体の側面がチャンネル領域であるため、基板に対して垂直に、電流が流れる。すなわち、SGTにおいて、ゲート長は、ゲートパターンにより設計されず、製造方法により設計されるため、製造方法によりゲート長とゲート長のばらつきが決定される。

[0006] SGTにおいて、微細化に伴って発生するリーク電流の増大を抑えるために、柱状半導体の直径を小さくすることが求められる。また、ソース、ドレインの最適化を行うことによりショートチャンネル効果を抑制しリーク電流を抑えることができる製造方法が必要となる。

[0007] SGTは従来のMOSトランジスタと同じように製造コストを下げる必要がある。そのために、製造工程数を少なくすることが求められる。そこで、本発明は、ソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるSGTの製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の1態様では、

半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の周囲にゲート絶縁膜およびゲート電極を形成する工程と、

ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、

ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と

柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導

体の化合物を形成する工程と、

ゲートに金属と半導体の化合物を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法である。

[0009] また、本発明の好ましい態様では、

柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、

柱状の第1導電型半導体層の中心から側壁までの長さ、

ゲート絶縁膜の厚さと、

ゲート電極の厚さと、

ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、

の和より大きい、前記記載の半導体装置の製造方法である。

[0010] また、本発明の好ましい態様では、

ゲート電極の厚さは、ゲートの上部且つ柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成した絶縁膜の厚さより大きい、前記記載の半導体装置の製造方法である。

[0011] また、本発明の好ましい態様では、

平面状半導体層は平面状シリコン層であり、第1導電型半導体層は第1導電型シリコン層であり、第2導電型半導体層は第2導電型シリコン層である、前記記載の半導体装置の製造方法である。

[0012] また、本発明の好ましい態様では、

平面状半導体層は平面状シリコン層であり、第1導電型半導体層はp型シリコン層または、ホドープのシリコン層であり、第2導電型半導体層はn型シリコン層である、前記記載の半導体装置の製造方法である。

[0013] また、本発明の好ましい態様では、

平面状半導体層は平面状シリコン層であり、第1導電型半導体層はn型シリコン層または、ホドープのシリコン層であり、第2導電型半導体層はp型シリコン層である、

前記記載の半導体装置の製造方法である。

[0014] また、本発明の好ましい態様では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

パット酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程を含む、前記記載の半導体装置の製造方法である。

[0015] また、本発明の好ましい態様では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコ

ンあるいはポリシリコンマスクの寸法を縮小する工程と、

アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と、

を含む、前記記載の半導体装置の製造方法である。

[0016] また、本発明の好ましい態様では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と、

を含む、前記記載の半導体装置の製造方法である。

[0017] また、本発明の好ましい態様では、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、

第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程と、

を含み、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御する、前記記載の半導体

装置の製造方法である。

[0018] また、本発明の好ましい態様では、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さい、前記記載の半導体装置の製造方法である。

[0019] また、本発明の好ましい態様では、

チャンネル部となる柱状の第1導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、

平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程と、を含む前記記載の半導体装置の製造方法である。

[0020] また、本発明の好ましい態様では、

第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成する、前記記載の半導体装置の製造方法である。

[0021] また、本発明の好ましい態様では、

柱状の第1導電型シリコン層の柱径は、第1のハードマスクであるシリコン窒化膜マスクの柱径より小さい、前記記載の半導体装置の製造方法である。

[0022] また、本発明の好ましい態様では、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層形成に用いる不純物注入の注入角は、0度～6度である、前記記載の半導体装置の製造方法である。

[0023] また、本発明の好ましい態様では、

柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成する、前記記載の半導体装置の製造方法である。

[0024] また、本発明の好ましい態様では、

犠牲酸化膜をエッチングで除去し、シリコン酸化膜やシリコン窒化膜といったゲート絶縁膜を形成し、ゲート電極としてアモルファスシリコンあるいはポリシリコンを、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、

化学機械研磨によりアモルファスシリコンあるいはポリシリコンを研磨し、ゲート電極の上面を平坦化する工程と、

を含み、

化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、再現性よく化学機械研磨研磨量を抑制する、前記記載の半導体装置の製造方法である。

[0025] また、本発明の好ましい態様では、

ゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、

ゲート電極であるアモルファスシリコンあるいはポリシリコン表面を酸化し、アモルファスシリコンあるいはポリシリコン表面にシリコン酸化膜を形成する工程と、

を含み、

このシリコン酸化膜により、後工程において行われるウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜へのダメージを抑制する、前記記載の半導体装置の製造方法である。

[0026] また、本発明の好ましい態様では、

所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜を成膜する工程と、

シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングすることによりシリコン窒化膜サイドウォールを形成する工程と

を含み、

シリコン窒化膜サイドウォールの膜厚がゲート電極の膜厚となるため、シリコン窒化膜の成膜の膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができることを特徴とし、

反射防止膜層 (BARC層) 及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、

レジストをマスクとして、反射防止膜層 (BARC層)、及びゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチングして、ゲート電極及びゲート配線パターンを形成する工程と、

柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、

シリコン窒化膜を成膜し、シリコン窒化膜をエッチバックして、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、ゲート絶縁膜を介してシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、

不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、

ニッケル (Ni) もしくはコバルト (Co) 等の金属膜をスパッタし、熱処理を加えることで、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程と、

を含み、

シリコン窒化膜サイドウォールによりゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止できることを特徴とし、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御する、前記記載の半導体装置の製造方法である。

[0027] また、本発明の好ましい態様では、

コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、

層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、

コンタクト孔にタンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、

炭化ケイ素(SiC)などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、

第1層配線をパターンニングして、第1配線層の溝パターンを形成し、タンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程と、を含む前記記載の半導体装置の製造方法である。

[0028] また、本発明の好ましい態様では、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング

工程の後、
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること
を特徴とする前記記載の半導体装置の製造方法である。

[0029] また、本発明の好ましい態様では、
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、
柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること
を特徴とする前記記載の半導体装置の製造方法である。

[0030] また、本発明の好ましい態様では、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること
を特徴とする前記記載の半導体装置の製造方法である。

[0031] また、本発明の好ましい態様では、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔と
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
のコンタクトストッパーをエッチングすること
を特徴とする前記記載の半導体装置の製造方法である。

[0032] また、本発明の好ましい態様では、

半導体装置であって、
基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって、
該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、
、
該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱
状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合
物が形成された柱状の第1導電型半導体層と、
該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、
該ゲート絶縁膜を囲むゲート電極であって、金属と半導体との化合物が形成された
ゲート電極と、
該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイ
ドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成
された、絶縁膜と、
を具備することを特徴とする半導体装置である。

[0033] また、本発明の好ましい態様では、

前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが
、
前記柱状の第1導電型半導体層の中心から側壁までの長さ、
前記ゲート絶縁膜の厚さと、
前記ゲート電極の厚さと、
前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、
の和より大きい、前記記載の半導体装置である。

[0034] また、本発明の好ましい態様では、

前記ゲート電極の厚さが、該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成された前記絶縁膜の厚さより大きい、前記記載の半導体装置である。

発明の効果

[0035] 本発明では、半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、柱状の第1導電型半導体層の周囲にゲート絶縁膜およびゲート電極を形成する工程と、ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と、柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、ゲートに金属と半導体の化合物を形成する工程と、柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法によりソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるSGTの製造方法を提供する。

[0036] また、本発明では、柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、

柱状の第1導電型半導体層の中心から側壁までの長さ、
ゲート絶縁膜の厚さと、
ゲート電極の厚さと、
ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、
の和より大きいことを特徴とすることにより、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成することができ、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗化することができる。

[0037] また、本発明では、
ゲート電極の厚さは、
ゲートの上部且つ柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成した絶縁膜の厚さより大きいことにより、
ゲート電極に金属と半導体の化合物を形成することができ、
ゲート電極を低抵抗化することができる。

[0038] また、本発明では、
基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、
パット酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程を含むことにより、
次工程で成膜するシリコン窒化膜とシリコンとの応力を緩和するために成膜するパッ

ド酸化膜を不純物注入時のスルー酸化膜としても用いることで、製造工程数を削減することができ、製造コストを下げるができる。

[0039] また、本発明では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、

柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と

アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と

を含むことにより、

後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

[0040] また、本発明では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、
シリコン窒化膜上にシリコン酸化膜を形成する工程と、
レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、
酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と
を含むことにより、
後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

[0041] また、本発明では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、
第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程により、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御することができる。

[0042] また、本発明では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さいことを特徴とすることにより、ドライエッチン

グの終点検出を行うことができる。

[0043] また、本発明では、

チャンネル部となる柱状の第1導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程を含むことにより、犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用するため、製造工程数を削減することができ、製造コストを下げることができる。

[0044] また、本発明では、

第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用し、さらに不純物注入時のスルー酸化膜として使用するため、製造工程数を削減することができ、製造コストを下げることができる。

[0045] また、本発明では、

柱状の第1導電型シリコン層の柱径は、第1のハードマスクであるシリコン窒化膜マスクの柱径より小さいことを特徴とすることにより、注入時に第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

[0046] また、本発明では、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層形成に用いる不純物注入の注入角は、0度～6度であることを特徴とすることにより、

注入時に柱状の第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

[0047] また、本発明では、

柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、柱状の第1導電型シリコン層上部と、柱状の第1導電型シリコン層の下部の平面状シリコン層の注入条件を容易に最適化できるため、ショートチャネル効果を抑制しリーク電流を抑制することができる。

[0048] また、本発明では、

犠牲酸化膜をエッチングで除去し、シリコン酸化膜やシリコン窒化膜といったゲート絶縁膜を形成し、ゲート電極としてアモルファスシリコンあるいはポリシリコンを、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、

化学機械研磨によりアモルファスシリコンあるいはポリシリコンを研磨し、ゲート電極の上面を平坦化する工程により、

化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、

再現性よく化学機械研磨研磨量を抑制することができる。

[0049] また、本発明では、

ゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、

ゲート電極であるアモルファスシリコンあるいはポリシリコン表面を酸化し、アモルファスシリコンあるいはポリシリコン表面にシリコン酸化膜を形成する工程により、

このシリコン酸化膜により、後工程において行われるウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜へのダメージを抑制することができる。

[0050] また、本発明では、

所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜を成膜する工程と、
シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングすることによりシリコン窒化膜サイドウォールを形成する工程により、

シリコン窒化膜サイドウォールの膜厚がゲート電極の膜厚となるため、シリコン窒化膜の成膜の膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができ、

反射防止膜層(BARC層)及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、

レジストをマスクとして、反射防止膜層(BARC層)、及びゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチングして、ゲート電極及びゲート配線パターンを形成する工程と、

柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、

シリコン窒化膜を成膜し、

シリコン窒化膜をエッチバックして、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、

ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、ゲート絶縁膜を介してシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、

不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、
ニッケル(Ni)もしくはコバルト(Co)等の金属膜をスパッタし、熱処理を加えることで、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、

柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程により、

シリコン窒化膜サイドウォールにより

ゲート電極と

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、

金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止でき、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御することができる。

[0051] また、本発明では、

コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、

層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、

柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、

コンタクト孔にタンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、

炭化ケイ素(SiC)などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、

第1層配線をパターンニングして、第1配線層の溝パターンを形成し、

タンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパ

ッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程により、コンタクトの低抵抗化ができる。

[0052] また、本発明では、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程の後、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0053] また、本発明では、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0054] また、本発明では、

柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすることにより、
柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0055] また、本発明では、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすることにより、
柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0056] また、本発明では、
半導体装置であって、
基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、
該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された柱状の第1導電型半導体層と、
該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、
該ゲート絶縁膜を囲むゲート電極であって、金属と半導体との化合物が形成された

ゲート電極と、

該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成された、絶縁膜と、

を具備することにより、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、ゲート電極、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層それぞれに異なる電圧を印加でき、柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、ゲート電極、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層を低抵抗化することができる。

[0057] また、本発明では、

前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが、

前記柱状の第1導電型半導体層の中心から側壁までの長さ、

前記ゲート絶縁膜の厚さと、

前記ゲート電極の厚さと、

前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、

の和より大きいことにより、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成することができ、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗化することができる。

[0058] また、本発明では、

前記ゲート電極の厚さが、該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成された前記絶縁膜の厚さより大きいことにより、

ゲート電極に金属と半導体の化合物を形成することができ、ゲート電極を低抵抗化することができる。

発明を実施するための最良の形態

[0059] 図35(a)は、本発明を用いて形成されたNMOS SGTの平面図であり、図35(b)は、図35(a)のカットラインA-A'に沿った断面図(b)である。以下に図35を参照して、本発明を用いて形成されたNMOS SGTについて説明する。

Si基板111上に形成されたBOX層120上に、平面状シリコン層112が形成され、平面状シリコン層112上に柱状シリコン層113が形成され、柱状シリコン層113の周囲にゲート絶縁膜124およびゲート電極141が形成されている。柱状シリコン層113の下部の平面状シリコン層112には、N+ソース拡散層200が形成され、柱状シリコン層113の上部にはN+ドレイン拡散層201が形成されている。N+ソース拡散層200上にはコンタクト174が形成され、N+ドレイン拡散層201上にはコンタクト173が形成され、ゲート電極141aより延在するゲート配線141b上にはコンタクト172が形成されている。

図36は図35(a)のカットラインB-B'に沿ったの断面図である。ソース領域を低抵抗化するためにはソース領域にシリサイド153を形成することが必要である。そのため、平面シリコン層112にシリサイドを形成するためには以下の条件が必要である。

$$W_a > W_p + W_{ox} + W_g + W_s \quad \text{式(1)}$$

ここで W_a はシリコン柱113の中心から平面シリコン層112の端までの長さ、 W_p はシリコン柱113の中心から側壁までの長さ、 W_{ox} はゲート酸化膜124の厚さ、 W_g はゲート電極141の幅、 W_s は窒化膜サイドウォール133の幅、すなわち絶縁膜の幅である。

図37は図35(a)のカットラインB-B'に沿った断面図である。ゲート電極141を低抵抗化するためにはゲート電極141にシリサイド151を形成することが必要である。そのため、ゲート電極141にシリサイド151を形成するためには以下の条件が必要である。

$$W_g > W_s \quad \text{式(2)}$$

ここで W_g はゲート電極141の幅、 W_s は窒化膜サイドウォール134の幅、すなわち絶縁膜の幅である。上記条件を満たす構造を用いることにより、ソース、ドレイン、ゲートの寄生抵抗を低減し、オン電流を大きくすることができる。

N+ソース拡散層をGND電位に接続し、N+ドレイン拡散層をVcc電位に接続し、

ゲート電極に0～Vccの電位を与えることにより上記SGTはトランジスタ動作を行う。また、柱状シリコン層の上部に形成されるN+拡散層がN+ソース拡散層であり、柱状シリコン層下部の平面状シリコン層に形成されるN+拡散層がN+ドレイン拡散層でもよい。

- [0060] 以下に本発明のSGTを形成するための製造方法の一例を図1～図35を参照して説明する。なお、これらの図面では、同一の構成要素に対しては同一の符号が付されている。図1は、本発明のSGTを形成するための製造工程であり、図2～図35は、この発明に係るSGTの製造例を示している。(a)は平面図、(b)はA-A'の断面図を示している。
- [0061] 図2を参照して、Si基板上111にBOX層120が形成され、BOX層120上にシリコン層110が形成されたSOI基板を用いて、SOI層110上にパッド酸化膜121を成膜する。パッド酸化膜を形成する前に、ロット形成を行い、レーザーマーク形成を行い、パッド酸化膜洗浄を行うこともある。また、パッド酸化後に、パッド酸化膜厚測定を行うこともある(図1ステップ1、2、3、4、5)。
- [0062] 図2を参照して、パッド酸化膜121越しにSOI層にしきい値調整用の不純物注入を行う。続いて不純物の活性化及び拡散のためにアニールを行い、SOI層の不純物分布を均一化する。次工程で成膜するシリコン窒化膜とシリコンとの応力を緩和するために成膜するパッド酸化膜を不純物注入時のスルー酸化膜としても用いることで、製造工程数を削減することができ、製造コストを下げることができる。(図1ステップ6、7)
- [0063] 図3を参照して、第1のハードマスクであるシリコン窒化膜130成膜し、続いてシリコン酸化膜122を成膜する。シリコン窒化膜形成後、窒化膜厚測定を行うこともある。また、シリコン酸化膜形成後、シリコン酸化膜厚測定を行うこともある(図1ステップ8、9、10、11)。
- [0064] 図4を参照して、レジストを塗布し、リソグラフィーを用いてレジストにより柱状シリコン層を反転したパターンを形成し、柱状シリコン層の形成箇所にシリコン酸化膜122を貫通するホールをドライエッチングにより形成する。リソグラフィ後に、寸法測定、検査を行うこともある。また、エッチング後に洗浄を行うこともある(図1ステップ12、13、14、15、16、17、18、19)。

この後、図38を参照して、酸化膜129を堆積し、

図39を参照して、酸化膜129をエッチバックを行うことで、シリコン酸化膜122を貫通するホールの径を小さくすることもできる。

- [0065] 図5を参照して、アモルファスシリコンあるいはポリシリコン140をシリコン酸化膜122に形成されたホールを埋め込むように成膜する。アモルファスシリコンあるいはポリシリコン堆積前に、洗浄を行うこともある。また、堆積後に、膜厚を測定することもある(図1ステップ20、21、22)。
- [0066] 図6を参照して、CMP(化学機械研磨)によりシリコン酸化膜122上のアモルファスシリコンあるいはポリシリコン140を研磨して除去する。研磨後、膜厚を測定することもある(図1ステップ23、24)。
- [0067] 図7を参照して、フッ酸などによるウェットエッチング、またはドライエッチングによって、シリコン酸化膜122を除去することにより、後工程の柱状シリコン層のドライエッチング時に第2のハードマスクとなるアモルファスシリコンあるいはポリシリコン140を形成する(図1ステップ25)。
- [0068] 図8を参照して、アモルファスシリコンあるいはポリシリコン140を犠牲酸化し、シリコン酸化膜128を形成し、アモルファスシリコンあるいはポリシリコンの寸法を縮小する。犠牲酸化前に、犠牲酸化前洗浄を行ってもよい。また、酸化後に、膜厚を測定してもよい(図1ステップ26、27、28)。この犠牲酸化により、図11で形成される柱状シリコン層113の寸法を縮小することができる。この柱状シリコン層の径を小さくできることにより、ショートチャネル効果を抑制し、リーク電流を低減できる。
- [0069] 図9を参照して、アモルファスシリコンあるいはポリシリコン140表面のシリコン酸化膜128をフッ酸などによるウェットエッチング、またはドライエッチングによって除去する(図1ステップ29)。
- [0070] 図10を参照して、第2のハードマスクであるアモルファスシリコンあるいはポリシリコン140をマスクとして、ドライエッチングにより第1のハードマスクであるシリコン窒化膜130及びパッド酸化膜121をエッチングする(図1ステップ30、31)。
- [0071] 図11を参照して、第1のハードマスクであるシリコン窒化膜130及び第2のハードマスクであるアモルファスシリコンあるいはポリシリコン140をマスクにして、柱状シリコン層

113をドライエッチングにより形成する。エッチング後、有機物除去、SEMを用いた検査、段差確認を行ってもよい(図1ステップ32、33、34、35)。ドライエッチング時には、第2のハードマスクであるアモルファスシリコンあるいはポリシリコン140もエッチングされ、アモルファスシリコンあるいはポリシリコン140が全てエッチングされると、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化するため、このプラズマ発光強度の変化を検出することにより、エッチングの終点検出が可能になり、エッチングレートによらず安定して柱状シリコン層113の高さを制御することができる。

上記の終点検出方法を用いるためには、柱状シリコン層ドライエッチング前のアモルファスシリコンあるいはポリシリコン140の膜厚 T_n (図10)が、柱状シリコン層の高さ T_p より小さく形成されている必要がある。

また、このときに埋め込み酸化膜層120上に平面状シリコン層112を形成する。

- [0072] 図12を参照して、チャンネル部となる柱状シリコン層113の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去のため、柱状シリコン層113及び平面状シリコン層112表面を犠牲酸化し、犠牲酸化膜123を形成する。犠牲酸化前に、犠牲酸化前洗浄を行ってもよい。また、犠牲酸化後に、犠牲酸化膜厚を測定してもよい(図1ステップ36、37、38)。
- [0073] 図13を参照して、レジスト150を塗布し、リソグラフィーを用いてレジストによりソース拡散層のパターンを形成する。リソグラフィー後、オーバーレイ誤差計測、寸法測定、検査を行ってもよい(図1ステップ39、40、41、42、43)。このときに、柱状シリコン層113及び平面状シリコン層112上には上記の犠牲酸化により形成された犠牲酸化膜123により、次工程のドライエッチング時に生じる副生成物等の汚染からシリコン表面が保護される。
- [0074] 図14を参照して、平面状シリコン層112をドライエッチングにより加工して、平面状シリコン層112を分離する。(図1ステップ44、45)
- [0075] 図15を参照して、レジストを除去する。その後、SEMによる検査、段差確認を行ってもよい(図1ステップ46、47、48)。
- [0076] 図16を参照して、不純物注入等により平面状シリコン層112表面にPやAsなどの不

純物を導入し、N+ソース拡散層200を形成する(図1ステップ49、50)。このときに、柱状シリコン層113、平面状シリコン層112の犠牲酸化時に形成された犠牲酸化膜123をスルー酸化膜として使用することで、製造工程数を削減することができる。

また、注入時に柱状シリコン層113の側壁から不純物が打ち込まれるとトランジスタ特性が変動する要因になる。そこで、窒化膜130の幅である W_n よりも柱状シリコン柱の幅 W_{p1} 、 W_{p2} は小さいことが必須である。ただし、 W_{p1} は、柱状シリコン層下部の幅、 W_{p2} は、柱状シリコン層上部の幅である。

また、注入時に柱状シリコン層113の側壁から不純物が打ち込まれないために、小さい角度、すなわち0度～6度で不純物を注入することが好ましい。

また、本工程においては柱状シリコン層113上に形成されるシリコン窒化膜130により、柱状シリコン層113の上部への注入は行われぬ。N+ソース拡散層200への注入は0°であることが好ましいが、後に柱状シリコン層113の上部に形成されるドレイン拡散層への注入はゲート電極と自己整合的に形成されるため、角度をつけて注入することが好ましい。上記のように平面状シリコン層に形成されるソース拡散層と柱状シリコン層上部に形成されるドレイン拡散層への注入を別々に行うことにより、それぞれの注入条件を容易に最適化できるため、ショートチャネル効果を抑制しリーク電流を抑制することができる。

[0077] 図17を参照して、犠牲酸化膜123をフッ酸などによるウェットエッチングで除去し、ゲート絶縁膜124としてシリコン酸化膜やシリコン酸窒化膜を形成する。ゲート絶縁膜形成前に、ゲート形成前洗浄を行ってもよい。また、絶縁膜形成後、膜厚測定を行ってもよい(図1ステップ51、52、53、54)。

[0078] 図18を参照して、ゲート導電膜としてアモルファスシリコンあるいはポリシリコン141を、柱状シリコン層113を埋め込むように成膜する。成膜後、膜厚を測定してもよい(図1ステップ55、56)。

[0079] 図19を参照して、CMP(化学機械研磨)によりアモルファスシリコンあるいはポリシリコン141を研磨し、ゲート導電膜の上面を平坦化する。CMPにおいて、第1のハードマスクであるシリコン窒化膜130をCMPのストッパーとして使用することにより、再現性よくCMP研磨量を制御することができる(図1ステップ57)。

- [0080] 図20を参照して、ゲート導電膜であるアモルファスシリコンあるいはポリシリコン141をエッチバックすることにより、ゲート長を決定する(図1ステップ58)。
- [0081] 図21を参照して、ゲート導電膜であるアモルファスシリコンあるいはポリシリコン141表面を酸化して、アモルファスシリコンあるいはポリシリコン141表面にシリコン酸化膜125を形成する。酸化前に、洗浄を行ってもよい(図1ステップ59、60)。このシリコン酸化膜125により、後工程において行われるウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜124へのダメージを抑制することができる。
- [0082] 図22を参照して、所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜131を成膜する。成膜後、膜厚を測定してもよい(図1ステップ61、62)。
- [0083] 図23を参照して、シリコン窒化膜131をエッチバックすることによりシリコン窒化膜131サイドウォールを形成する。このとき、シリコン酸化膜125もエッチングされる。エッチバック後、有機物除去を行ってもよい。また、形状測定を行ってもよい(図1ステップ63、64、65)。シリコン窒化膜サイドウォール131の膜厚がゲート電極の膜厚となるため、シリコン窒化膜131の成膜膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができる。
- [0084] 図24を参照して、BARC層161及びレジスト160を塗布し、リソグラフィーを用いてレジスト160によりゲート配線パターンを形成する。パターン形成後、オーバーレイ誤差計測、寸法測定、検査を行ってもよい(図1ステップ66、67、68、69、70)。
- [0085] 図25を参照して、レジスト160をマスクとして、BARC層161及びゲート導電膜であるアモルファスシリコンあるいはポリシリコン141をエッチングして、ゲート電極141a及びゲート配線141bを形成し、レジスト及びBARC層を除去する。エッチング後、寸法測定を行ってもよい(図1ステップ71、72、73、74、75)。
- [0086] 図26を参照して、柱状シリコン113上部のシリコン窒化膜130及びシリコン窒化膜サイドウォール131及びシリコン酸化膜121、125、平面状シリコン層上部の酸化膜124をドライエッチングもしくはウェットエッチングにより除去する(図1ステップ76)。ドライエッチングでシリコン窒化膜を除去後、ウェットエッチングによりシリコン酸化膜を除去することで、ゲート絶縁膜へのダメージを抑制することもできる。

ウェットエッチングを用いて窒化膜を除去する場合、エッチング前に、酸化を行い、ゲート電極表面に酸化膜を形成し、その後、窒化膜のウェットエッチングを行うことが望ましい。

- [0087] 図27を参照して、シリコン窒化膜132を成膜する。成膜前に、洗浄を行ってもよい。また、成膜後、膜厚を測定してもよい(図1ステップ77、78、79)。
- [0088] 図28を参照して、シリコン窒化膜132をエッチバックして、N+ソース拡散層200の上面および柱状シリコン113上部の表面を露出させ、柱状シリコン層113の側壁およびゲート141側壁をシリコン窒化膜133、134、すなわち絶縁膜サイドウォールで覆う。エッチング後、有機物除去を行ってもよい。また、形状を測定してもよい(図1ステップ80、81、82)。この窒化膜133、134によりゲート電極141とソース拡散層200及び柱状シリコン上部に後に形成されるN+ドレイン拡散層が分離されるため、シリサイドによるゲート電極141とソース拡散層200及びドレイン拡散層のショートを防止できる。また、柱状シリコン113上部の側壁を窒化膜134で覆うことにより、柱状シリコン層113の側壁からのシリサイド化を制御することができる。
- このシリコン窒化膜133、134がシリコン酸化膜である場合には、洗浄・剥離工程やシリサイド前処理に使用されるフッ酸によりエッチングされてしまうので、シリコン窒化膜などのフッ酸に溶けない膜であることが好ましい。
- [0089] 図29を参照して、不純物注入等により柱状シリコン層113の上部にPやAsなどの不純物を導入し、N+ドレイン拡散層201を形成する(図1ステップ83、84)。
- [0090] 図30を参照して、NiもしくはCo等の金属膜をスパッタし、熱処理を加えることでソース200表面及びドレイン201表面を、金属と半導体の化合物により構成することすなわちシリサイド化して、未反応の金属膜を除去することによってドレイン拡散層201上のシリサイド層152、およびソース拡散層200上のシリサイド層153を形成する。シリサイド層を形成する前に、酸化膜を剥離してもよい(図1ステップ85、86、87、88)。柱状シリコン層を囲むゲート電極上141にシリサイド層151が形成されることにより、ゲート電極141の寄生抵抗が減少する。ゲート電極141上にシリサイド層151が形成されるためには、ゲート電極141の膜厚 W_g とシリコン窒化膜134の膜厚 W_s の膜厚において、 $W_g > W_s$ となっており、ゲート電極141の表面が露出していればよい。

[0091] 図31を参照して、コンタクトストッパー135としてシリコン窒化膜等を成膜する(図1ステップ89)。

[0092] 図32を参照して、層間膜126としてシリコン酸化膜を成膜後、CMPにより平坦化する。成膜後、シリコン酸化膜厚を測定してもよい。また、CMP後、シリコン酸化膜厚、シリコン窒化膜厚を測定してもよい(図1ステップ90、91、92、93、94)。

[0093] 図33を参照して、柱状シリコン層113上部のドレイン拡散層201上、ゲート配線141b上およびソース拡散層200上にコンタクト孔をエッチングして形成する。コンタクト孔をエッチングする前に、コンタクトマスク露光を行う。また、寸法測定、オーバーレイ誤差計測、検査を行ってもよい。また、コンタクト孔形成後、プラズマレジスト剥離を行う。その後、洗浄を行い、寸法測定、酸化膜厚測定、検査、ウェハ容器交換を行ってもよい(図1ステップ95、96、97、98、99、100、101、102、103、104、105、106、107)。

また、図40を参照して、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング深さと、柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング深さが異なるため、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜のエッチングを行い、図41を参照して、レジスト162をマスクにして、柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを行い、層間膜のエッチング後、コンタクトストッパーをエッチングしてもよい。また、図42を参照して、柱状シリコン層上部のコンタクト孔の層間膜のエッチングを行い、図43を参照して、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを行い、層間膜のエッチング後、コンタクトストッパーをエッチングしてもよい。

柱状シリコン層上部のコンタクト孔の層間膜のエッチングと、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜のエッチングを別々に行うことで、柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0094] 図34を参照して、コンタクト孔にバリアメタル171であるタンタル(Ta)や窒化タンタル(TaN)などを成膜後、銅(Cu)170をスパッタやめっきにより成膜して、CMPによってコンタクト172、173、174を形成する。バリアメタルとしてチタン(Ti)や窒化チタン(TiN)を用いてもよい。また、タングステン(W)を用いてもよい。また、銅を含む合金を用いてもよい。成膜後、裏面処理、検査、熱処理を行ってもよい。また、CMP後、検査を行ってもよい(図1ステップ108、109、110、111、112、113、114)。

[0095] 図35を参照して、第1層配線のエッチングストッパーとしてSiC(炭化ケイ素)180を成膜し、続いて第1配線層の層間膜であるLow-k膜190を成膜する。このとき、膜厚を測定し、検査をしてもよい(図1ステップ115、116、117、118)。続いて、第1層配線をパターニングして、第1配線層の溝パターンを形成する。パターニング後、寸法測定、オーバーレイ誤差測定、検査を行ってもよい。溝パターン形成後、プラズマレジスト剥離、検査を行ってもよい(図1ステップ119、120、121、122、123、124、125、126)。続いて、バリアメタル175であるTaやTa₂N₅を成膜後、Cu176をスパッタやめっきにより成膜して、CMPによって第1層配線177、178、179を形成する。バリアメタルとしてチタン(Ti)や窒化チタン(TiN)を用いてもよい。また、タングステン(W)を用いてもよい。成膜後、裏面処理、検査、熱処理を行ってもよい。また、CMP後、検査を行ってもよい(図1ステップ127、128、129、130、131、132、133)。

その後、窒化膜堆積、層間絶縁膜堆積、層間絶縁膜厚測定を行ってもよい(図1ステップ134、135、136)。

また、パッドヴィアマスク露光、寸法測定、オーバーレイ誤差測定、検査、パッドヴィアエッチング、プラズマレジスト剥離、エッチング後洗浄、寸法測定、酸化膜厚測定、検査、メタル前洗浄、ウェハ容器交換、アルミ堆積、裏面処理、パッドアルミ露光、オーバーレイ誤差測定、寸法測定、検査、パッドアルミエッチング、プラズマレジスト剥離、メタルエッチング後洗浄、光学検査、SEM検査、酸化膜厚測定、絶縁膜堆積、絶縁膜厚測定、絶縁膜露光、光学検査、絶縁膜エッチング、プラズマレジスト剥離、絶縁膜洗浄、検査、熱処理を行ってもよい(図1ステップ137、138、139、140、141、142、143、144、145、146、147、148、149、150、151、152、153、154、155、156、157、158、159、160、161、162、163、164、165、166、167、168、169、

170、171、172、173、174、175、176)。

パッドビアの前に、多層配線を行ってもよい。

[0096] [発明の効果]

上述したように、

本発明では、

半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の周囲にゲート絶縁膜およびゲート電極を形成する工程と、

ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、

ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と、

柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、

ゲートに金属と半導体の化合物を形成する工程と、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、

柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法により

ソース、ドレイン、ゲートの低抵抗化のための構造と所望のゲート長、ソース、ドレイン形状と柱状半導体の直径が得られるSGTの製造方法を提供する。

[0097] また、本発明では、

柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、

柱状の第1導電型半導体層の中心から側壁までの長さ、
ゲート絶縁膜の厚さと、
ゲート電極の厚さと、
ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、
の和より大きいことを特徴とすることにより、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成することができ、
柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗化することができる。

[0098] また、本発明では、
ゲート電極の厚さは、
ゲートの上部且つ柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成した絶縁膜の厚さより大きいことにより、
ゲート電極に金属と半導体の化合物を形成することができ、
ゲート電極を低抵抗化することができる。

[0099] また、本発明では、
基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パッド酸化膜を成膜する工程と、
パッド酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程を含むことにより、
次工程で成膜するシリコン窒化膜とシリコンとの応力を緩和するために成膜するパッド酸化膜を不純物注入時のスルー酸化膜としても用いることで、製造工程数を削減

することができ、製造コストを下げるができる。

[0100] また、本発明では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、

柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と

アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と

を含むことにより、

後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

[0101] また、本発明では、

基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を

形成するシリコン層が形成され、
柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と
柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、
シリコン窒化膜上にシリコン酸化膜を形成する工程と、
レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、
酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と、
を含むことにより、
後に形成される柱状の第1導電型シリコン層の柱径を小さくできることにより、トランジスタのショートチャネル効果を抑制し、リーク電流を低減できる。

[0102] また、本発明では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、
第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程により、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御することができる。

[0103] また、本発明では、
第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さいことを特徴とすることにより、ドライエッチングの終点検出を行うことができる。

[0104] また、本発明では、
チャンネル部となる柱状の第1導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、
平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程を含むことにより、犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用するため、製造工程数を削減することができ、製造コストを下げることができる。

[0105] また、本発明では、
第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、
犠牲酸化により形成された酸化膜を第1導電型シリコン層保護膜として使用し、さらに不純物注入時のスルー酸化膜として使用するため、製造工程数を削減することができ、製造コストを下げることができる。

[0106] また、本発明では、
柱状の第1導電型シリコン層の柱径は、
第1のハードマスクであるシリコン窒化膜マスクの柱径より小さいことを特徴とすることにより、
注入時に第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

[0107] また、本発明では、
柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコ

ン層形成に用いる不純物注入の注入角は、0度～6度であることを特徴とすることにより、
注入時に柱状の第1導電型シリコン層の側壁から不純物が打ち込まれることを防ぐことができる。

[0108] また、本発明では、

柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成することにより、柱状の第1導電型シリコン層上部と、柱状の第1導電型シリコン層の下部の平面状シリコン層の注入条件を容易に最適化できるため、ショートチャネル効果を抑制しリーク電流を抑制することができる。

[0109] また、本発明では、

犠牲酸化膜をエッチングで除去し、シリコン酸化膜やシリコン窒化膜といったゲート絶縁膜を形成し、ゲート電極としてアモルファスシリコンあるいはポリシリコンを、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、
化学機械研磨によりアモルファスシリコンあるいはポリシリコンを研磨し、ゲート電極の上面を平坦化する工程により、
化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、
再現性よく化学機械研磨研磨量を抑制することができる。

[0110] また、本発明では、

ゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、
ゲート電極であるアモルファスシリコンあるいはポリシリコン表面を酸化し、アモルファスシリコンあるいはポリシリコン表面にシリコン酸化膜を形成する工程により、
このシリコン酸化膜により、後工程において行われるウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜へのダメージを抑制することができる。

[0111] また、本発明では、

所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜を成膜する工程と、
シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングすることによりシリコン窒化膜サイドウォールを形成する工程により、
シリコン窒化膜サイドウォールの膜厚がゲート電極の膜厚となるため、シリコン窒化膜の成膜の膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができ、
反射防止膜層(BARC層)及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、
レジストをマスクとして、反射防止膜層(BARC層)、及びゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチングして、ゲート電極及びゲート配線パターンを形成する工程と、
柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、
シリコン窒化膜を成膜し、
シリコン窒化膜をエッチバックして、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、
ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、ゲート絶縁膜を介してシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、
不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、
ニッケル(Ni)もしくはコバルト(Co)等の金属膜をスパッタし、熱処理を加えることで、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって
柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金

属と半導体の化合物を形成する工程により、シリコン窒化膜サイドウォールによりゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止でき、柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御することができる。

[0112] また、本発明では、

コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、コンタクト孔にタンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、炭化ケイ素(SiC)などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、第1層配線をパターンニングして、第1配線層の溝パターンを形成し、タンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程により、コンタクトの低抵抗化ができる。

[0113] また、本発明では、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程の後、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすることにより、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0114] また、本発明では、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と

柱状シリコン層下部の平面状シリコン層上のコンタクト孔の

コンタクトストッパーをエッチングすること

により、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔のエッチング条件の最適化と、

柱状シリコン層下部の平面状シリコン層上のコンタクト孔のエッチング条件の最適化を行うこともできる。

[0115] また、本発明では、

柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔

の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔と
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
のコンタクトストッパーをエッチングすることにより、
柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
のエッチング条件の最適化を行うこともできる。

[0116] また、本発明では、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
の層間膜エッチング工程の後、
柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、
その後、柱状シリコン層上部のコンタクト孔と
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
のコンタクトストッパーをエッチングすること
により、
柱状シリコン層上部のコンタクト孔のエッチング条件の最適化と、
ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔
のエッチング条件の最適化を行うこともできる。

[0117] また、本発明では、
半導体装置であって、
基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって
、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と
、
該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱
状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合
物が形成された柱状の第1導電型半導体層と、
該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、
該ゲート絶縁膜を囲むゲート電極であって、金属と半導体との化合物が形成された

ゲート電極と、

該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成された、絶縁膜と、

を具備することにより、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、ゲート電極、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層それぞれに異なる電圧を印加でき、柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層、ゲート電極、柱状の第1導電型半導体層の上部に形成した第2導電型半導体層を低抵抗化することができる。

[0118] また、本発明では、

前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが、

前記柱状の第1導電型半導体層の中心から側壁までの長さ、

前記ゲート絶縁膜の厚さと、

前記ゲート電極の厚さと、

前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、

の和より大きいことにより、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成することができ、

柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層を低抵抗化することができる。

[0119] また、本発明では、

前記ゲート電極の厚さが、該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成された前記絶縁膜の厚さより大きいことにより、

ゲート電極に金属と半導体の化合物を形成することができ、ゲート電極を低抵抗化することができる。

図面の簡単な説明

- [0120] [図1]本発明の半導体装置の製造方法
- [図2(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図2(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図3(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図3(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図4(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図4(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図5(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図5(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図6(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図6(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図7(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図7(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図8(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図8(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図9(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図9(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図10(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図10(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図11(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図11(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図12(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図12(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図13(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図13(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図14(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図14(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。

- [図15(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図15(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図16(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図16(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図17(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図17(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図18(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図18(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図19(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図19(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図20(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図20(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図21(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図21(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図22(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図22(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図23(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図23(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図24(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図24(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図25(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図25(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図26(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図26(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図27(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図27(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図28(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図28(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。

- [図29(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図29(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図30(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図30(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図31(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図31(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図32(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図32(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図33(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図33(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図34(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図34(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図35(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図35(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図36]図35の断面図。
- [図37]図35の断面図。
- [図38(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図38(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図39(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図39(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図40(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図40(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図41(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図41(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図42(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図42(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。
- [図43(a)]この発明に係る半導体装置の製造例を示す平面図。
- [図43(b)]この発明に係る半導体装置の製造例を示すA-A'断面工程図。

符号の説明

- [0121] 110. シリコン層
111. Si基板
112. 平面状シリコン層
113. 柱状シリコン層
120. BOX層
121. パッド酸化膜
122. シリコン酸化膜
123. 犠牲酸化膜
124. ゲート絶縁膜
125. シリコン酸化膜
126. 層間膜
128. シリコン酸化膜
129. シリコン酸化膜
130. シリコン窒化膜
131. シリコン窒化膜
132. シリコン窒化膜
133. シリコン窒化膜
134. シリコン窒化膜
135. コンタクトストッパー
140. アモルファスシリコンあるいはポリシリコン
141. アモルファスシリコンあるいはポリシリコン(ゲート電極)
- 141a. ゲート電極
- 141b. ゲート配線
150. レジスト
151. シリサイド層
152. シリサイド層
152. シリサイド層

- 160. レジスト
- 161. BARC層
- 162. レジスト
- 170. Cu
- 171. バリアメタル
- 172. コンタクト
- 173. コンタクト
- 174. コンタクト
- 175. バリアメタル
- 176. Cu
- 177. 第1層配線
- 178. 第1層配線
- 179. 第1層配線
- 180. エッチングストッパー
- 190. 第1配線層の層間膜
- 200. N+ソース拡散層
- 201. N+ドレイン拡散層

請求の範囲

- [1] 半導体装置の製造方法であって、基板上に形成された酸化膜上に、平面状半導体層が形成され、平面状半導体層上に柱状の第1導電型半導体層を形成する工程と、
- 柱状の第1導電型半導体層の下部の平面状半導体層に第2導電型半導体層を形成する工程と、
- 柱状の第1導電型半導体層の周囲にゲート絶縁膜およびゲート電極を形成する工程と、
- ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に、絶縁膜をサイドウォール状に形成する工程と、
- ゲートの側壁に絶縁膜をサイドウォール状に形成する工程と
- 柱状の第1導電型半導体層の上部に第2導電型半導体層を形成する工程と、
- 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
- 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層に金属と半導体の化合物を形成する工程と、
- ゲートに金属と半導体の化合物を形成する工程と、
- 柱状の第1導電型半導体層の下部の平面状半導体層に形成した第2導電型半導体層上にコンタクトを形成する工程と、
- 柱状の第1導電型半導体層の上部に形成した第2導電型半導体層上にコンタクトを形成する工程と、を含むことを特徴とする半導体装置の製造方法。
- [2] 柱状の第1導電型半導体層の中心から平面状半導体層の端までの長さは、
- 柱状の第1導電型半導体層の中心から側壁までの長さ、
- ゲート絶縁膜の厚さと、
- ゲート電極の厚さと、
- ゲートの側壁にサイドウォール状に形成した絶縁膜の厚さと、
- の和より大きい、請求項1に記載の半導体装置の製造方法。
- [3] ゲート電極の厚さは、ゲートの上部且つ柱状の第1導電型半導体層の上部側壁に

サイドウォール状に形成した絶縁膜の厚さより大きい、請求項1又は請求項2に記載の半導体装置の製造方法。

[4] 平面状半導体層は平面状シリコン層であり、第1導電型半導体層は第1導電型シリコン層であり、第2導電型半導体層は第2導電型シリコン層である、請求項1乃至3のいずれかに記載の半導体装置の製造方法。

[5] 平面状半導体層は平面状シリコン層であり、第1導電型半導体層はp型シリコン層または、ホドープのシリコン層であり、第2導電型半導体層はn型シリコン層である、請求項4に記載の半導体装置の製造方法。

[6] 平面状半導体層は平面状シリコン層であり、第1導電型半導体層はn型シリコン層または、ホドープのシリコン層であり、第2導電型半導体層はp型シリコン層である、請求項4に記載の半導体装置の製造方法。

[7] 基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

パット酸化膜越しに、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層にしきい値調整用の不純物注入を行い、不純物の活性化及び拡散のためにアニールを行い、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層の不純物分布を均一化する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程を含む、請求項1乃至6のうちいずれか一項に記載の半導体装置の製造方法

。

[8] 基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層

を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

アモルファスシリコンあるいはポリシリコンをシリコン酸化膜に形成されたホールを埋め込むように成膜する工程と、

化学機械研磨によりシリコン酸化膜のアモルファスシリコンあるいはポリシリコンを研磨して除去する工程と、

エッチングにより、シリコン酸化膜を除去することにより、第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクを形成する工程と、

アモルファスシリコンあるいはポリシリコンマスクを犠牲酸化して、アモルファスシリコンあるいはポリシリコンマスクの寸法を縮小する工程と、

アモルファスシリコンあるいはポリシリコンマスク表面のシリコン酸化膜をエッチングにより除去する工程と、

を含む、請求項1乃至7のうちいずれか一項に記載の半導体装置の製造方法。

- [9] 基板上に形成された酸化膜上に、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層が形成され、柱状の第1導電型シリコン層と平面状シリコン層を形成するシリコン層上に、パット酸化膜を成膜する工程と、

柱状の第1導電型シリコン層を形成時にマスクとして用いるシリコン窒化膜を成膜する工程と、

シリコン窒化膜上にシリコン酸化膜を形成する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層を反転したパターンを形成し、柱状の第1導電型シリコン層の形成箇所にシリコン酸化膜を貫通するホールを形成する工程と、

酸化膜を堆積し、エッチバックを行うことで、前記シリコン酸化膜を貫通するホールの径を小さくする工程と、

を含む、請求項1乃至8のうちいずれか一項に記載の半導体装置の製造方法。

- [10] 第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクをマスクとして、ドライエッチングによりシリコン窒化膜及びパット酸化膜をエッチングし、第1のハードマスクであるシリコン窒化膜マスクを形成する工程と、

第1のハードマスク及び第2のハードマスクをマスクとして、柱状の第1導電型シリコン層をドライエッチングにより形成する工程と、
を含み、

第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクが全てエッチングされ、ドライエッチング装置において検出することが可能なプラズマ発光強度が変化し、このプラズマ発光強度の変化を検出することにより、ドライエッチングの終点検出を行い、柱状の第1導電型シリコン層の高さを制御する、請求項1乃至9のうちいずれか一項に記載の半導体装置の製造方法。

[11] 第2のハードマスクであるアモルファスシリコンあるいはポリシリコンマスクの厚さは、柱状の第1導電型シリコン層の高さより小さい、請求項1乃至10のうちいずれか一項に記載の半導体装置の製造方法。

[12] チャネル部となる柱状の第1導電型シリコン層の側壁の凹凸の緩和や、ドライエッチング中にカーボンなどが打ち込まれたシリコン表面の除去と、次工程のドライエッチング時に生じる副生成物等の汚染から柱状の第1導電型シリコン層を保護するため、形成された柱状の第1導電型シリコン層を犠牲酸化する工程と、

レジストを塗布し、リソグラフィーを用いてレジストにより柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層のパターンを形成する工程と、

平面状シリコン層をドライエッチングし、柱状の第1導電型シリコン層の下部の平面状シリコン層を形成し、レジストを除去する工程と、を含む請求項1乃至11のうちいずれか一項に記載の半導体装置の製造方法。

[13] 第1導電型シリコン層犠牲酸化時に形成された犠牲酸化膜をスルー酸化膜として不純物注入等により平面状シリコン層表面に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成する、請求項1乃至12のうちいずれか一項に記載の半導体装置の製造方法。

[14] 柱状の第1導電型シリコン層の柱径は、第1のハードマスクであるシリコン窒化膜マスクの柱径より小さい、請求項1乃至13のうちいずれか一項に記載の半導体装置の製造方法。

- [15] 柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層形成に用いる不純物注入の注入角は、0度～6度である、請求項1乃至14のうちいずれか一項に記載の半導体装置の製造方法。
- [16] 柱状の第1導電型半導体層の上部に不純物を注入せず、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成する第2導電型シリコン層を形成する、請求項1乃至15のうちいずれか一項に記載の半導体装置の製造方法。
- [17] 犠牲酸化膜をエッチングで除去し、シリコン酸化膜やシリコン窒化膜といったゲート絶縁膜を形成し、ゲート電極としてアモルファスシリコンあるいはポリシリコンを、柱状の第1導電型シリコン層を埋め込むように成膜する工程と、
化学機械研磨によりアモルファスシリコンあるいはポリシリコンを研磨し、ゲート電極の上面を平坦化する工程と、
を含み、
化学機械研磨において、第1のハードマスクであるシリコン窒化膜を化学機械研磨のストッパーとして使用することにより、再現性よく化学機械研磨研磨量を抑制する、請求項1乃至16のうちいずれか一項に記載の半導体装置の製造方法。
- [18] ゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチバックすることにより、所望のゲート長を持つゲート電極を形成する工程と、
ゲート電極であるアモルファスシリコンあるいはポリシリコン表面を酸化し、アモルファスシリコンあるいはポリシリコン表面にシリコン酸化膜を形成する工程と、
を含み、
このシリコン酸化膜により、後工程において行われるウェット処理またはドライ処理からゲート上面が保護されるため、ゲート長の変動、つまりゲート長のばらつきやゲート上面からのゲート絶縁膜へのダメージを抑制する、請求項1乃至17のうちいずれか一項に記載の半導体装置の製造方法。
- [19] 所望のゲート電極の膜厚より厚い膜厚のシリコン窒化膜を成膜する工程と、
シリコン窒化膜をエッチバックし、シリコン酸化膜をエッチングすることによりシリコン窒化膜サイドウォールを形成する工程と
を含み、

シリコン窒化膜サイドウォールの膜厚がゲート電極の膜厚となるため、シリコン窒化膜の成膜の膜厚及びエッチバック条件を調整することによって、所望の膜厚のゲート電極を形成することができることを特徴とし、

反射防止膜層 (BARC層) 及びレジストを塗布し、リソグラフィーを用いてレジストによりゲート配線パターンを形成し、

レジストをマスクとして、反射防止膜層 (BARC層)、及びゲート電極であるアモルファスシリコンあるいはポリシリコンをエッチングして、ゲート電極及びゲート配線パターンを形成する工程と、

柱状の第1導電型シリコン層上部のシリコン窒化膜及びシリコン窒化膜サイドウォールをドライエッチングもしくはウェットエッチングにより除去する工程と、

シリコン窒化膜を成膜し、シリコン窒化膜をエッチバックして、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部を露出し、ゲート電極の上部且つ柱状の第1導電型シリコン層の上部側壁に、ゲート絶縁膜を介してシリコン窒化膜サイドウォールを形成し、ゲート電極の側壁にシリコン窒化膜サイドウォール、すなわち絶縁膜サイドウォールを形成する工程と、

不純物注入等により柱状の第1導電型シリコン層の上部に第2導電型の不純物を導入し、柱状の第1導電型シリコン層の上部に第2導電型シリコン層を形成する工程と、

ニッケル (Ni) もしくはコバルト (Co) 等の金属膜をスパッタし、熱処理を加えることで、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の表面を金属と半導体の化合物化し、未反応の金属膜を除去することによって、柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層と、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に金属と半導体の化合物を形成する工程と、

を含み、

シリコン窒化膜サイドウォールによりゲート電極と柱状の第1導電型シリコン層の下

部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層が分離されるため、金属と半導体の化合物によるゲート電極と柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層及び柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層の短絡を防止できることを特徴とし、

柱状の第1導電型シリコン層上部の側壁をシリコン窒化膜で覆うことにより、柱状の第1導電型シリコン層の側壁からの金属と半導体の化合物化を制御する、請求項1乃至18のいずれか一項に記載の半導体装置の製造方法。

- [20] コンタクトストッパーとしてシリコン窒化膜等を成膜する工程と、
層間膜としてシリコン酸化膜を成膜後、化学機械研磨により平坦化する工程と、
柱状の第1導電型シリコン層の下部の平面状シリコン層に形成した第2導電型シリコン層上、ゲート電極上、柱状の第1導電型シリコン層の上部に形成した第2導電型シリコン層上に、エッチングによりコンタクト孔を形成する工程と、
コンタクト孔にタンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によってコンタクトプラグを形成する工程と、
炭化ケイ素(SiC)などの第1層配線のエッチングストッパーを成膜し、続いて第1配線層の層間膜である低誘電率膜を成膜する工程と、
第1層配線をパターンニングして、第1配線層の溝パターンを形成し、タンタル(Ta)や窒化タンタル(TaN)や、チタン(Ti)や窒化チタン(TiN)といったバリアメタルを成膜後、タングステン(W)や銅(Cu)及び銅を含む合金などのメタルをスパッタやめっきにより成膜して、化学機械研磨によって第1層配線を形成する工程と、を含む請求項1乃至19のいずれか一項に記載の半導体装置の製造方法。

- [21] 柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程の後、
柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること
を特徴とする請求項1乃至20のいずれか一項に記載の半導体装置の製造方法。

[22] 柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後に、

柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること

を特徴とする請求項1乃至20のいずれか一項に記載の半導体装置の製造方法。

[23] 柱状シリコン層上部のコンタクト孔の層間膜エッチング工程の後、

ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること

を特徴とする請求項1乃至20のいずれか一項に記載の半導体装置の製造方法。

[24] ゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔の層間膜エッチング工程の後、

柱状シリコン層上部のコンタクト孔の層間膜エッチング工程を行い、

その後、柱状シリコン層上部のコンタクト孔とゲート配線上のコンタクト孔と柱状シリコン層下部の平面状シリコン層上のコンタクト孔のコンタクトストッパーをエッチングすること

を特徴とする請求項1乃至20のいずれか一項に記載の半導体装置の製造方法。

[25] 半導体装置であって、

基板の上に形成され、第2導電型半導体層が形成された平面状半導体層であって

、該第2導電型半導体層に金属と半導体との化合物が形成された平面状半導体層と、
、
該平面状半導体層の上に形成され、上部に第2導電型半導体層が形成された柱状の第1導電型半導体層であって、該第2導電型半導体層に金属と半導体との化合物が形成された柱状の第1導電型半導体層と、
該柱状の第1導電型半導体層の周囲に形成されたゲート絶縁膜と、
該ゲート絶縁膜を囲むゲート電極であって、金属と半導体との化合物が形成されたゲート電極と、
該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁に、サイドウォール状に形成されるとともに、前記ゲート電極の側壁にサイドウォール状に形成された、絶縁膜と、
を具備することを特徴とする半導体装置。

- [26] 前記柱状の第1導電型半導体層の中心から前記平面状半導体層の端までの長さが、
前記柱状の第1導電型半導体層の中心から側壁までの長さ、
前記ゲート絶縁膜の厚さと、
前記ゲート電極の厚さと、
前記ゲート電極の側壁にサイドウォール状に形成された前記絶縁膜と、
の和より大きい、請求項25に記載の半導体装置。
- [27] 前記ゲート電極の厚さが、該ゲート電極の上部であって前記柱状の第1導電型半導体層の上部側壁にサイドウォール状に形成された前記絶縁膜の厚さより大きい、請求項25又は請求項26に記載の半導体装置。

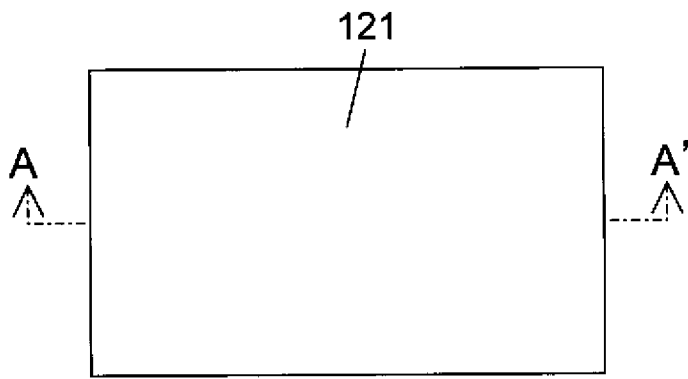
[図1-1]

ステップ	工程名	ステップ	工程名	ステップ	工程名
1	ロット形成	31	酸化膜ドライエッチング	61	窒化膜堆積
2	レーザーマーク形成	32	シリコンドライエッチング	62	窒化膜厚測定
3	パッド酸化前洗浄	33	有機物除去	63	スペーサエッチング
4	パッド酸化	34	SEM検査	64	有機物除去
5	パッド酸化膜厚測定	35	段差確認	65	スペーサ形状測定
6	ウェル不純物注入	36	犠牲酸化前洗浄	66	ゲートマスク露光
7	不純物活性化	37	犠牲酸化	67	
8	窒化膜堆積	38	犠牲酸化膜厚測定	68	オーバーレイ誤差計測
9	窒化膜厚測定	39	ソース領域露光	69	寸法測定
10	シリコン酸化膜堆積	40		70	検査
11	シリコン酸化膜厚測定	41	オーバーレイ誤差計測	71	ゲートエッチング
12	柱形状露光	42	寸法測定	72	ゲートエッチング
13		43	検査	73	ゲートエッチング
14	寸法測定	44	ソース領域エッチング	74	有機物除去
15	検査	45		75	エッチング後の寸法測定
16	柱のハードマスクエッチング	46	有機物除去	76	窒化膜剥離
17	柱のハードマスクエッチング	47	SEM検査	77	窒化膜堆積前洗浄
18	柱のハードマスクエッチング	48	段差確認	78	窒化膜堆積
19	エッチング後洗浄	49	N+不純物注入	79	窒化膜厚測定
20	ポリシリコン堆積前洗浄	50	不純物活性化	80	スペーサエッチング
21	ポリシリコン堆積	51	酸化膜剥離	81	有機物除去
22	ポリシリコン膜厚測定	52	ゲート形成前洗浄	82	スペーサ形状測定
23	ポリシリコン化学機械研摩	53	ゲート酸化	83	N+不純物注入
24	ポリシリコン膜厚測定	54	ゲート酸化膜厚測定	84	不純物活性化
25	酸化膜剥離	55	ポリシリコン堆積	85	酸化膜剥離
26	犠牲酸化前洗浄	56	ポリシリコン膜厚測定	86	ニッケル堆積
27	犠牲酸化	57	ポリシリコン化学機械研摩	87	金属と半導体の化合物形成
28	犠牲酸化膜厚測定	58	ポリシリコンエッチング	88	選択的ニッケル剥離
29	酸化膜剥離	59	酸化前洗浄	89	窒化膜堆積
30	窒化膜ドライエッチング	60	酸化	90	金属前絶縁膜堆積

[図1-2]

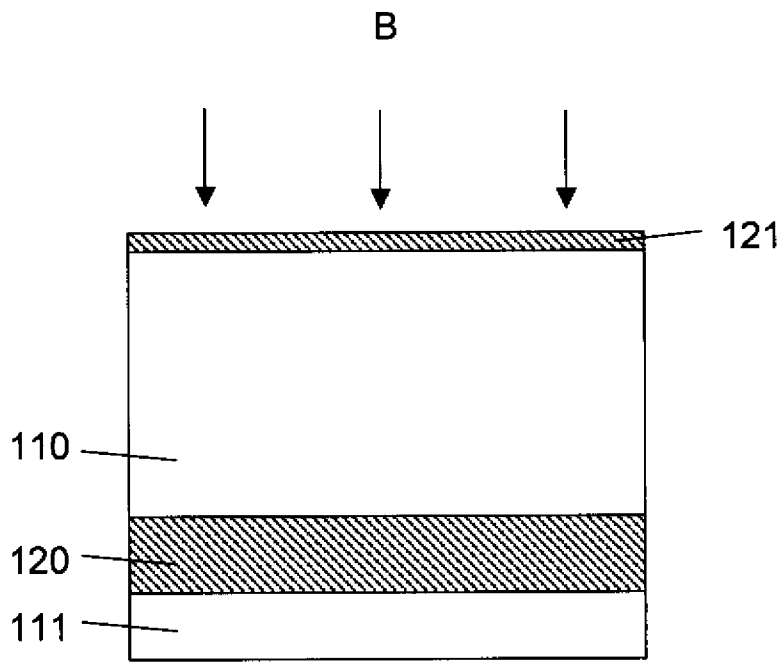
ステップ	工程名	ステップ	工程名	ステップ	工程名
91	金属前絶縁膜厚測定	121	寸法測定	151	アルミ堆積
92	金属前絶縁膜化学機械研磨	122	オーバーレイ誤差測定	152	裏面処理
93	絶縁膜厚測定	123	検査	153	パッドアルミ露光
94	窒化膜厚測定	124	ドライエッチング	154	
95	コンタクトマスク露光	125	プラズマレジスト剥離	155	オーバーレイ誤差測定
96		126	検査	156	寸法測定
97	寸法測定	127	銅/タンタル/窒化タンタルスパッタ	157	検査
98	オーバーレイ誤差計測	128	銅埋め込み	158	
99	検査	129	裏面処理	159	パッドアルミエッチング
100	コンタクトエッチング	130	検査	160	
101	コンタクトエッチング	131	熱処理	161	プラズマレジスト剥離
102	プラズマレジスト剥離	132	銅化学機械研磨	162	メタルエッチング後洗浄
103	コンタクトエッチング後の洗浄	133	検査	163	光学検査
104	コンタクトの寸法測定	134	窒化膜堆積	164	SEM検査
105	酸化膜厚測定	135	層間絶縁膜堆積	165	酸化膜厚測定
106	検査	136	層間絶縁膜厚測定	166	絶縁膜堆積
107	ウエハ容器交換	137	パッドヴィアマスク露光	167	絶縁膜厚測定
108	銅/タンタル/窒化タンタルスパッタ	138		168	絶縁膜露光
109	銅埋め込み	139	寸法測定	169	
110	裏面処理	140	オーバーレイ誤差測定	170	光学検査
111	検査	141	検査	171	絶縁膜エッチング
112	熱処理	142		172	
113	銅化学機械研磨	143	パッドヴィアエッチング	173	プラズマレジスト剥離
114	検査	144	プラズマレジスト剥離	174	絶縁膜洗浄
115	炭化ケイ素堆積	145	エッチング後洗浄	175	検査
116	低誘電体膜堆積	146	寸法測定	176	熱処理
117	低誘電体膜厚測定	147	酸化膜厚測定		
118	検査	148	検査		
119	第1メタルマスク露光	149	メタル前洗浄		
120		150	ウエハ容器交換		

[図2(a)]



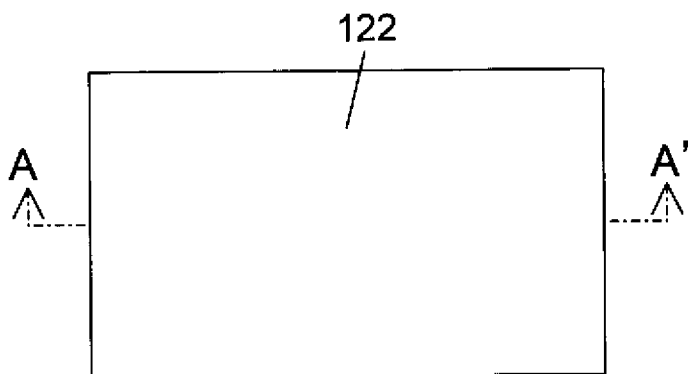
(a)

[図2(b)]



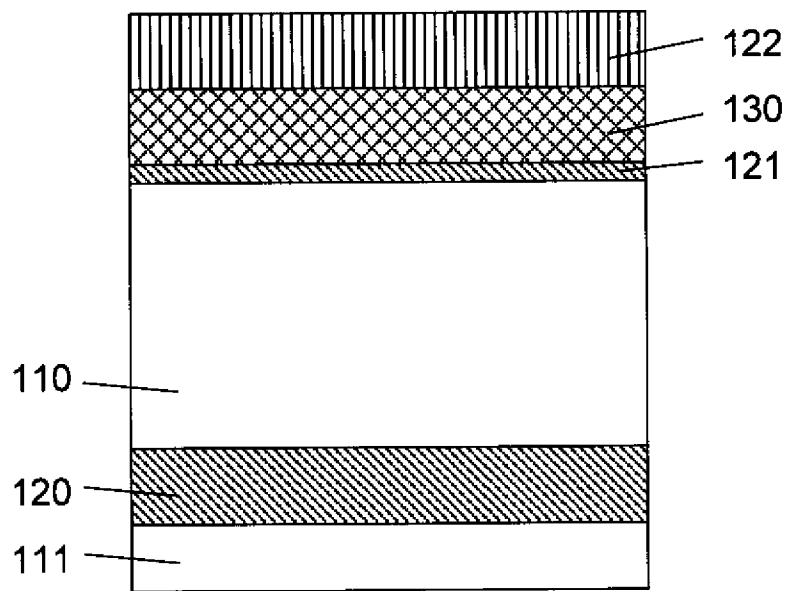
(b)

[図3(a)]



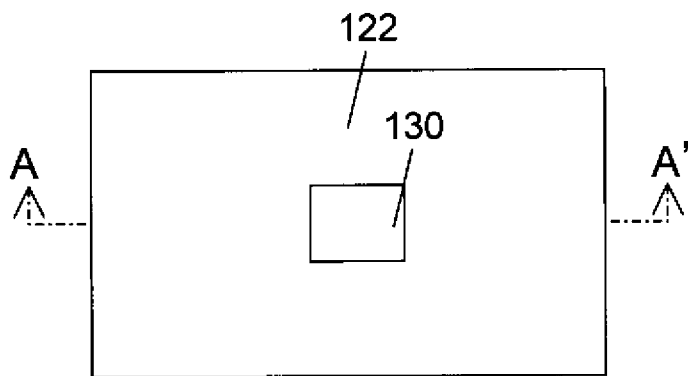
(a)

[図3(b)]



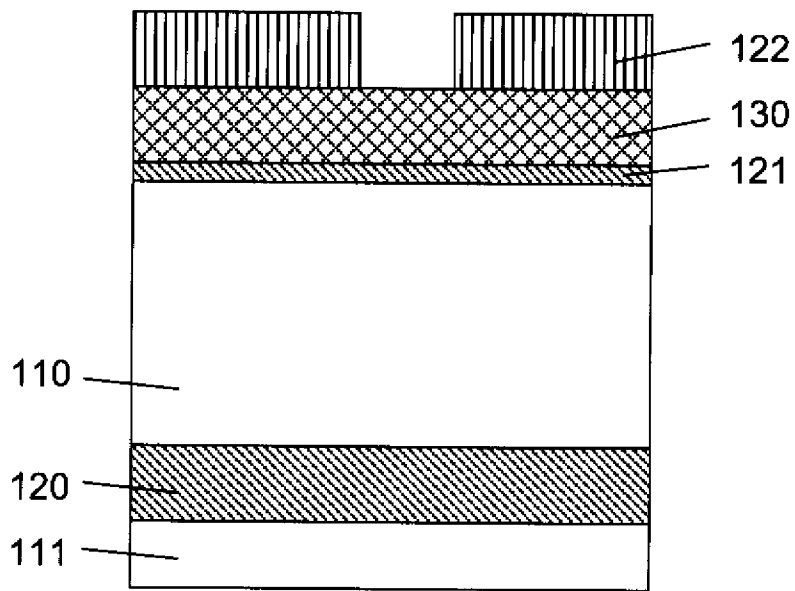
(b)

[図4(a)]



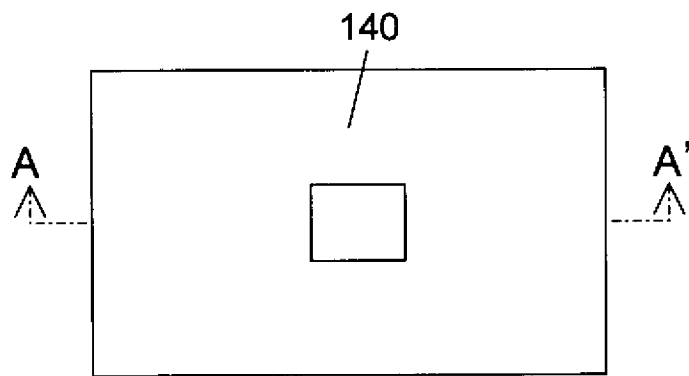
(a)

[図4(b)]



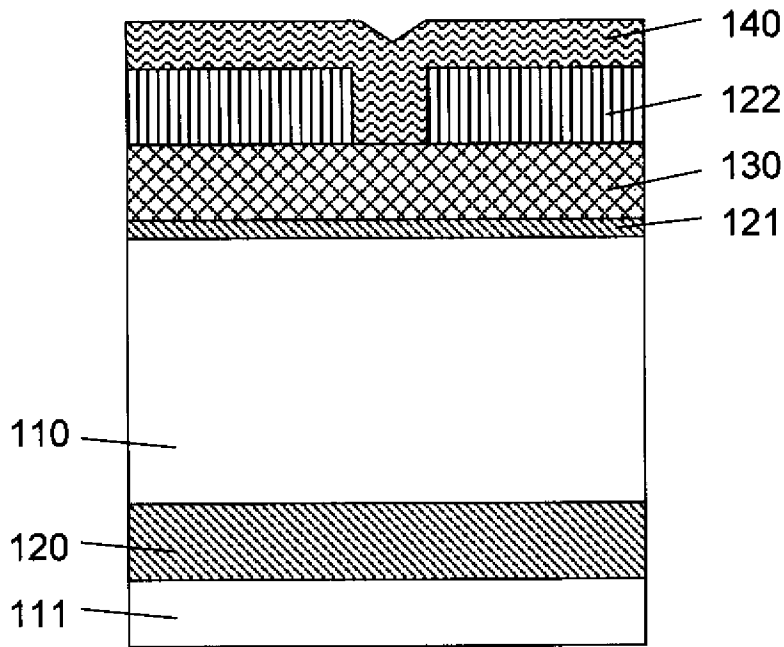
(b)

[図5(a)]



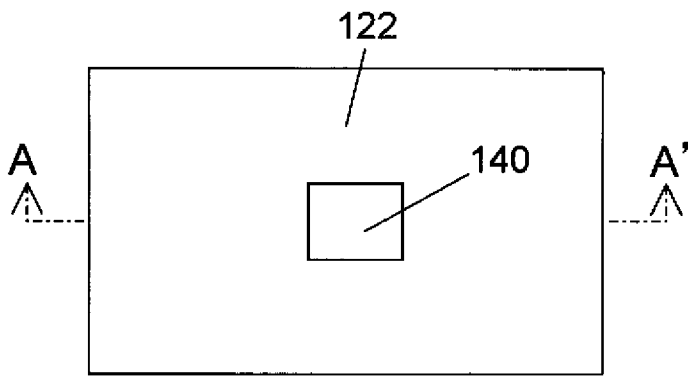
(a)

[図5(b)]



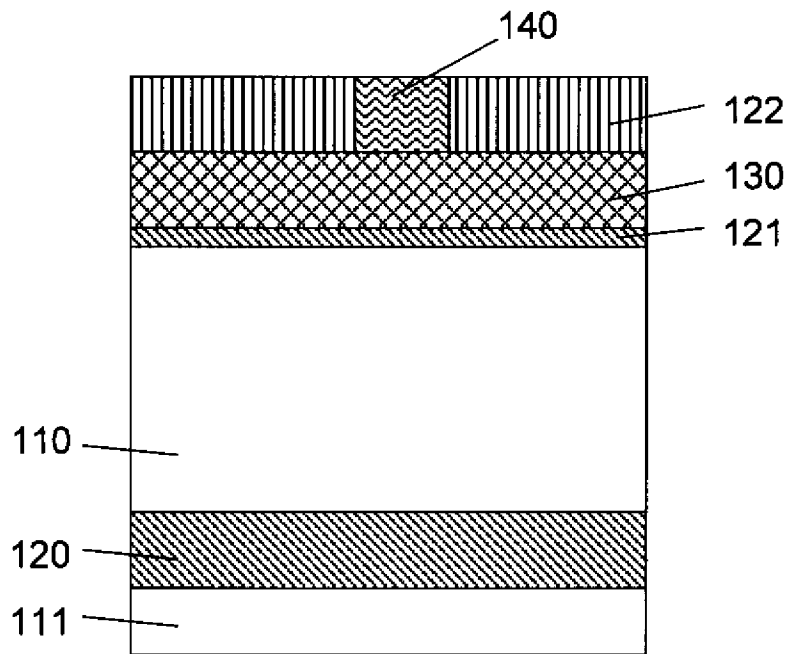
(b)

[図6(a)]



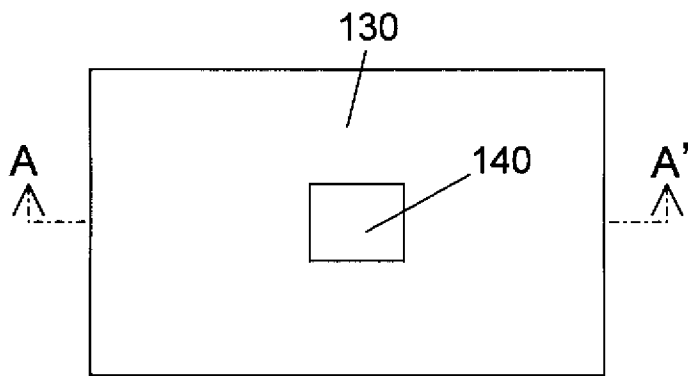
(a)

[図6(b)]



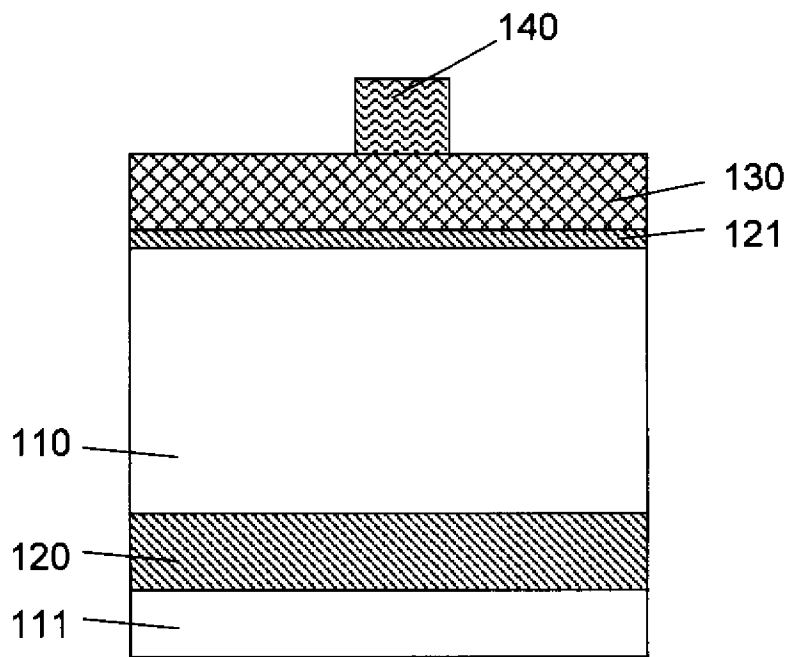
(b)

[図7(a)]



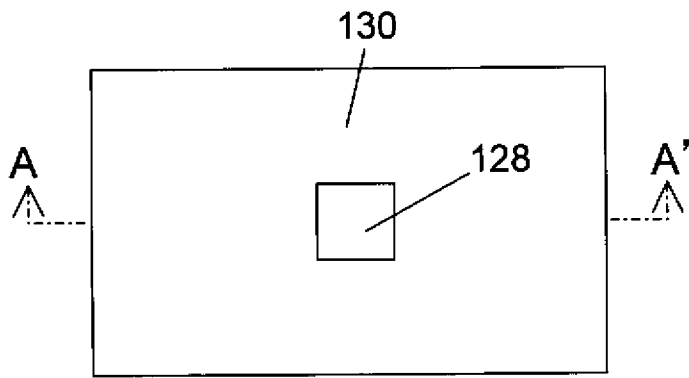
(a)

[図7(b)]



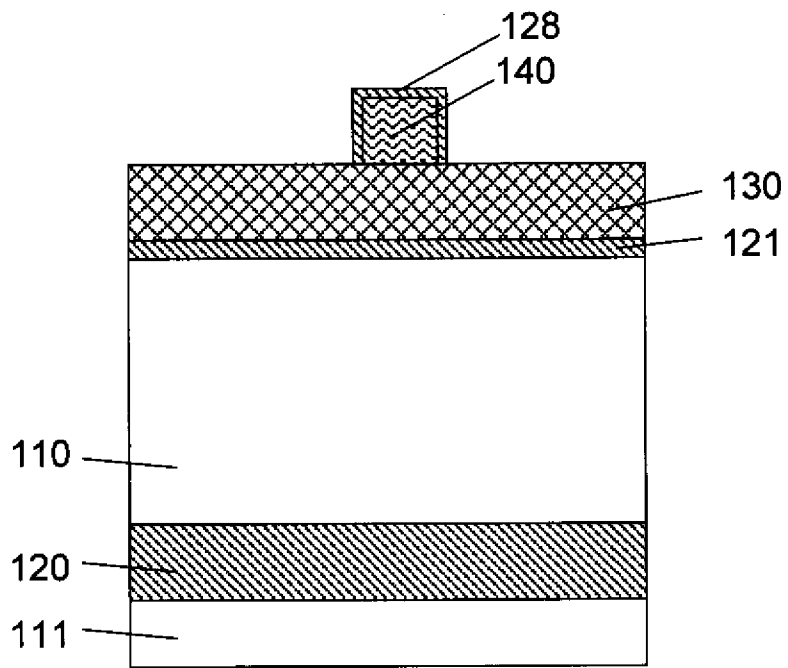
(b)

[図8(a)]



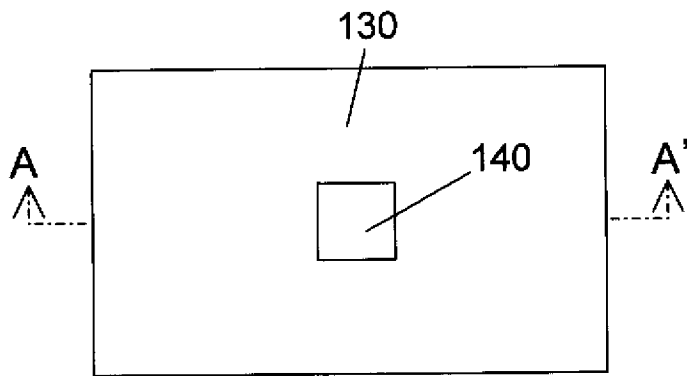
(a)

[図8(b)]



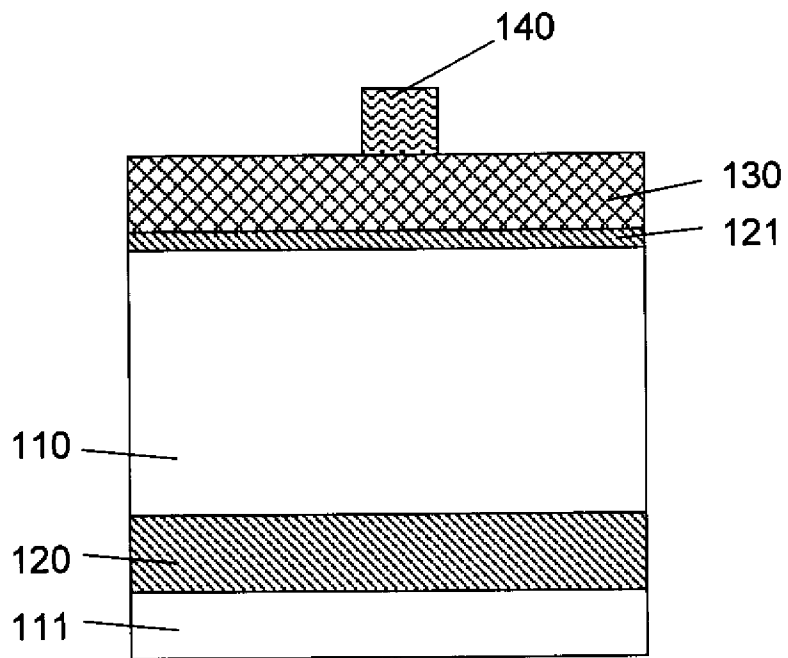
(b)

[図9(a)]



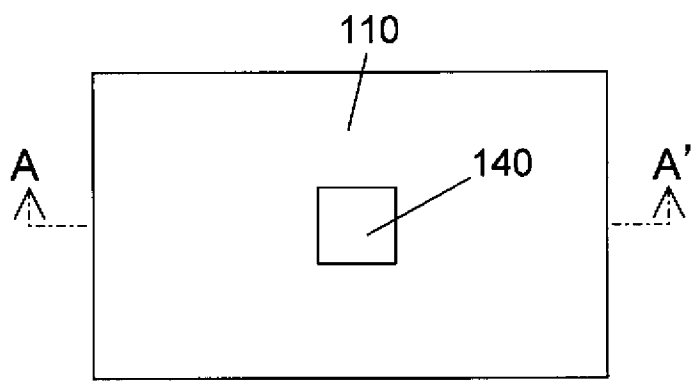
(a)

[図9(b)]



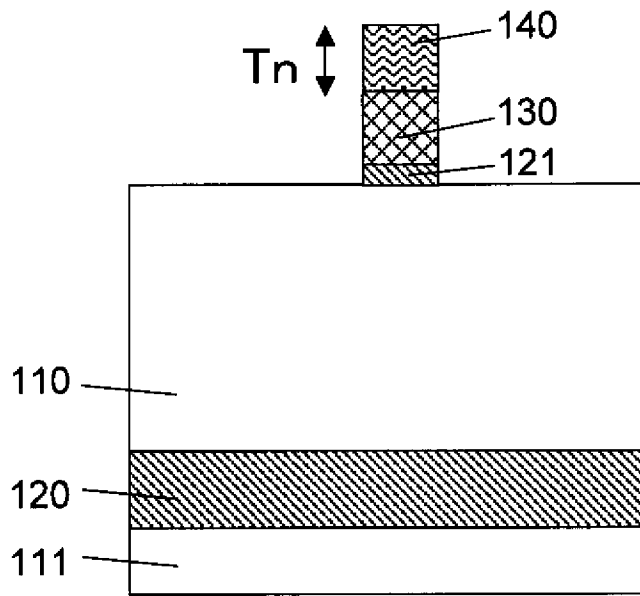
(b)

[図10(a)]



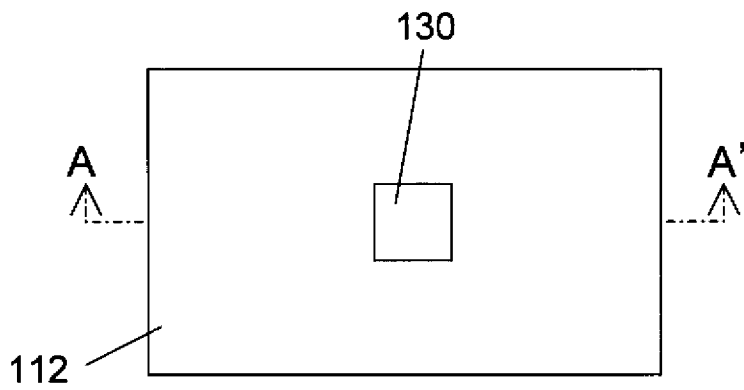
(a)

[図10(b)]



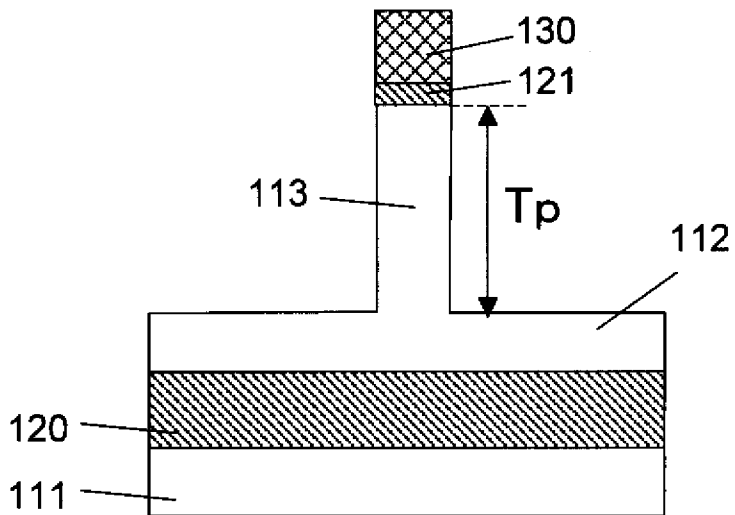
(b)

[図11(a)]



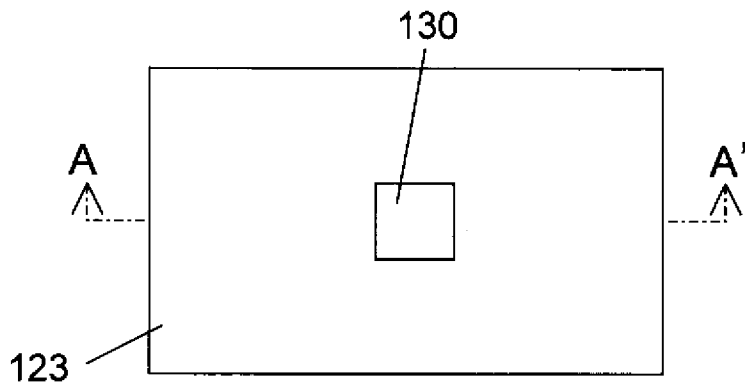
(a)

[図11(b)]



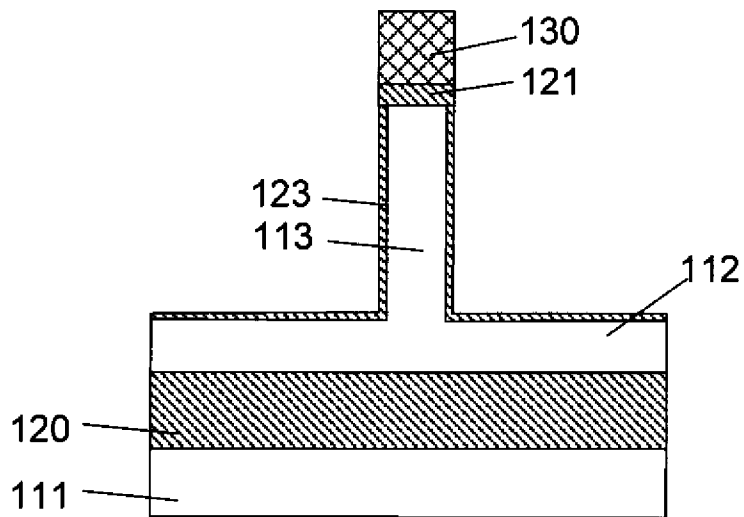
(b)

[図12(a)]



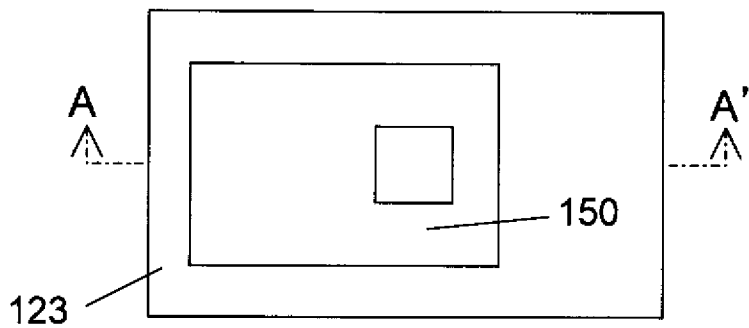
(a)

[図12(b)]



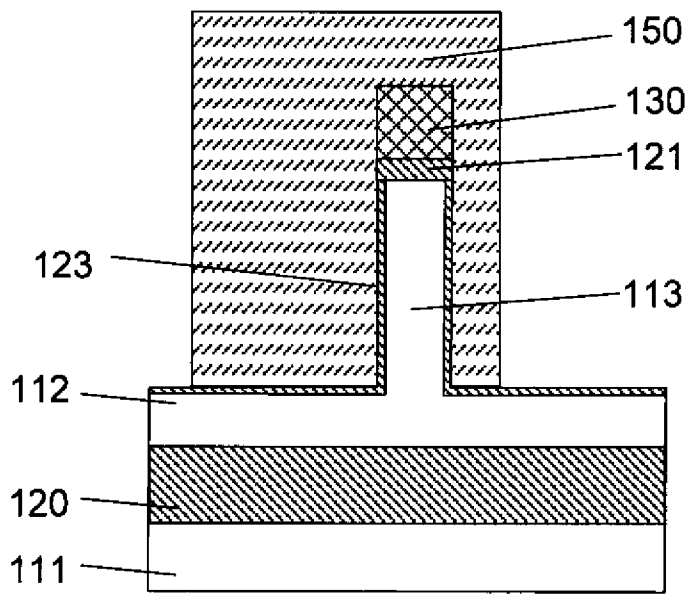
(b)

[図13(a)]



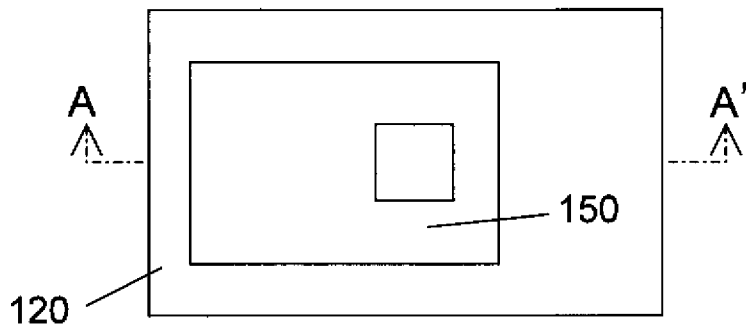
(a)

[図13(b)]



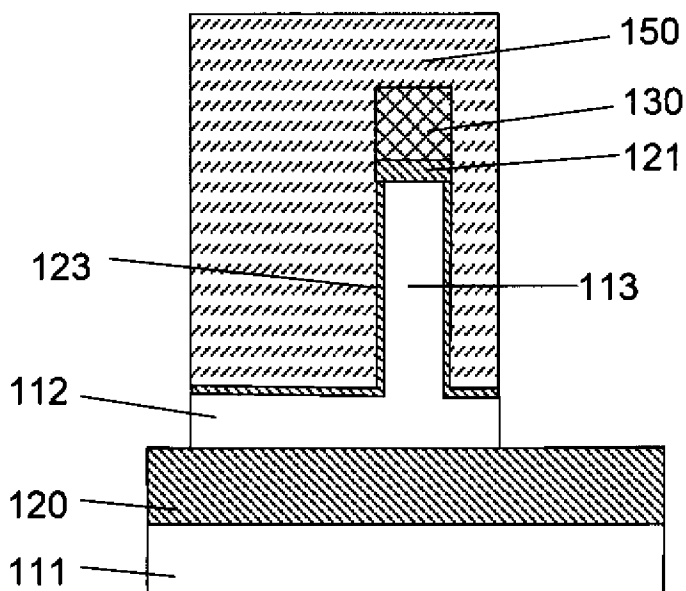
(b)

[図14(a)]



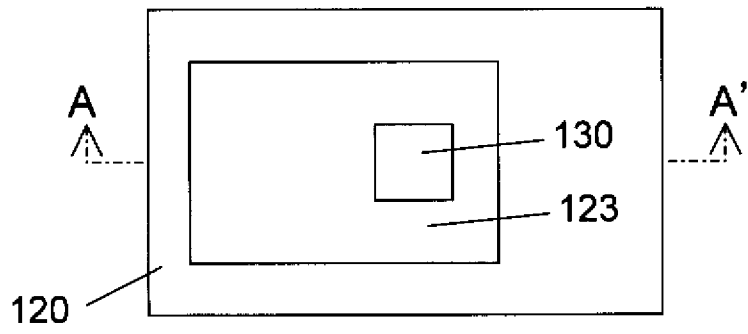
(a)

[図14(b)]



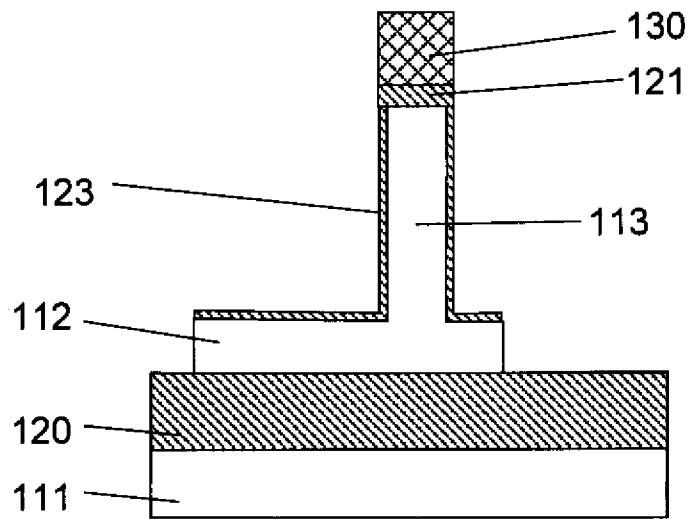
(b)

[図15(a)]



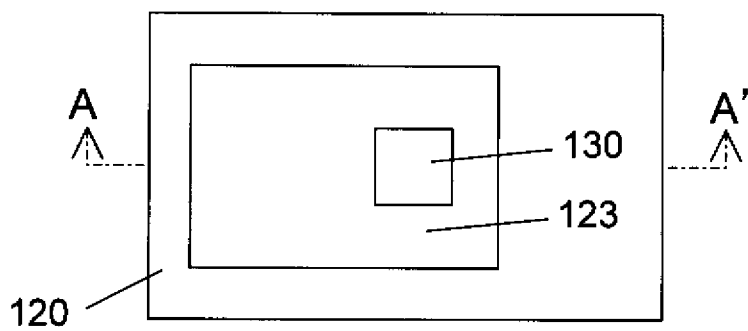
(a)

[図15(b)]



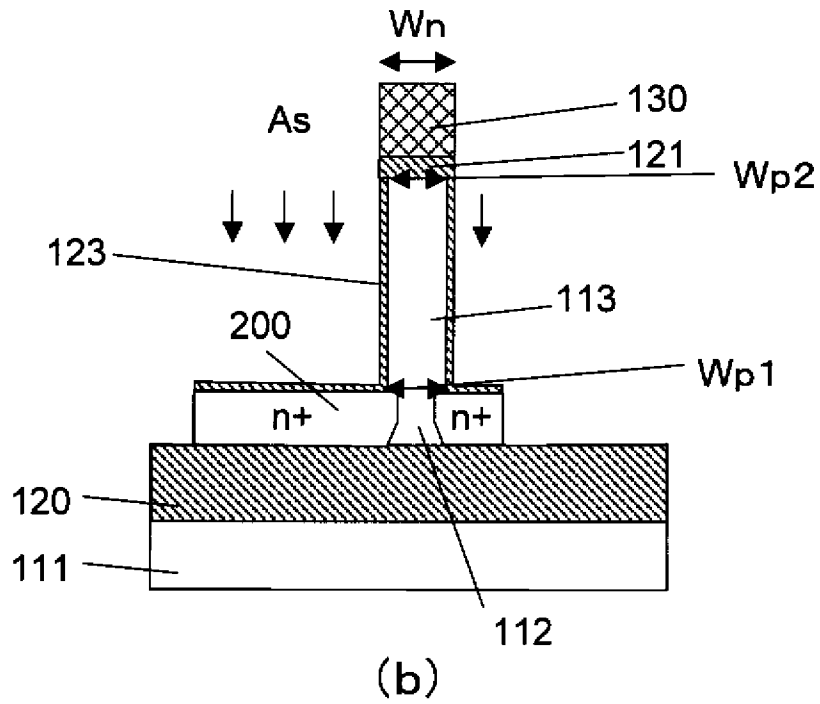
(b)

[図16(a)]

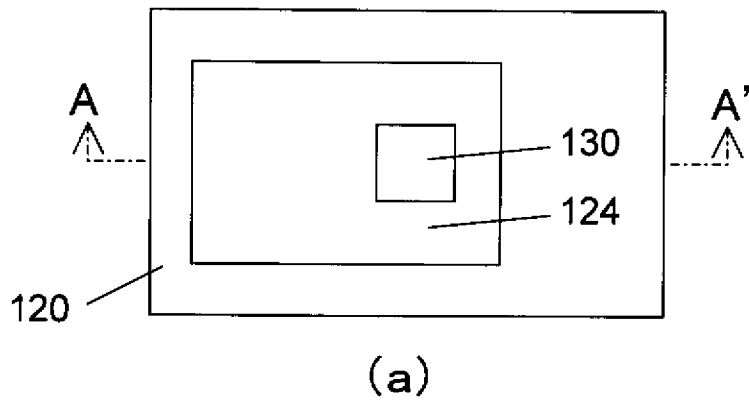


(a)

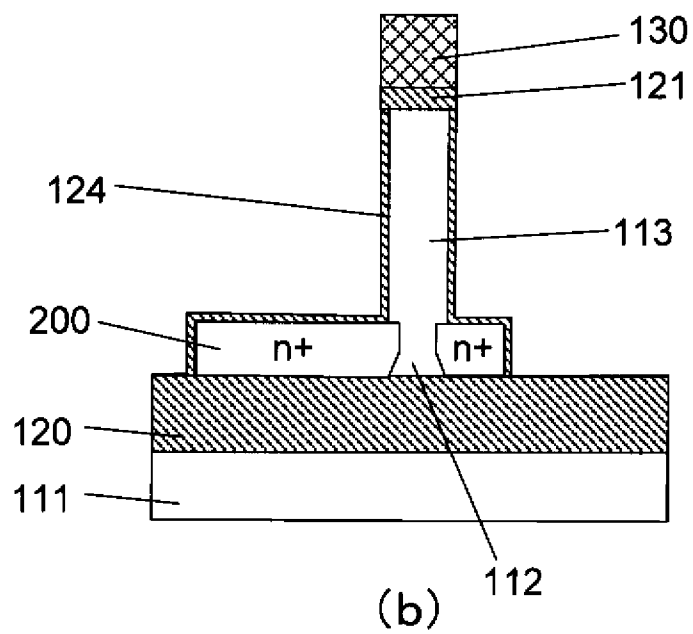
[図16(b)]



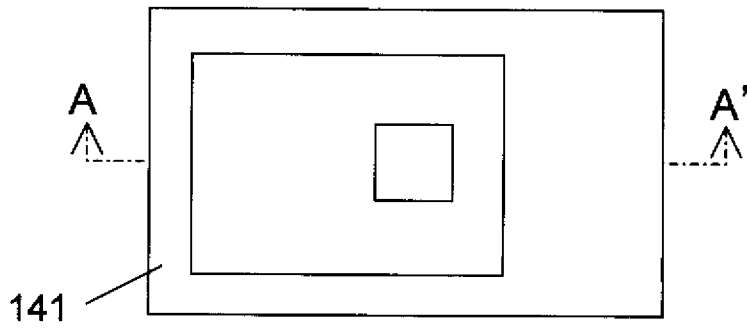
[図17(a)]



[図17(b)]

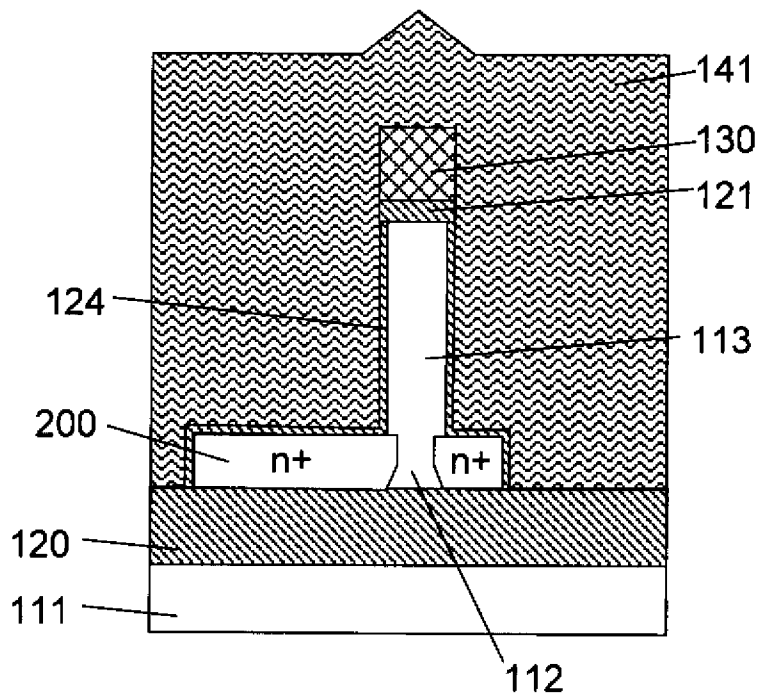


[図18(a)]



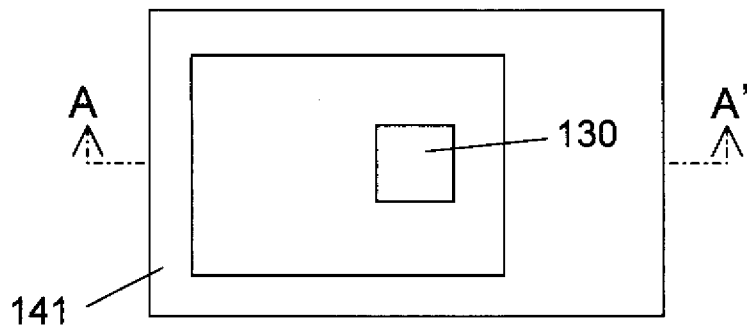
(a)

[図18(b)]



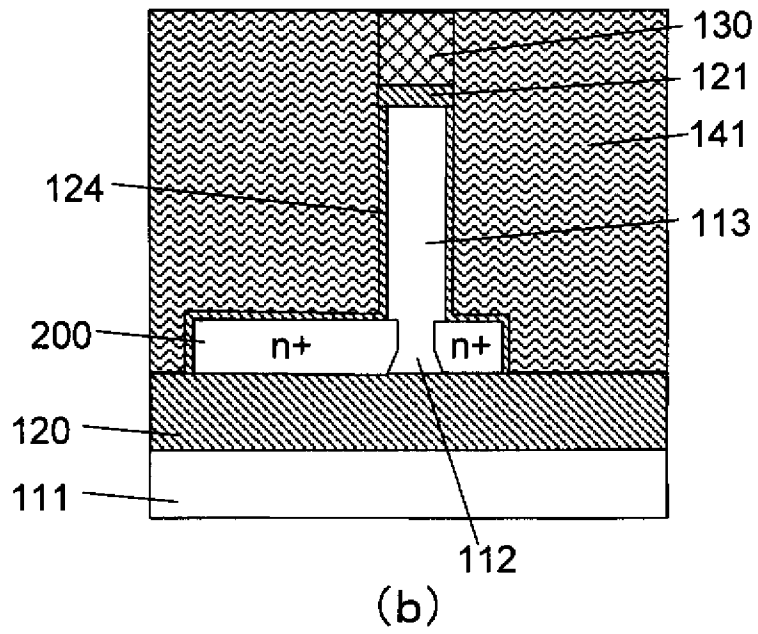
(b)

[図19(a)]

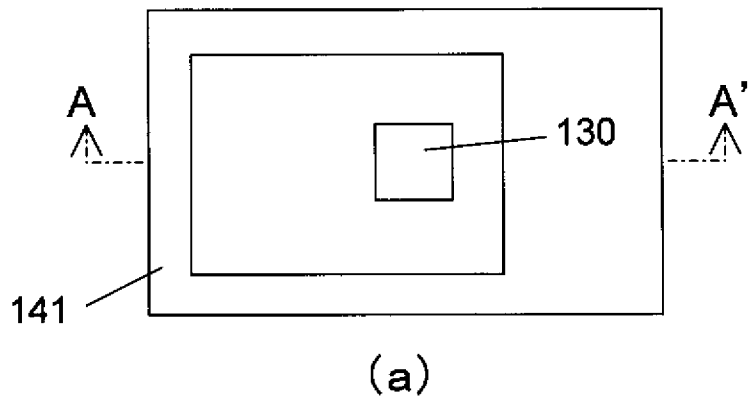


(a)

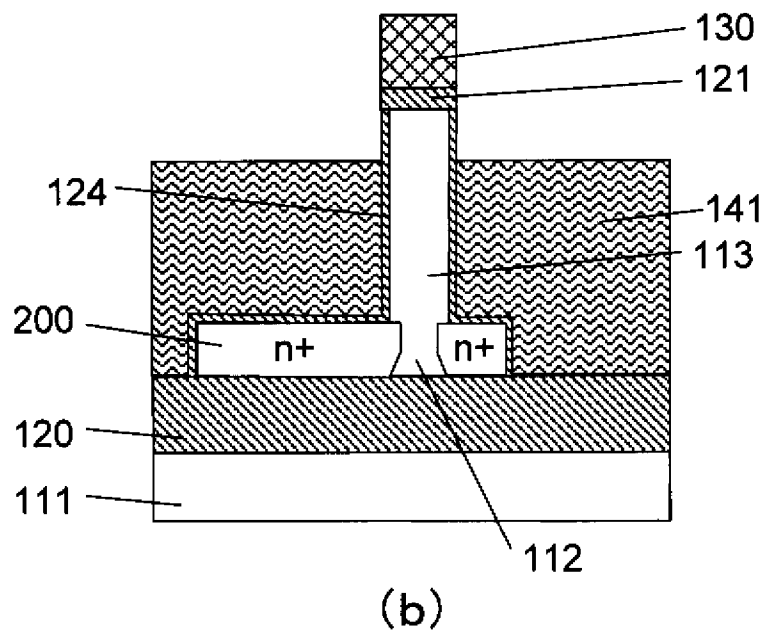
[図19(b)]



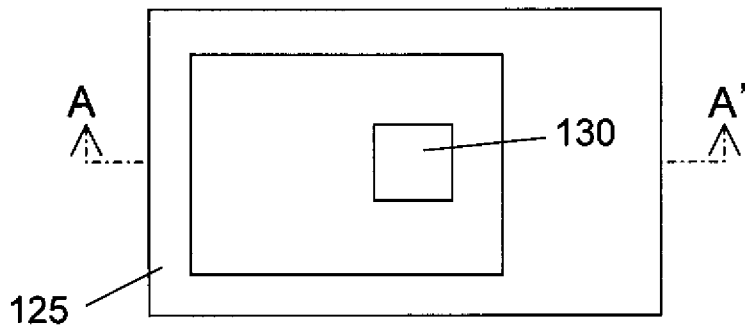
[図20(a)]



[図20(b)]

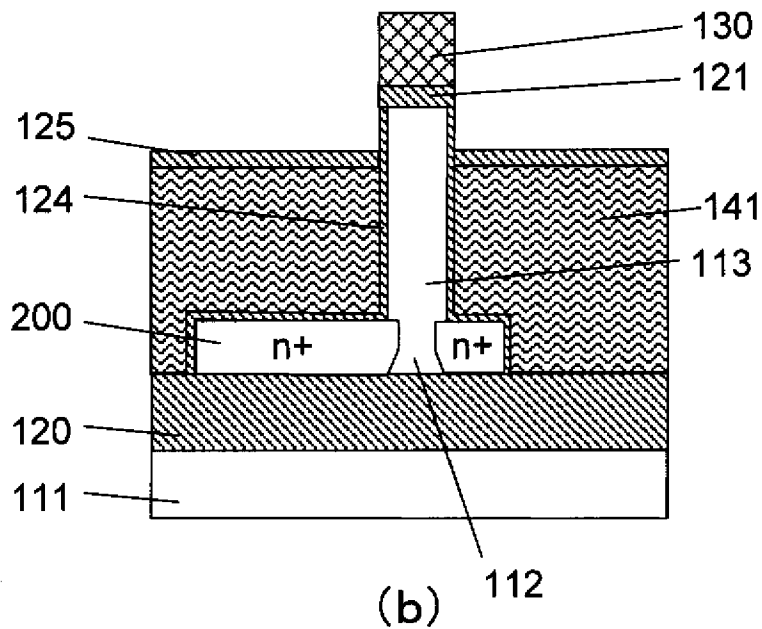


[図21(a)]



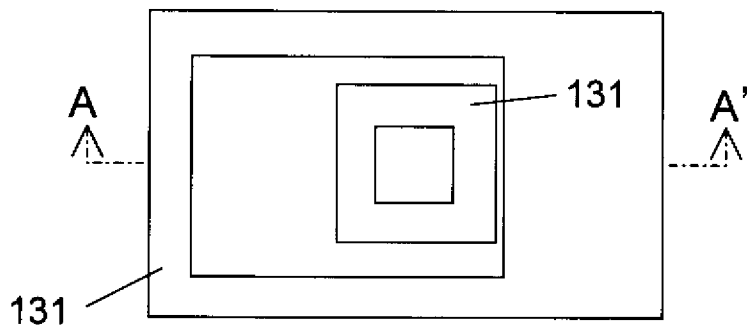
(a)

[図21(b)]



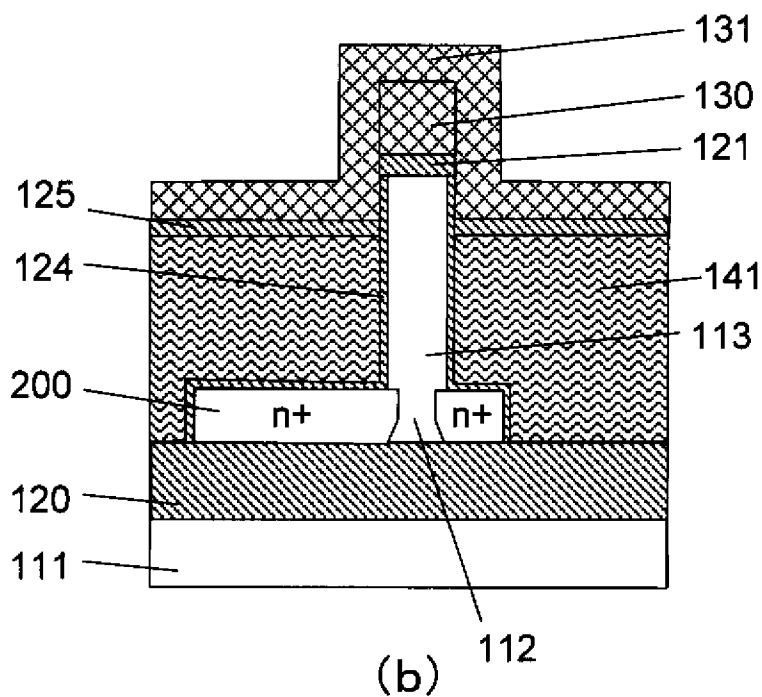
(b)

[図22(a)]

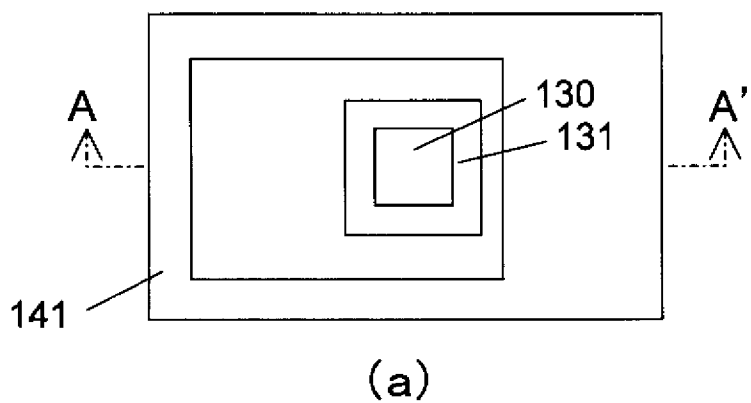


(a)

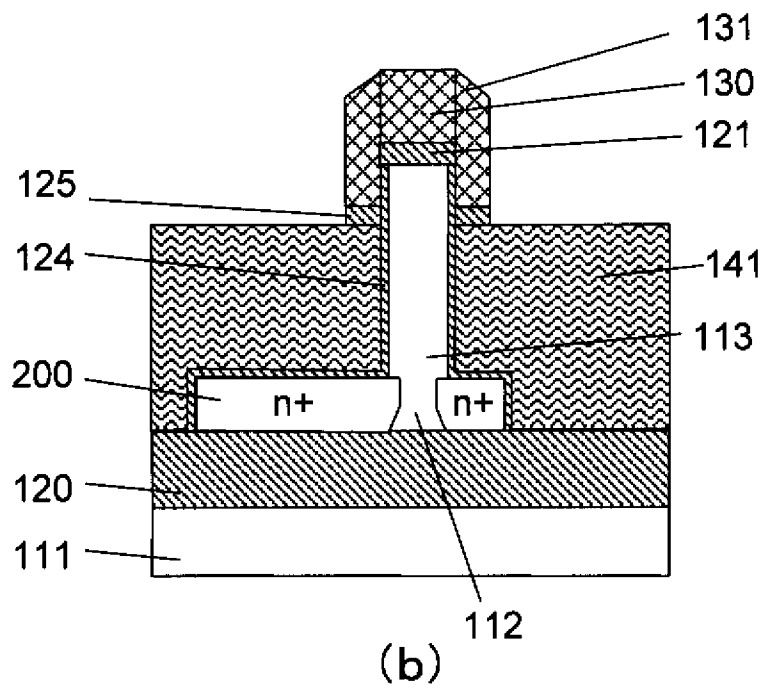
[図22(b)]



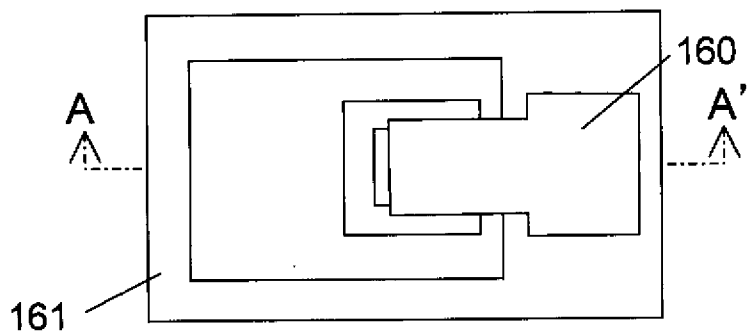
[図23(a)]



[図23(b)]

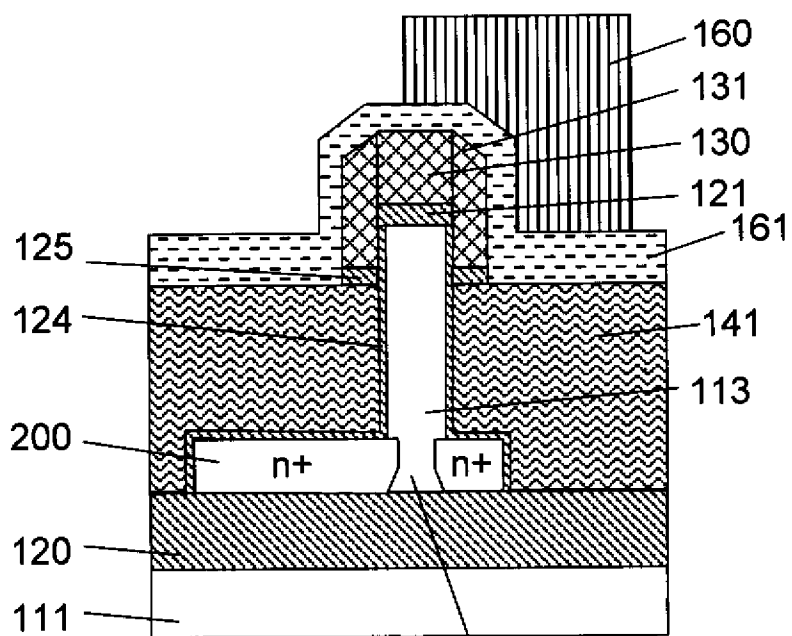


[図24(a)]



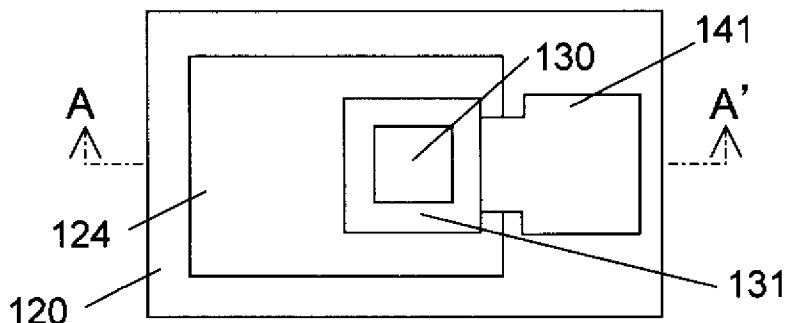
(a)

[図24(b)]



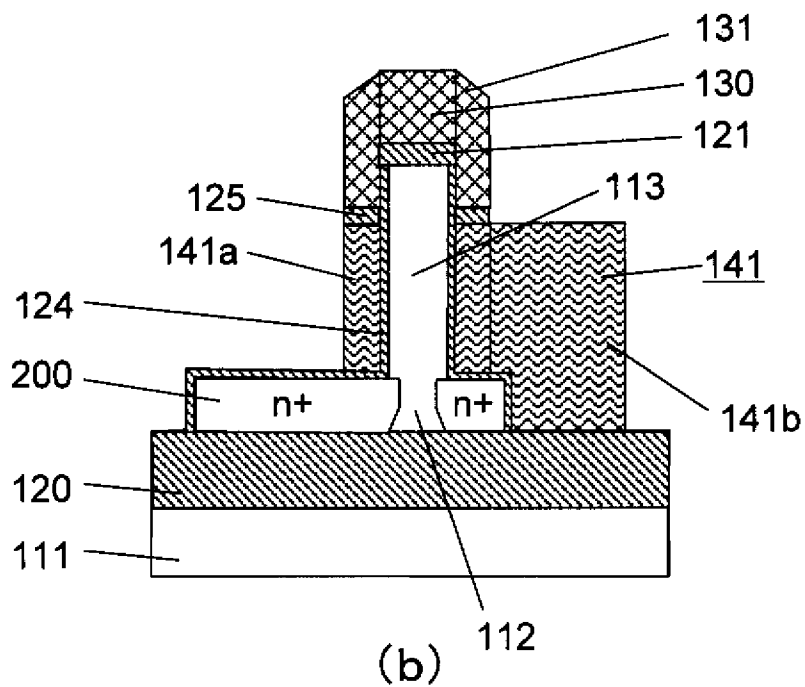
(b)

[図25(a)]

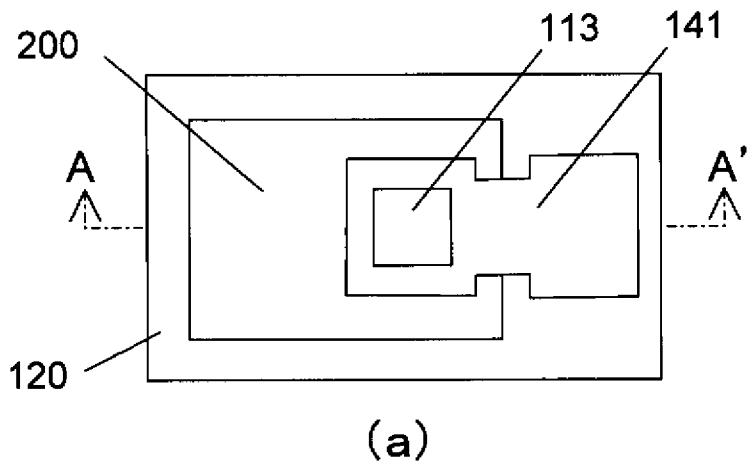


(a)

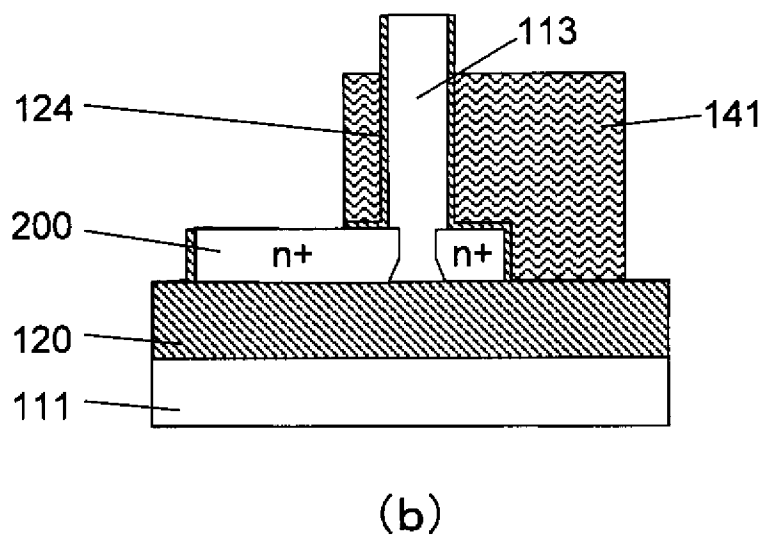
[図25(b)]



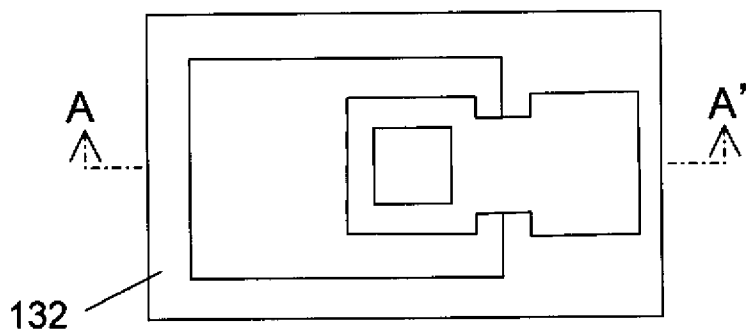
[図26(a)]



[図26(b)]

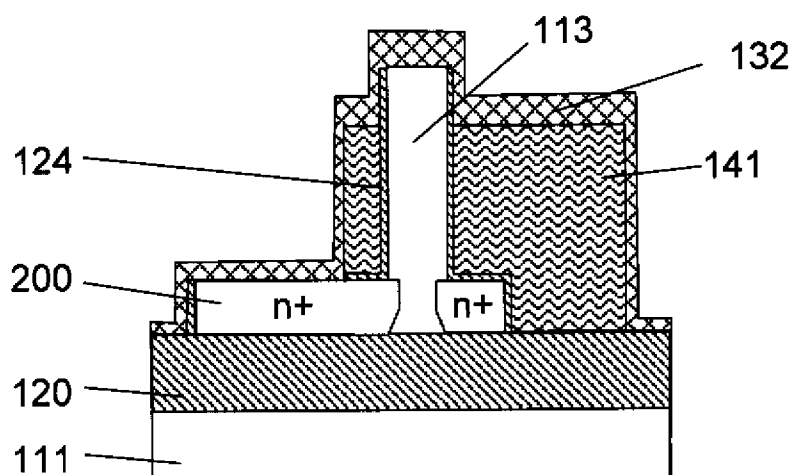


[図27(a)]



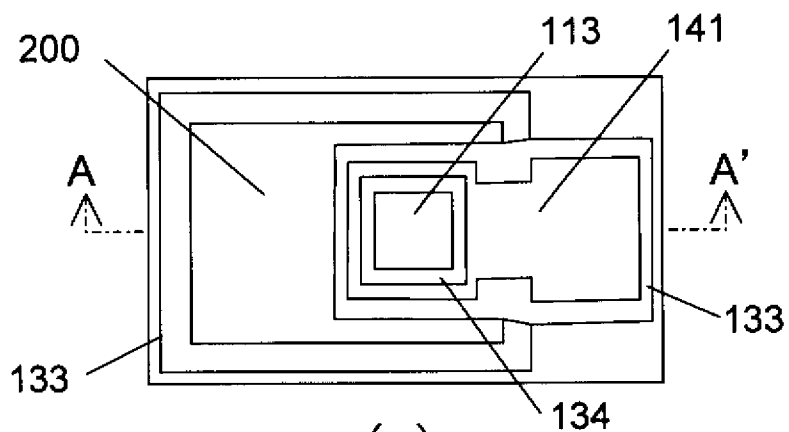
(a)

[図27(b)]



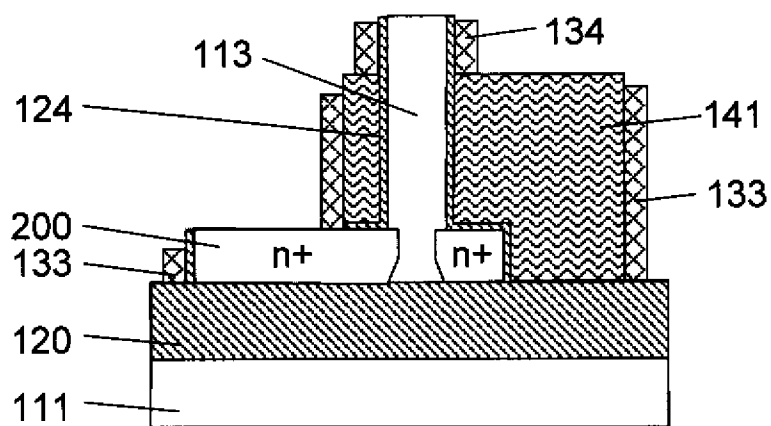
(b)

[図28(a)]



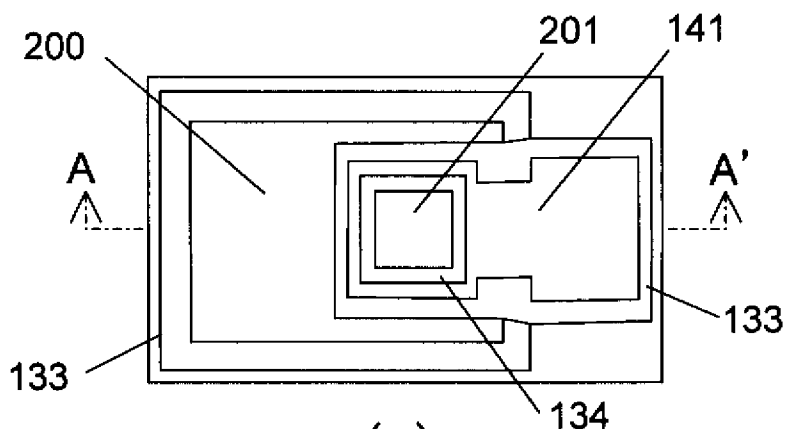
(a)

[図28(b)]



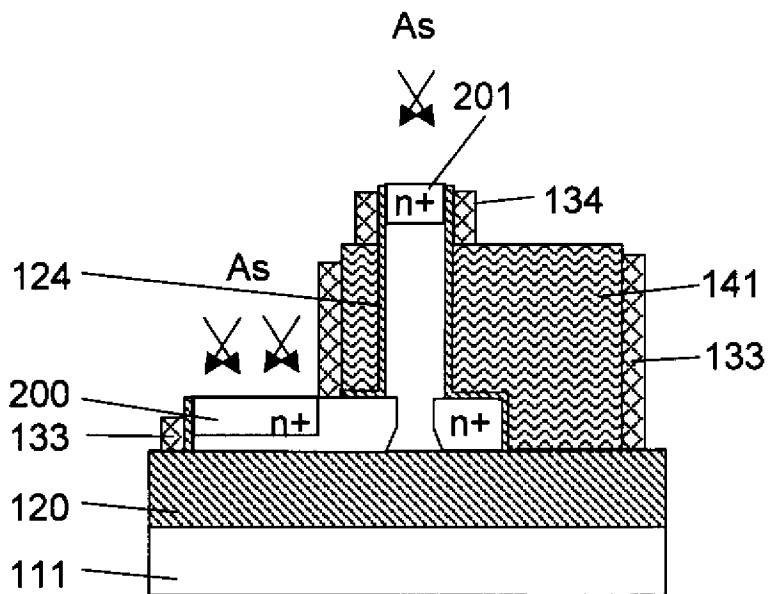
(b)

[図29(a)]



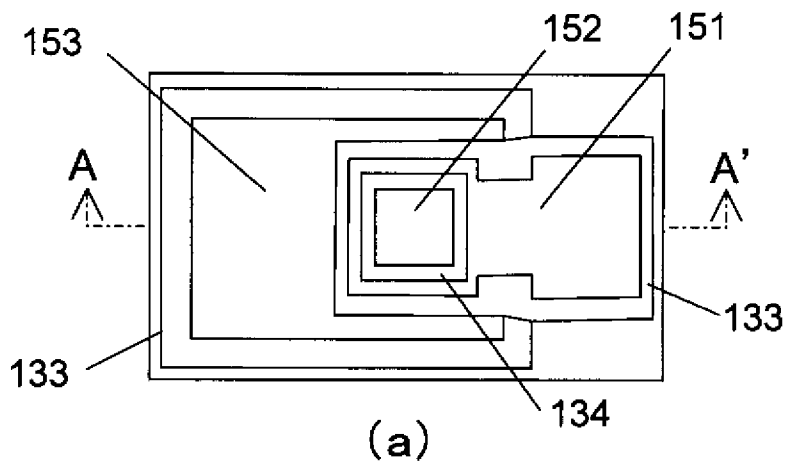
(a)

[図29(b)]

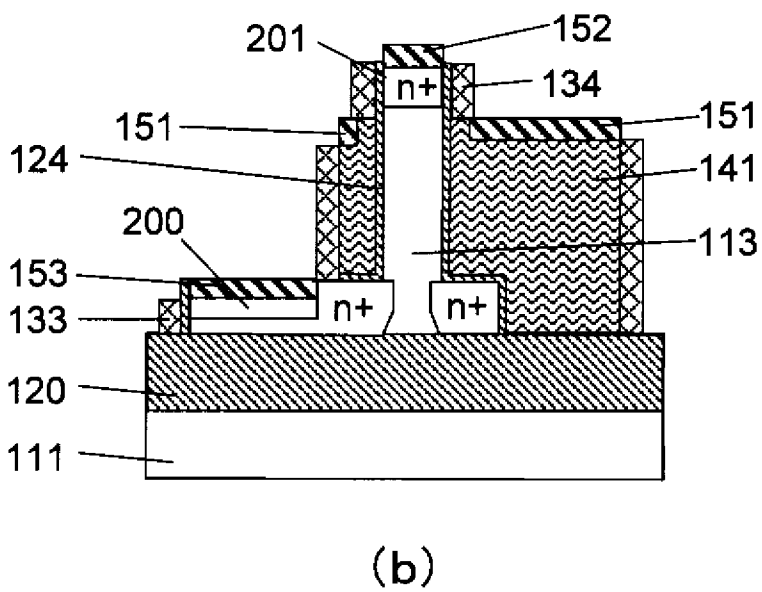


(b)

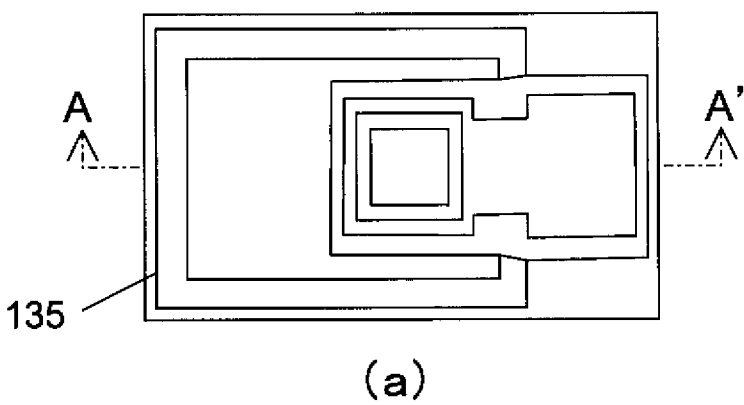
[図30(a)]



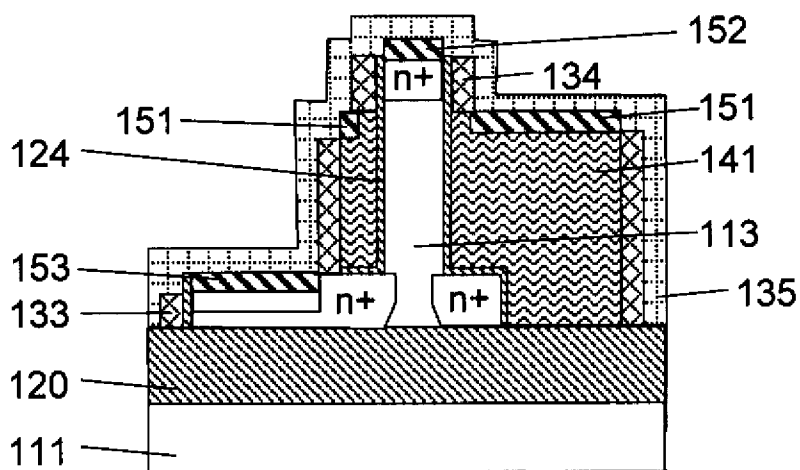
[図30(b)]



[図31(a)]

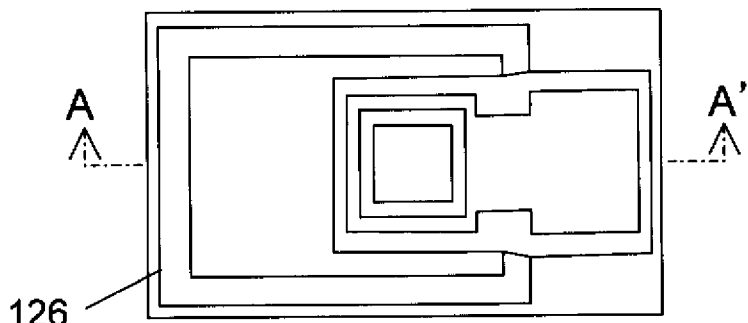


[図31(b)]



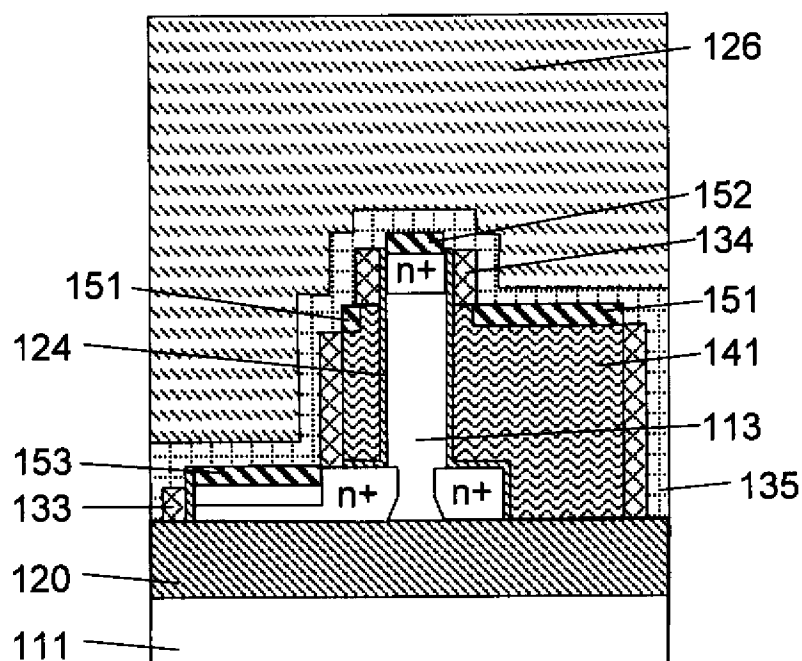
(b)

[図32(a)]



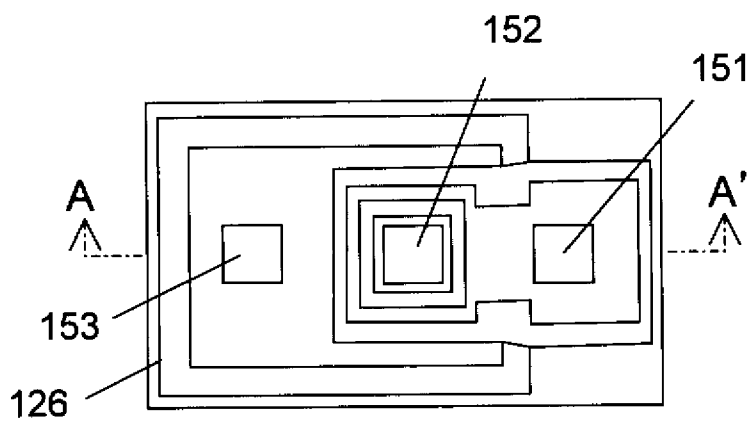
(a)

[図32(b)]



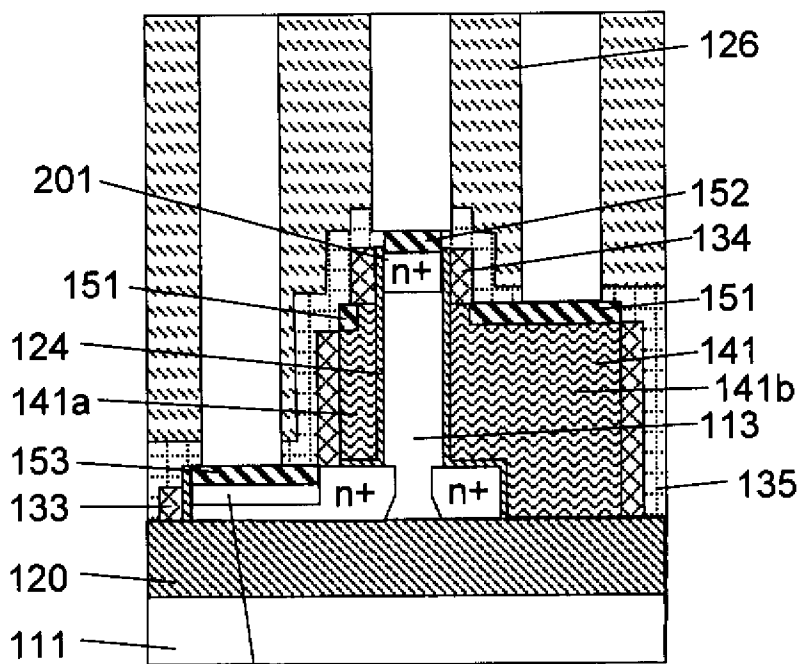
(b)

[図33(a)]



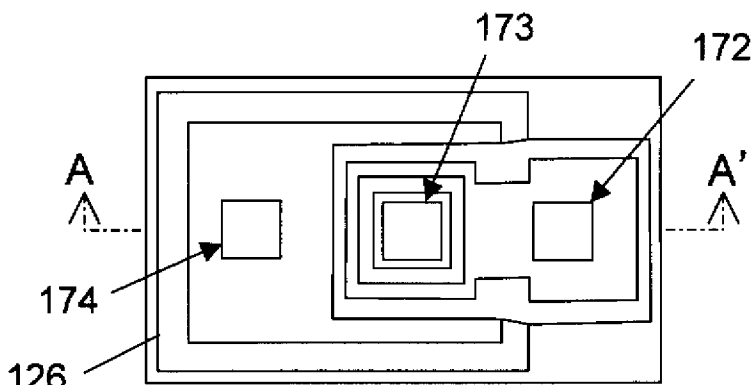
(a)

[図33(b)]



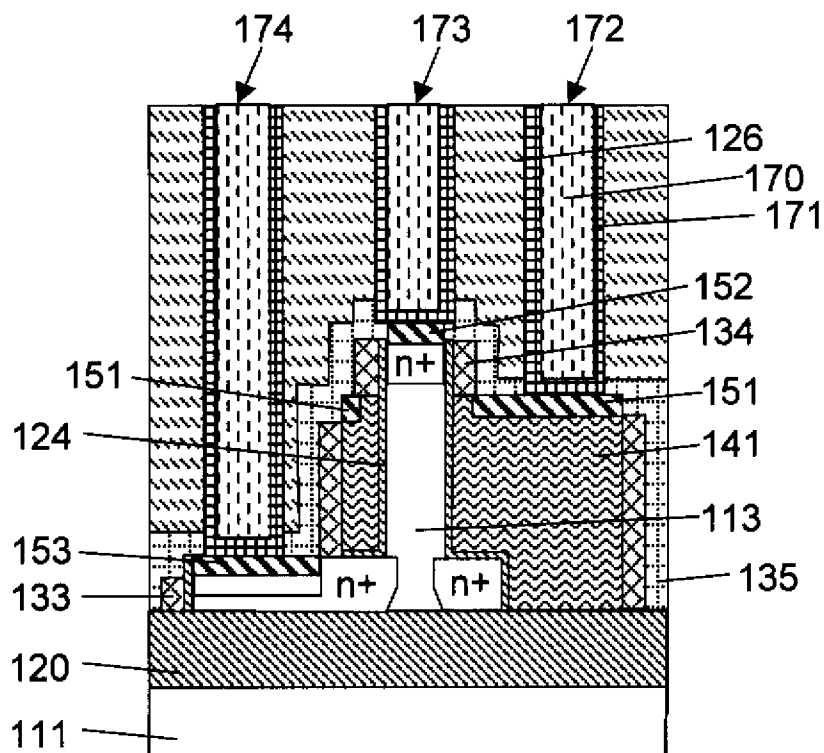
(b)

[図34(a)]



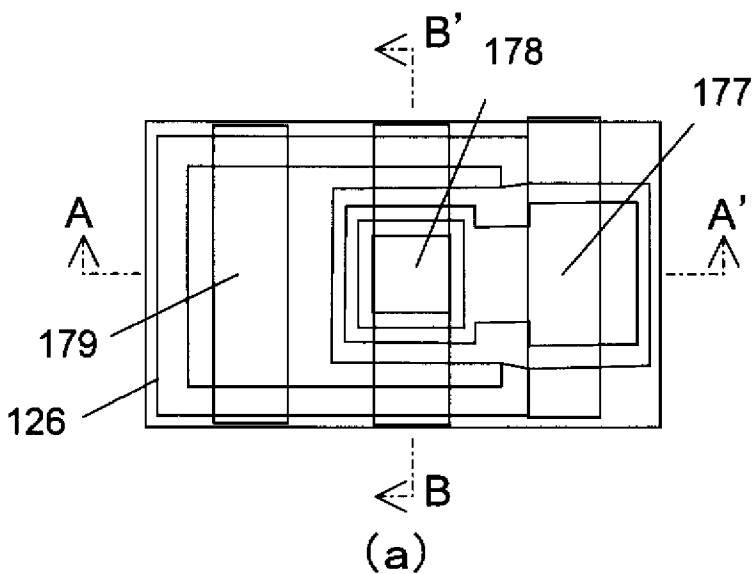
(a)

[図34(b)]



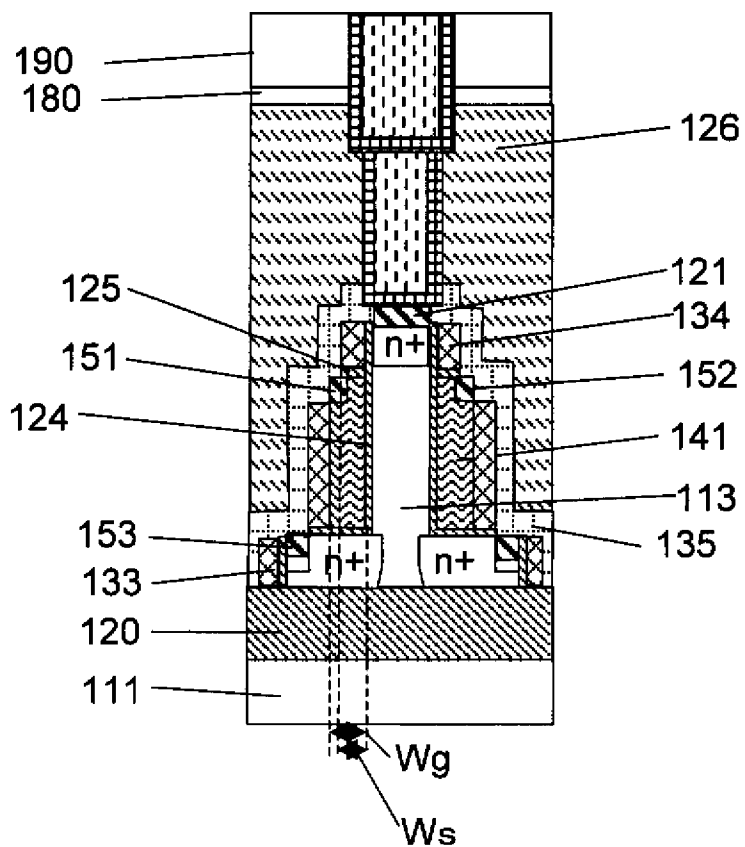
(b)

[図35(a)]

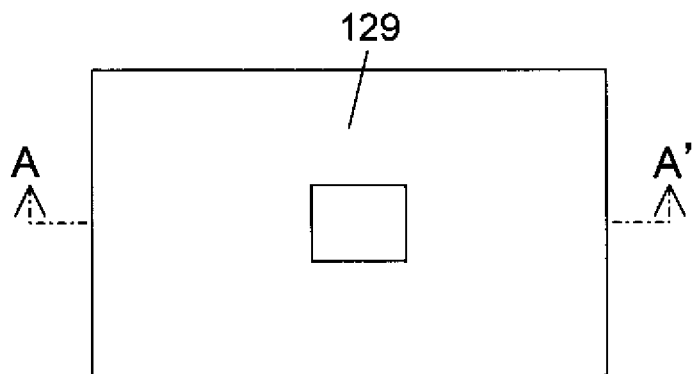


(a)

[図37]

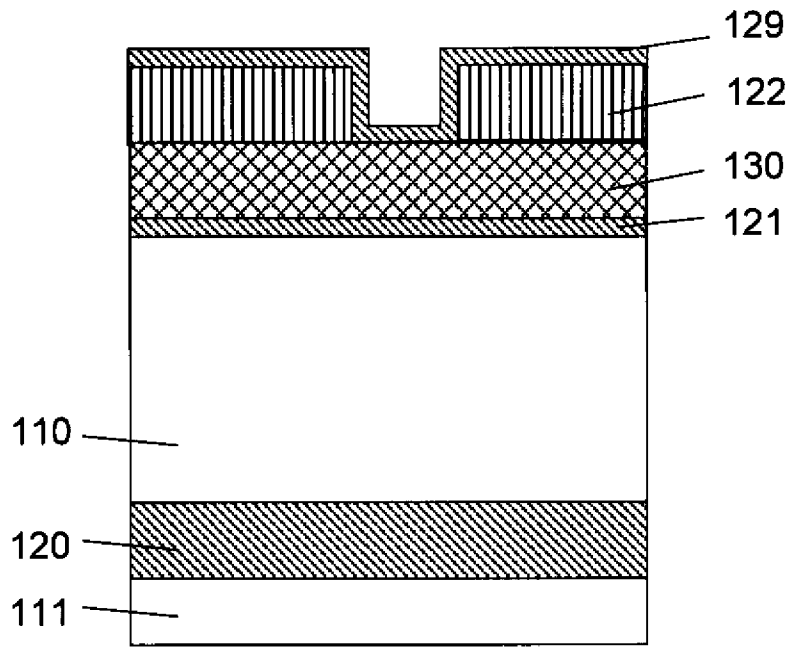


[図38(a)]



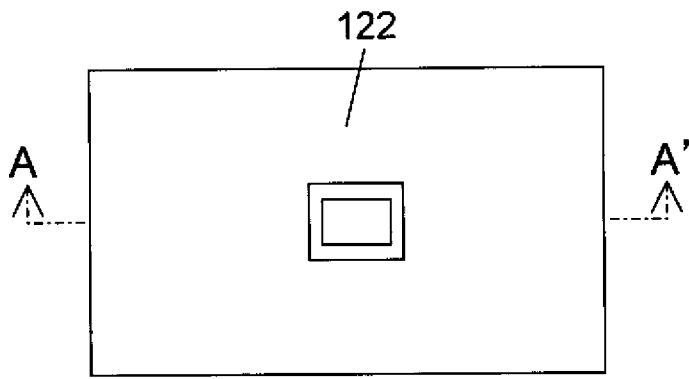
(a)

[図38(b)]



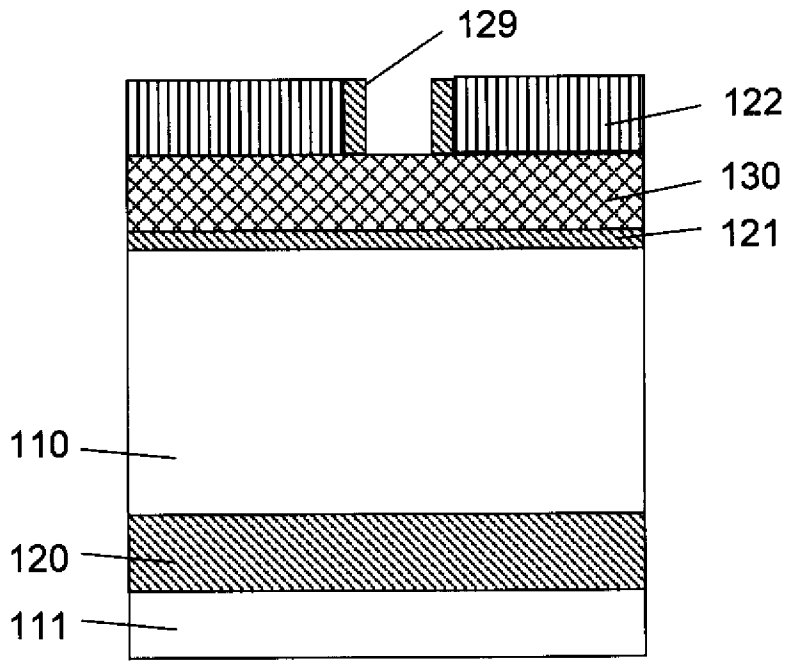
(b)

[図39(a)]



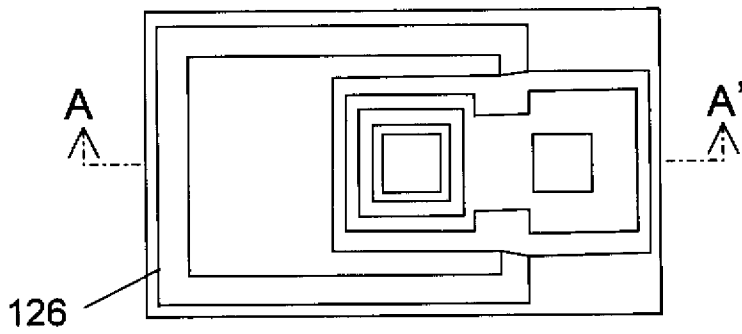
(a)

[図39(b)]



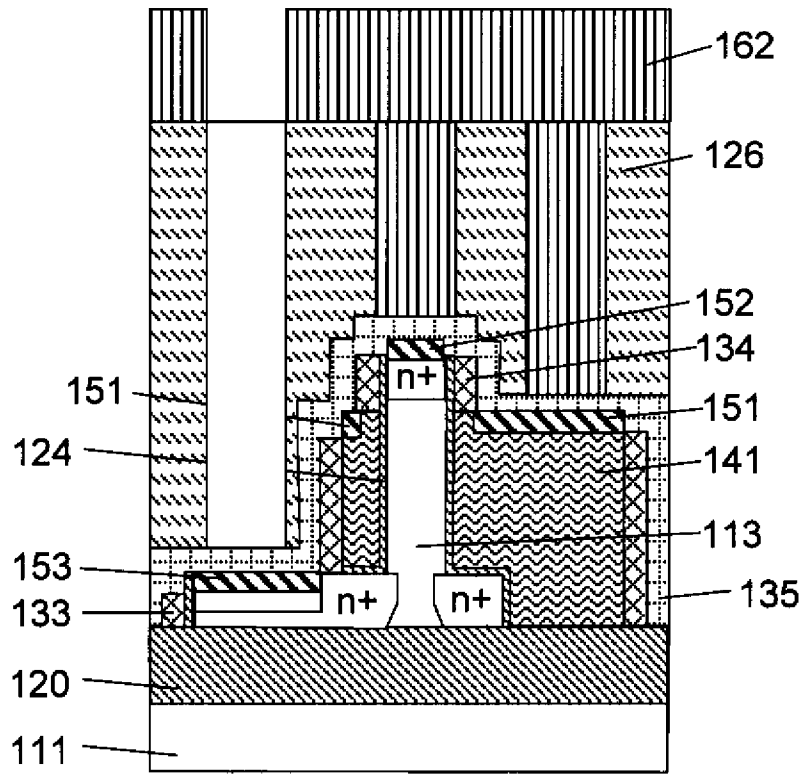
(b)

[図40(a)]



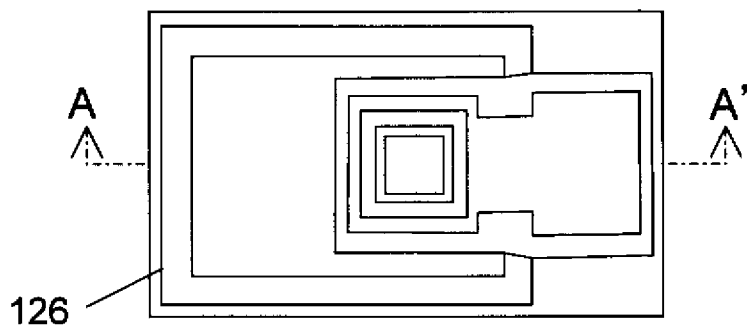
(a)

[図41(b)]



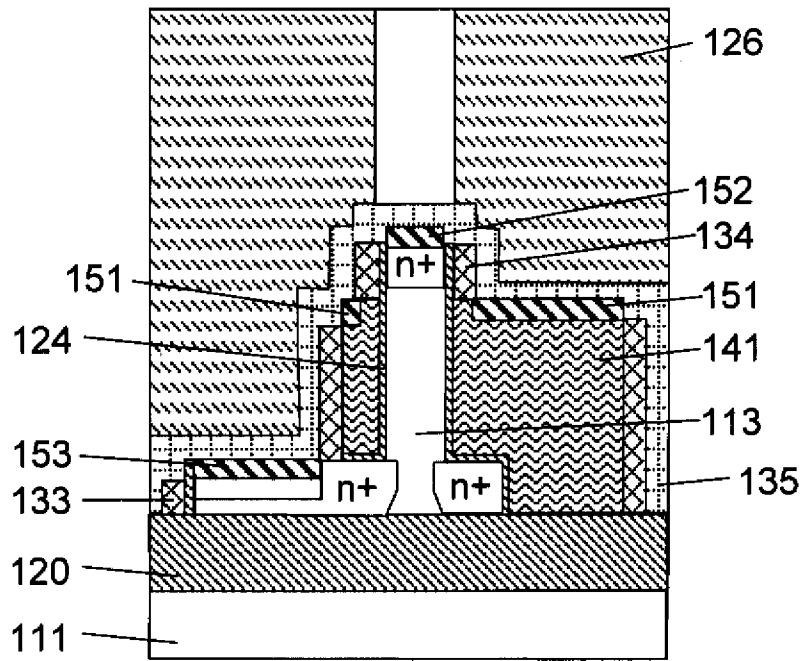
(b)

[図42(a)]



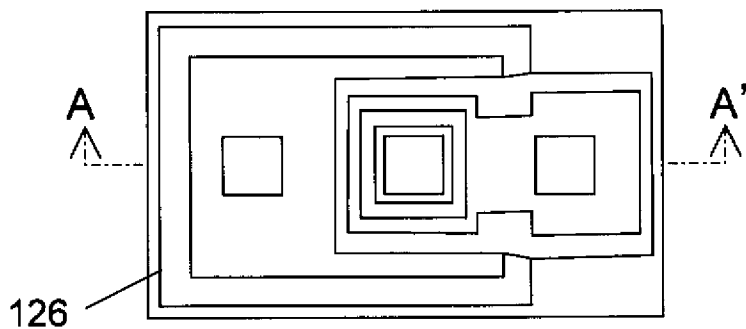
(a)

[図42(b)]



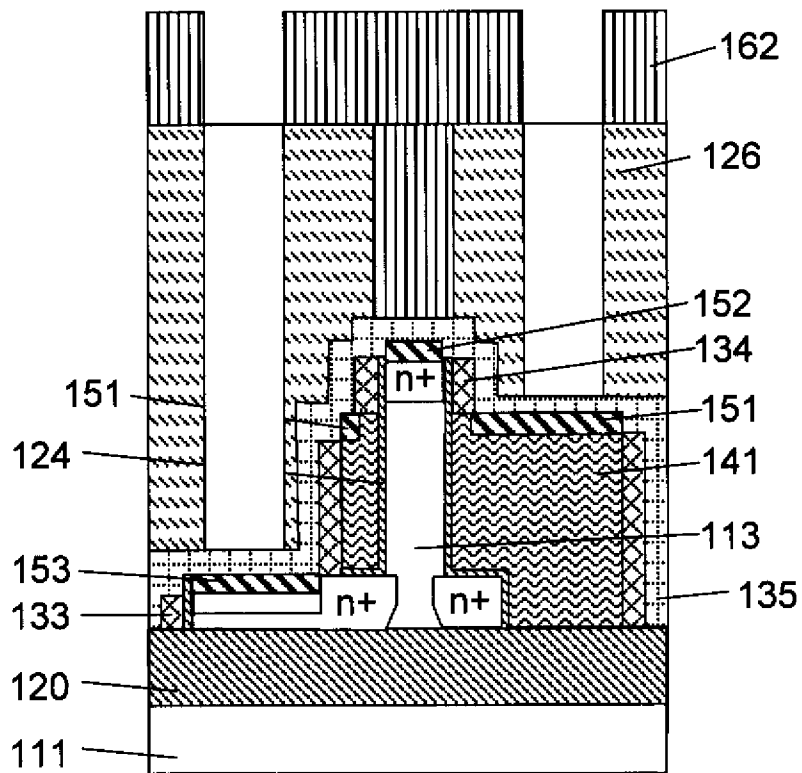
(b)

[図43(a)]



(a)

[図43(b)]



(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/052560

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01) i, H01L21/28(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L29/786, H01L21/28, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-068516 A (Sony Corp.), 03 March, 2000 (03.03.00), Full text; all drawings (Family: none)	1-27
A	JP 61-013661 A (Nippon Telegraph And Telephone Corp.), 21 January, 1986 (21.01.86), Full text; all drawings (Family: none)	1-27
A	JP 2003-179160 A (Chartered Semiconductor Manufacturing Inc.), 27 June, 2003 (27.06.03), Full text; all drawings & US 6461900 B1 & KR 10-2003-0032836 A & SG 145563 A	1-27

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 March, 2009 (02.03.09)	Date of mailing of the international search report 10 March, 2009 (10.03.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/78, H01L29/786, H01L21/28, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-068516 A (ソニー株式会社) 2000.03.03, 全文、全図 (ファミリーなし)	1-27
A	JP 61-013661 A (日本電信電話株式会社) 1986.01.21, 全文、全図 (ファミリーなし)	1-27
A	JP 2003-179160 A (チャータード・セミコンダクター・マニュファクチャリング・リミテッド) 2003.06.27, 全文、全図 & US 6461900 B1 & KR 10-2003-0032836 A & SG 145563 A	1-27

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 02.03.2009	国際調査報告の発送日 10.03.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 河本 充雄 電話番号 03-3581-1101 内線 3462