

公告本

262584

申請日期	84.2.22
案 號	84101628
類 別	H01L 23/60

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有最佳化之防止靜電放電作用之輸入/輸出電晶體
	英 文	Input/output Transistors with Optimized ESD Protection
二、發明 創作人	姓 名	(1)托德·A·蘭達茲 (Todd A. Randazzo) (2)布拉德利·J·拉森 (Bradley J. Larsen) (3)喬費·S·戈吉爾 (Geoffrey S. Gongwer)
	國 籍	美 國
三、申請人	住、居所	(1)美國科羅拉多州羅拉多泉市札艾爾大道4920號 (4920 Sapphire Drive, Colorado Springs, Colorado 80918U.S.A.) (2)美國科羅拉多州烏蘭派克市洛夫·久切路495號 (495 Lovell Gulch Road, Woodland Park, Colorado 80863, U.S.A.) (3)美國加州康貝爾市麥克貝恩巷1148號 (1148 McBain Avenue, Campbell, California 95008, U.S.A.)
	姓 名 (名稱)	艾特梅爾公司 (ATMEL CORPORATION)
三、申請人	國 籍	美 國
	住、居所 (事務所)	美國加州聖約瑟市奧尼爾道2125號 (2125 O'Nel Drive, San Jose, California 95131, U.S.A.)
三、申請人	代 表 人 姓 名	喬治·珀萊格斯 (GEORGE PERLEGOS)

裝

訂

線

262584

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期1994-1-12 案號：08/180,716 ☐有 ☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明之領域

本發明係關於一種具有改良之免除靜電放電作用的半導體積體電路。

先前技藝之描述

靜電放電作用(ESD)在全氧半導體場效電晶體中，是一種已知的失敗的原因。在靜電放電作用中，由外來因素，如封裝的摩擦充電，所獲得的相對大的電流脈衝，不期然地流經積體電路晶片的元件。而最先接觸靜電放電脈衝的元件通常是輸入和/或輸出緩衝器，其為直接連接於可能暴露於如靜電放電脈衝之外來事件之結合襯墊或端子。此種通常為相對大之電晶體的緩衝器，可能被此靜電放電脈衝所損害，或者使晶片上之較小內部電晶體受損。雖然源極通常與電源供應器相連接且不像會供應靜電放電脈衝，電流脈衝可自電閘，汲極或源極流入電晶體。經由電閘流入電晶體的靜電放電脈衝會破壞位於電閘與通道之間的電介質閘氧化物障壁，此會以留下一離子化電介質或補獲電子的傳導路徑，或在閘氧化物中燒一個洞的形式，造成永久損害。

來自源極的靜電放電電流脈衝可流入基體，電閘或源極。任何此種流向均可能對閘氧化物造成類似地永久損害。即使此一可能有數千伏特之靜電放電脈衝，並未直接自汲極流入電閘，來自此脈衝之紋波仍可能摧毀在20伏特或以下就會被破壞的閘氧化物層。閘氧化物的損毀會造成電路，晶片，往往亦波及包含此晶片之裝置，的功能障礙。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

為了改良全氧半導體場效電晶體之速度與其他性能特徵，特別是反應如伴隨次微米裝置發生之寄生電阻等問題，在源極，電閘與汲極表面上的矽化物層的組成係被普遍地從事著。這些金屬與矽(silicon，當其為自我排列，則稱為salicide)的傳導層更藉由降低那些先前用以保護電路避免靜電放電作用傷害的電阻而使靜電放電作用更形惡化。再者，如Duvvury等人之美國專利第4,855,620號所述，這些含矽化物區域的金屬會被由靜電放電作用所產生的熱而融化，並且延著電場線流動而造成該裝置的永久短路。同樣的，用於降低近微米與次微米N通道電晶體的尖峰汲極電極，有時可用以減少P通道電晶體的短通道效應之輕摻雜汲極結構，亦曾傳聞會增加靜電放電作用的易受傷性。

現已提出有幾種改良先進全氧半導體場效電晶體與互補全氧半導體裝置之免除靜電放電作用的方法。其中一種是如Duvvury等人所教示，加入一附加的輸出保護電路以防止靜電放電作用。同樣的，在美國專利第4,692,781號中，Rountree等人揭示有一輸入保護裝置與一輸出保護裝置，其為加諸一電晶體上以免除靜電放電作用。

除了加入電路之外，在汲極金屬接觸點與電閘邊緣之間加入大的空間亦被提出是一種增加與輸出電晶體的汲極串聯之電阻的方法。然而，在一含矽化物的結構中，若添加的電阻量為最小，其對靜電放電作用的效果亦同。矽化物遮沒作用藉由安排矽化發生與否的位置以自源極與汲極中產生矽與多晶矽電阻。另一個防止靜電放電作用的方法是

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(3)

降低摻雜以增加源極與汲極的阻抗，但此方法有一限制，即為在影響裝置性能之前所能降低之汲極與源極濃度的程度所限制。最後，重新設計汲極以求得較高電場與較低突返電壓的方法亦被提出，但此違反了對於穩定，短通道電晶體的需求。

本發明的目的在於提供一電晶體結構，其可以防止靜電放電作用，且不必增加電路或材料層。

本發明之另一目的在於提供一製造此種電晶體的方法，其並不比習知製造較小保護性的電晶體的技藝更為複雜。

本發明之概述

本發明藉由在連接於晶片的結合襯墊之輸入或輸出電晶體的源極和汲極之間，加入一串聯電阻，以保護一積體電路晶片免於靜電放電作用。此串聯電阻被設計以升高在源極與汲極之間之局部電流路徑之電壓於起動橫動通道之突返傳導的起動電壓之上。藉由升高此路徑的電壓於起動電壓之上，可在鄰近路徑感應出突返傳導。因此，與其使突返傳導沿著源極與汲極之間的局部路徑集中，而往往會沿此路徑上燒一個洞而毀壞此電晶體並使晶片毫無價值，毋寧使突返傳導遍佈於通道寬度之上，此通道寬度可被設計成大到可吸收靜電放電脈衝而不受損。

此串聯電阻的形成係由輕微摻雜於由電閘掩蔽的基體，然後成形並在製造中選擇性地蝕刻覆蓋於電晶體的電閘，源極與汲極之氧化物層而成，以使一側壁氧化間隔物可自電閘向汲極延伸一量過的量。另一側壁氧化物間隔可自電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(1)

開向源極延伸。該氧化物層的選擇性蝕刻在電閘末梢的側壁氧化物的末端暴露出基體的表面，可使源極與汲極區域及接觸成形。一基體的輕摻雜區域被留置在延伸的側壁氧化物之下，提供一電阻，串聯於汲極與通道之間，並可，可隨意地，提供另一電阻，串聯於源極與通道之間。這些量過的電阻可防止或減輕靜電放電作用的損害。

選擇性地蝕刻的側壁氧化物提供有一表面覆蓋，其為習知之非均質地蝕刻的側壁氧化物間隔物所不能有，因其在長度上被安置於在電閘區域與基體之間轉角的小質量所限制。在實行選擇性側壁蝕刻之後，本發明的自我排列的源極與汲極區域就可成形，並藉由約為該選擇性蝕刻側壁的長度，而非習知技藝的間隔物的短且實質上固定的距離，而與電閘區域分開。經由本發明，並且可能消除位於不需靜電放電作用防護的延伸側壁氧化物間隔物，如在某些電路中，鄰接於源極處，另一方面，在鄰接於汲極處提供一延伸側壁氧化物層，卻可改良電晶體的性能與靜電放電作用的防護。此種改良為非均質的蝕刻與矽化物遮沒作用等習知技藝所無法達成。

選擇性地蝕刻側壁氧化物並不需要使用於矽化物遮沒作用中的額外氧化物層，亦不需要用於形成該層之額外加工步驟。再者，因為源極與汲極摻雜為較該技術中的遮沒作用為早，濃摻雜區域仍僅藉由間隔氧化物的長度而與電閘區域分開。而且，在習知技藝中之濃摻雜與高傳導區域上的遮沒作用的長度必須大到足以達成充分的電阻，此使得

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

電晶體變得無意地大。相反地，本發明之輕摻雜區域為更具抵抗力，因此在橫向的長度可被做的更小。此導致了在一較小區域內的改良的電流散佈。因為每一輸入/輸出電晶體的寬度有數百微米，且一晶片上可存在有數百個此種電晶體，本發明之空間節省優於習知技藝之遮沒作用為貨真價實的。

圖式之簡單說明

圖1A至圖1D為習知之形成輸出全氧半導體場效電晶體的順序之橫剖面圖。

圖2為由習知之矽化物遮沒作用程序所形成之輸出全氧半導體場效電晶體之橫剖面圖。

圖3為本發明之第一輸出緩衝區具體例的橫剖面圖，其具有延伸側壁氧化物層與輕摻雜區域。

圖4為圖2之習知輸出全氧半導體場效電晶體的俯視圖。

圖5為如圖3所示之具體例的輸出緩衝區的俯視圖。

圖6為本發明之輸出緩衝區的第二具體例，其具有一暴露以供矽化之電閘。

圖7為本發明之第三具體例，其顯示有一暴露以供矽化之電閘與一僅延伸一側之氧化物層。

圖8為當全氧半導體場效電晶體受到雙極性突返傳導時的電壓對電流的座標圖。

圖9為一靜電放電作用防護裝置之部分透視圖。

圖10為本發明之輸入/輸出收發兩用連接於一結合襯墊的俯視圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (6)

本發明之詳細說明

首先如圖 1A 所示，習知技藝之全氧半導體場效電晶體 N 通道 (N 通道全氧半導體) 輸入或輸出電晶體的形成係由基體 25 表面 20 上之場氧化物 15 列的形成開始。基體 25 通常是一 P 型矽晶片，以用於如本例之 N 通道裝置，且場氧化物 15 係由長於徑 20 內與上之二氧化矽所形成。置於場氧化物 15 列之間的是一已生長並由多晶矽電閘 35 所覆蓋的二氧化矽 30 之介電質層。該分隔電閘 35 與表面 20 的絕緣層 30 即為電閘氧化物 30。

圖 1B 顯示在多晶矽電閘 35 與場氧化物 15 列之間之基體 25 內的 N 型輕摻雜汲極區域 40 的形成。隨後，一覆蓋場氧化物 15，表面 20，電閘氧化物 30 與電閘 35 之覆蓋氧化物層 45 亦被形成。

圖 1C 顯示了在圖 2 結構上之習知非均質覆蓋蝕刻的結果。小側壁氧化間隔物 50 被留以覆蓋多晶矽電閘 35 與氧化物層 30 之邊緣 55 及 56。當蝕刻暴露了區域 80 與 81 時，由於在表面 20 與邊緣 55 及 56 相接的步驟時的氧化物層 45 的較大厚度，在非均質蝕刻的控制期間之後，這些間隔物 50 仍保留著。

圖 1D 顯示了在自我排列，濃摻雜 N⁺ 區域之基體 25 植入以形成一源極 70 與一汲極 75 的結果。表面 20 的暴露區域 80 與 81 即被加熱並暴露於一難熔金屬以退火而韌化此被植入的基體 25 並在暴露區域 80 與 81 上形成矽化物。一矽化物區域 82 因此鄰接源極 70，而另一矽化物區域 83 則鄰接汲極 75。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

雖然沒有顯示，但電閘 35 的頂端 85 亦可塗上矽化物或氧化物層。習知的程序即跟著將電閘 30 的頂端 85，源極 70 和汲極 75 的矽化物區域 82 和 83，與外來線路相接。此末顯示在圖上之外來線路可能包括一結合襯墊，其可供應一靜電放電作用而摧毀介電質電閘氧化物 30。由於電閘 35 的傳導性，靜電放電作用的損害最常發生在靠近電閘 35 底部 88 與邊緣 55 與 56 交接的轉角 86 與 87 處。

習知技藝的小間隔物 50 有兩個目的。第一是空間性地分隔暴露以得矽化物 82 與 83 的源極-汲極區域與電閘電極 55 與 56 的側壁。沒有這些間隔物，矽化物會在電閘電極 55 與 56 的側壁上形成，並對矽化物區域 82 與 83 供給一傳導路徑，而導致此裝置失效。矽化物源極-汲極的結合是欲藉由減少源極-汲極區域的寄生電阻而提高先進全氧半導體技術的成就。側壁間隔物 50 的第二個目的在於為了濃摻雜源極-汲極區域 70 與 75 的形成而提供一自我排列的掩蔽，而容許了輕摻雜區域 90 與 95 的形成。這些輕摻雜區域為了一供給之應用電壓而藉由略為突然地終止汲極電位而在裝置的汲極中降低尖峰電場。此種尖峰電場的降低減少了在通道中之熱載子的生成，因而改善了短通道的可靠度與裝置的穩定度。當習知側壁間隔物 50 的結合對上述理由有益時，其由靜電放電作用的敏感度的觀點而言卻是有害的。矽化物區域 82 與 83 避開了先前對裝置提供防止靜電放電作用之被動電阻 70 與 75，而在區域 90 與 95 的小的輕摻雜汲極電阻尚不足以對此補償。再者，靜電放電作用可溶化在矽化物區域 82 與 83 內的金屬。此金屬即沿著由該作用造成並引導

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

在源極 70 與汲極 75 之間的場線流動，而增加了沿這些場線上的電導。此種來自靜電放電作用的不穩定能量散布會形成連接源極 70 與汲極 75 的永久金屬細絲或燒過基體 25 的洞。

圖 2 顯示了類似圖 1 的結構，但具有另外的步驟及用於矽化物遮沒作用的另外材料。一氧化物層 100 覆蓋了除了被隨後成形於矽化物內的暴露區域 80 及 81 以外的場氧化物 15，電閘 35，間隔物 50 與基體 25 的表面 20。該區域 80 與 81 係以習知之光蝕刻法而由氧化物層 100 加以蝕刻，以使矽化物在這些區域成形。為了要在汲極 75 上的矽化物 83 與電閘 35 的邊緣 56 之間加入防止靜電放電作用的電阻，可見到濃摻雜汲極 75 沿著表面 20 延伸更多。如以往，輕摻雜區域 40 的部分 90 與 95 亦添加有串聯電阻。濃摻雜汲極 75 的高傳導性需要在電閘 35 與汲極矽化物 83 之間具有相對地大的距離，其亦必須有大的距離以達成免除靜電放電作用所需之充分電阻。源極矽化物 82 較汲極矽化物 83 更接近電閘 35，在鄰近源極矽化物 82 之處亦需要較少的靜電放電作用防護。

現請參見圖 3，本發明之輸入或輸出電晶體的第一具體例顯示包括有形成於矽化物基體 25 的表面 20 的場氧化物列 15，一電閘氧化物 30 與電閘 35 則如同上述之習知技藝般地形成。在電閘氧化物 30 與場氧化物 15 之間形成有相對廣闊的輕摻雜汲極 40。如同習知技藝，一覆蓋介電質氧化物層 45 在場氧化物 15，表面 20，電閘氧化物 30 與電閘 35 的頂端形成。然後氧化物層被加以掩蔽，並選擇性地蝕刻以暴露出供矽化物用的表面 20 的區域 80 與 81。氧化物 45 的選擇性

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

蝕刻更容許層102與103的形成，此層102與103自電閘35與電閘氧化物30更側向延伸，並超過如圖1之由習知技藝的非均質的蝕刻所產生的氧化間隔物50。

為了方便與經濟，本發明之選擇性蝕刻的施行係首先設造一掩蔽以覆蓋希望被保持完整的氧化物45的區域，如用以形成氧化物層102與103的區域，並暴露希望被移除的氧化物45的區域，如用於形成矽化物區域80與81的區域。一標準乾燥間隔氧化物蝕刻即被施行使得普通的側壁間隔在不需要靜電放電作用防護的電路上形成，如在輸入/輸出裝置內的方形柱腳。需要注意的是，若其他電絕緣材料可加以蝕刻，則此種材料可被用於氧化物層45。

濃摻雜區域，最好由離子植入法形成的，則經由藉由選擇性蝕刻暴露的區域80與81而產生於基體25內。由此方式則形成有源極70與汲極75。此基體即被退火韌化以矯正對於由離子植入法引起的多晶矽基體25的可能損害。如以往，矽化物區域82鄰接源極70，矽化物區域83鄰接汲極75。

在電閘氧化物30與矽化物區域82之間之氧化物層102的長度可被視為可控制輕摻雜區域40的一部分105的長度，此部分105作用有如位於轉角86與源極70之上的矽化物區域82之間的串聯電阻。同樣地，在邊緣56與矽化物區域83之間之氧化物層103的長度可被視為可控制輕摻雜區域40的一部分110的長度，此部分110作用有如位於轉角87與汲極75之上的矽化物區域83之間的串聯電阻。因此由部分105與110所提供的總電阻可藉由側壁氧化物45的掩蔽面積而

(請先閱讀背面之注意事項再填寫本頁)

訂

編

五、發明說明(10)

加以調整。本具體例之對稱的輕摻雜區域105與110或許對雙向電晶體較為合適，並有一0.3微米到6微米的通道長度。如以下將述，輕摻雜區105與110的確實長度可加以特製以供應一最佳化之防止靜電放電作用的結構。

輕摻雜區域105與110之些許長度亦藉由分散靜電放電電流的路徑以防止靜電放電作用之損害。沒有這些輕摻雜區域105與110，在源極70，電閘35與汲極75的任何組合之間的最短電路為沿著表面20。高傳導矽化物表面區域82與83亦傾向於將電流沿著表面20集中。在靜電放電作用期間，電流的較集中將傾向於增加由該作用造成的損害。輕摻雜區域105與110傾向於分散電流遠離表面20，增加對靜電放電作用的容忍度。

值得注意的是，基體25可以是N型矽，源極70與汲極75可以是摻雜的P⁺，而輕摻雜汲極40則摻雜類似的帶電離子，以形成P-通道電晶體(P通道全氧半導體)。相同的，互補的N通道與P通道裝置(互補全氧半導體)可被形成。然後即可跟隨進行習知的互補全氧半導體的製造流程。輕摻雜植入區40與濃摻雜區域70與75可以上面概述的成形步驟而較先摻雜，以代替或附加於上述之自我排列的摻雜法。

將圖3與圖1相較顯示了本發明的某些優點。本發明的輕摻雜區域105與110可較習知技藝的部分90與95更為延伸，就如同本發明的側壁氧化物層102與103可較習知技藝的間隔物50更為延伸。由於習知技藝施行的非均質蝕刻的原因，習知技藝之間隔物50的最大橫向長度被有效地限制於氧

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

化層 45 的厚度或由表面 20 至電閘 35 的頂端 85 的高度之較小者。輕摻雜區域 105 的些許長度在源極 70 與電閘 35 之間形成一較部分 90 所提供者為大的串聯電阻。同樣地，輕摻雜區域 110 的顯著長度則在電閘 35 與汲極 75 之間形成一較部分 95 所提供者為大的串聯電阻，此提供了改良的對靜電放電作用的防護。

將圖 3 與圖 2 相較顯示了本發明的其他優點。除了較圖 2 之區域 40 小的尺寸，相較於在轉角 87 與由矽遮沒作用提供了汲極 75 上的矽化物表面 80 之間的較大距離，輕摻雜區域 110 可提供更多的電阻。此是由於輕摻雜區域 110 的單位電阻較矽化物遮沒結構之濃摻雜汲極 75 的單位電阻高的緣故。再者，與本發明相較，矽化物遮沒結構需要更多的垂直空間與材料，也需要多餘的水平空間與材料。由於遮沒氧化物 100 的成形，矽化物遮沒作用亦較本發明所需要增加至少一多餘的加工程序。因此，如圖 2 所示之矽化物遮沒作用，雖然提供較圖 1 之間隔氧化物 50 更多的靜電放電作用防護，卻提供較本發明少的靜電放電作用防護，且需要更多的空間與材料。

現請參見圖 4，由圖 2 之矽化物遮沒氧化物層 100 所形成之習知技藝裝置，位於其汲極接觸點 115 與電閘 35 之間的大分隔可由此輸出電晶體之頂的視界看到。如以往所注意的，此技術所需要的大分隔是由於位於電閘 35 與汲極矽化物 83 之間的大部分空間之下的汲極區域 40 的相對地高導電性所致。源極接觸點 120，電閘接觸點 125 與源極矽化物區

(請先閱讀背面之注意事項再填寫本頁)

訂

竣

五、發明說明(12)

域 82 亦顯示出來以供參考。

相形之下，由本發明技術所製的輸出電晶體的頂端之一部分可由圖 5 看見在汲極接觸點 115 與電閘 35 之間具有非常小的分隔。依此情形，當使用本發明於較佳的靜電放電作用免除時，在積體電路上亦可使用較小的輸入/輸出電晶體。

圖 6 顯示了本發明之第二具體例，其中電閘的頂端 85 亦可藉由選擇性蝕刻而暴露。此可使頂端 85 的矽化物用於其後的金屬化以及與其他電路（未圖示）的互相連接。圖 6 中顯示的號碼亦涉及前幾個圖中的相當號碼所代表的相同部分。通常，圖 6 中所顯示的結構係使用於希望電閘 35 有低電阻處，因為其上有矽化物形成。

為了最佳的裝置性能與靜電放電作用的免除，氧化物層 102 與 103 的可控制的長度可與區域 105 及 110 的摻雜濃度合作，以被用於裁製輕摻雜區域 105 與 110 的延伸。對一典型的 N 通道全氧半導體場效電晶體而言，可能較希望輕摻雜區域 110 的長度較輕摻雜區域 105 的長度為長。此可能也有益於避免熱載子效應，其可以類似於靜電放電作用，但較靜電放電作用不起眼地，毀壞電閘氧化物。

圖 7 描述了本發明之另一具體例，其中氧化物層 45 的選擇性蝕刻在多晶矽電閘 35 的邊緣 56 與汲極 75 之間留置了一側壁氧化物層 103，此導致了一在電閘 35 與汲極 75 之間之顯著長度的輕摻雜汲極區域 110。大部分的電閘 35 的頂端 85 已藉由蝕刻而暴露，以促成其後矽化物在電閘 35 上的成

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

形。一標準側壁氧化間隔物 102 被留置於閘氧化物 30 的邊緣 55 與源極 70 之間以防止自源極至電閘的矽化物成形。在本具體例中，此係藉由將源極 70 與電閘的一部分暴露於用習知光刻蝕刻而成的間隔物而加以完成。此在源極端以用於習知技藝之側壁間隔物的類似手法，形成一側壁氧化間隔物 102。此氧化間隔物 102 減少了在源極 70 與電閘 35 之間的電阻，為了那些在源極 70 與電閘 35 之間不需要防止靜電放電作用的電路的改良之電路性能，電閘 35 係由輕摻雜源極區域 105 供應。

側壁氧化物層 102 與 103 的最佳長度，與由輕摻雜源極與汲極區域 102 與 103 所供給之最終串聯電阻牽涉到防止靜電放電作用與性能要求之間的妥協，通常較大的靜電放電作用防護伴隨有較大的串聯電阻，而改良的電路性能通常需要較小的串聯電阻。依此，本發明亦容許一方式以最佳化其性能與電路的靜電放電作用緩和，其為藉由裁製選擇性蝕刻之側壁層的長度以達到一最佳之串聯電阻。例如，對一用作輸出緩衝區的典型電晶體，靠近汲極處的靜電放電作用防護更為必要，而側壁氧化物層 103 可較層 102 為大以增加由輕摻雜汲極區 110 提供的電阻，如圖 5 與 6 所示。在另一方面，一雙向電晶體如圖所示藉由如圖 3 與圖 6 所示之輕摻雜區域 105 與 110 之實質相同的長度而串聯於電閘與源極及汲極之間，而由此得到相同靜電放電作用防護的利益。

輸入/輸出電晶體共通地具有通道長度，其為源極與汲極之間的距離，此長度遠較通道寬度為小，此寬度可例舉

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(14)

如自圖5之多晶矽電閘35延伸的方向來測量的距離。而之所以有此一小的長寬比的理由是此可容許快速，高功率的電晶體機能，以與積體電路晶片外面的電路相交流，或克服晶片內部所遭遇的負荷。此大的通道寬度，其可能為數百微米（相較於約一微米的通道長度），可經由橫過通道的雙極性突返傳導而用於吸收靜電放電脈衝。然而，本發明之測試顯示通道寬度的增加在降低突返傳導發生時的電壓有一較小的效力，此電壓亦稱為起動電壓。此現象之理由為一旦突返傳導被起動，通常沿著一局部路徑而流過此一傳導源起之路徑，導致來自靜電放電脈衝的總電流流過該路徑，而非利用用於電流流動的大的通道寬度。

現請參照圖8，一用於突返傳導之電晶體的電流(I)對電壓(V)圖顯示並沒有電流流經該裝置的源極與汲極之間，直到電壓到達起動電壓(V_t)。一旦突起傳導被啟動，電流增加且在源極與汲極之間的電壓減少。只要電壓維持在保持電壓(V_H)之上，突返電流就會繼續流動。在突返傳導發生後， V_H 電壓之上增加電壓為提供電流的大量增加，如在 V_H 之屈曲點以上的圖之陡峭向上的斜率所示。

為了要利用突返傳導以吸收靜電放電脈衝而不會集結該脈衝並在通道上燒一個洞，由於如圖3之區域110之輕摻雜區域的緣故，本發明增加了一串聯電阻。由於電流的流經突返已被開啟的路徑的緣故，此串聯電阻被選擇足以增加一電壓，此電壓因此可提升該路徑的電壓於起動電壓(V_t)之上，且使鄰近路徑亦等於或在 V_t 之上，並開始突返傳導

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (15)

。此橫過通道之寬與深之突返傳導的散佈將突返電流自一單獨，集中的路徑分散到一寬的地帶，此地帶可延伸該通道的寬與深。

為了避免對該通道造成損害，電流的散佈必須在路徑上的電流已超過最大非破壞電流密度 (I_m) 之前發生，此最大非破壞電流密度可藉由測試類似的裝置而實驗地決定。為了免除靜電放電作用，由於電流散佈使突返電流流過的通道的面積必須大於來自靜電放電作用的電流除以 I_m 。換另一個方式說，將 I_m 沿與電流流動橫切的通道面積而積分的結果必須大於靜電放電電流。靜電放電電流可用已知的靜電放電參數來估計，如“人體模型”的 2500 伏特電壓，在人與結合襯墊之間約 1500 歐姆的內部電阻。其他靜電防護作用之故障防護標準，如“機器模型”或其他因特殊應用所選的參數，也可代替施行。

現請參見圖 9，一形成本發明之靜電放電作用防護結構的半導體基體之摻雜斷面的透視圖顯示包括濃摻雜的源極 120 與汲極 122 及一輕摻雜汲極延長區 124，與一置放於該延長區 124 與源極 120 之間的相反傳導型通道 126。該通道 126 具有分隔源極 120 與延展區 124 的長度 (L_c)，以及與該長度 (L_c) 呈橫向之寬度 (W) 與高度 (D)。該汲極延展區 124 具有類似通道 126 的長與寬，該延展區在汲極 122 與通道 126 之間的長度為 E_d 。

為了決定經由本發明之輕摻雜汲極 124 所增加的必須電阻大小，以確保在損害發生之前，突返電流已分散，傳導

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(16)

I_m 電流之局部路徑的串聯電阻 (R_s) 必須足以使該路徑的電壓等於或超過 V_t 。該串聯電阻 (R_s) 係為突返傳導期間 (如圖 8 之圓弧向上斜率部分所圖示) 之通道中的電阻與汲極之輕摻雜延展區的電阻之和。通道中的電阻等於突返時的通道電阻係數 (P_c) 乘以通道長度 (L_c) 並除以通道面積 (A_c)。該通道面積 (A_c) 等於通道寬度 (W) 乘以高度 (D)，並且在數量上必須等於延展區 124 的面積 (A_d)，因此此兩面積可以僅註記為 A 。在汲極之輕摻雜延展區的電阻係等於可由摻雜濃度與劑量決定之該輕摻雜區域的電阻係數 (P_d)，乘以輕摻雜長度 E_d ，除以與該長度 E_d 正交的延展區面積 A 。由限制每一路徑的電流小於 I_m 可推得：

$$\frac{V_t - V_H}{R_s} \leq I_m A$$

將其代入串聯電阻 (R_s) 的公式中：

$$R_s = \rho_c \frac{L_c}{A} + \rho_d \frac{E_d}{A}$$

並解 E_d 就可決定需要供應以免除靜電放電作用之輕摻雜汲極延展區的長度 (E_d)：

$$E_d \geq \frac{V_t - V_H - \rho_c L_c I_m}{I_m \rho_d}$$

在提供此橫過通道之突返傳導的散佈時，產生的電壓必

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(17)

須被維持在一最大非破壞電壓 (V_g)，在此電壓之上，閘氧化物可能會被摧毀。因此，一靜電放電電流 (I_{esd})，其可能為 $2500V/1500\Omega$ 或另選的安培數，乘以 R_s 必須小於或等於 $V_g - V_H$ ：

$$I_{esd} R_s \leq V_g - V_H$$

或

$$I_{esd} (\rho_o L_c + \rho_d E_d)$$

$$A \geq \frac{I_{esd} (\rho_o L_c + \rho_d E_d)}{V_g - V_H}$$

$$V_g - V_H$$

現請參見圖 10，一輸入/輸出收發兩用機 130 的俯視圖顯示有一位於收發兩用機 130 之汲極區域 135 與輸入/輸出端子或結合襯墊 138 之間的金屬連接 133。在源極區域 144 與 V_{ss} 之間的金屬連接 140 提供一用於靜電放電脈衝的路徑，依據本發明，此靜電放電脈衝通過該收發兩用機 130 而不會造成損害，並被電源供應器或地面吸收。虛線長方形指示了輕摻雜汲極延展區 148 的界限，此延展區 148 在靠近多晶矽電閘 146 的邊緣終結。在電閘 146 之下與在延展區 148 和源極區域 144 之間具有未圖示的通道。須注意的是在此留有空隙的收發兩用機內的通道寬度 (W) 為每一個別通道寬度 150 的 4 倍。

以上討論的最佳化裝置幾何可藉由表面尺寸而更便利地被計算。如此例，定義 I_{max} 為每一通道寬度 (W) 微米的最大非破壞性突返電流， R_{SH} 為輕摻雜區域 124 的薄板電阻，則橫過通道之平均散佈的靜電放電電流不能超過非破壞性

(請先閱讀背面之注意事項再填寫本頁)

訂

竣

五、發明說明(18)

電流的要求變成：

$$W \geq I_{esd} / I_{max}$$

限制每一橫截面之電流小於或等於 I_{max} 可得到輕摻雜汲極之長度：

$$E_d \geq \frac{(V_t - V_H) - I_{max} \rho_c}{I_{max} R_{sh}}$$

提供足夠的寬度以保持橫過串聯電阻 R_s 的電壓降在最大非破壞性電閘電壓 V_g 以下，可寫成：

$$W \geq I_{esd} [\rho_c + R_{sh} E_d] / [V_g - V_H]$$

輕摻雜汲極區域的摻雜可在裝置成形期間加以調整使其濃度在 1×10^{17} 與 5×10^{19} 離子/平方公分之間，或 100-5000 歐姆/平方的薄板電阻。通道的寬度 (W) 可在小於 100 微米至大於 300 微米的範圍，而通道長 L_c 可在 1 微米的位數以誘發突返傳導。輕摻雜汲極延展區的長度 (E_d) 可在 0.3 微米至 6 微米之間，較佳的為在 0.5 微米至 2 微米之間，並至少與通道長度 (L_c) 一樣大。

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

四、中文發明摘要(發明之名稱：具有最佳化之防止靜電放電作用之)

輸入/輸出電晶體

一種在一輸入/輸出電晶體內提供防止靜電作用的裝置。一輕摻雜區域(105)被配置於靠近電閘(35)與基體(25)的表面。一側壁氧化物層(45)被選擇性地蝕刻以使其自一電閘橫向地延伸一顯著量。該側壁氧化物層亦在該電閘的另一側上被蝕刻，並可朝此方向橫向地延伸些許量。一濃摻雜源極(70)與汲極(75)被植入於藉由蝕刻而暴露的表面範圍之該基體內，該汲極藉由側壁氧化物的顯著長度而與該電閘分開。在靠近該基體的表面處，該汲極藉由該輕摻雜區域的類似長度而與該電閘分開，此在汲極與電閘間提供了一用以防止靜電放電作用的串聯電阻。該源極亦可藉由該輕摻雜區域的些許長度而與該電閘分開，其在該源極與該電閘間作用有如一串聯電阻，以緩和靜電放電作用。該側壁氧化物的長度，與將電閘與汲極和源極分開的輕摻雜區域可被裁製以將防止靜電放電作用與藉由分散突返傳導之已知應用的性能特徵最佳化。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

四、英文發明摘要 (發明之名稱: Input/output Transistors with Optimized ESD Protection)

An apparatus providing electrostatic discharge (ESD) protection in an input/output transistor. Disposed near the gate (35) and the surface of the substrate (25) is a lightly doped region (105). A sidewall oxide layer (45) is selectively etched to extend laterally from a gate a significant amount. The sidewall oxide layer is also etched on an opposite side of the gate and may laterally extend an appreciable amount in that direction. A heavily doped source (70) and drain (75) are implanted in the substrate at areas of the surface exposed by etching, the drain separated from the gate by the significant extent of sidewall oxide. Near the surface of the substrate, the drain is separated from the gate by a similar extent of the lightly doped region, which provides a resistance in series between the drain and gate for ESD protection. The source may also be separated from the gate by a lightly doped region of appreciable extent, which acts as a series resistance between the source and the gate to mitigate ESD. The extent of the sidewall oxide, and thus the lightly doped regions separating the gate from the drain and source, can be tailored to optimize ESD protection and performance characteristics for a given application by defocusing snapback conduction.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用於積體電路晶片以防止靜電放電作用之裝置，包含有：

一半導體基體，其上具有一端子以與基體相傳訊，

一放電結構，其位於該基體內，並具有第一傳導型式的濃摻雜區而形成有一源極與一汲極，與置於其間之第二傳導型的通道，該汲極連接該端子且該源極位於該端子末梢，該結構具有的特徵為一起動電壓，在該電壓之上，沿著該源極與該汲極之間的路徑的突返傳導會被起動，一保持電壓，在該電壓之上，該突返傳導會被維續，與沿著該路徑的最大非破壞性電流密度，

一該第一傳導型式的輕摻雜區域，其形成有一分隔該汲極與該通道的汲極延展區，並具有一電阻，與該路徑串聯，使得沿著該路徑的該最大非破壞性電流密度的流動，在該源極與該汲極之間，沿著該路徑，產生一超過該起動電壓的電壓，而在該源極與該汲極之間的鄰近路徑上，起動突返傳導。

2. 如申請專利範圍第1項所述之裝置，其中沿著由該路徑橫過的該通道面積積分的該最大非破壞性電流密度較來自靜電放電作用，流經該端子的電流為大。

3. 如申請專利範圍第1項所述之裝置，其中該通道的特徵為在該突返傳導期間的通道電阻係數 (ρ_c)，並具有一分隔該源極與該汲極延展區的長度 (L_c)，其中該汲極延展區的特徵為一電阻 (P_d)，並具有一分隔該汲極與該通道的長度 (E_d)，及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

$$E_d \geq [V_t - V_H - I_m \rho_c L_c] / I_m \rho_d$$

其中 V_t 為該起動電壓， V_H 為該保持電壓， I_m 為該最大電流密度。

4. 如申請專利範圍第1項所述之裝置，其更包含有一藉由一閘氧化物而與該通道分隔之電閘，該閘氧化物具有一最大非破壞性電壓的特徵，其中該最大非破壞性閘氧化物電壓與該保持電壓的差大於沿著靜電放電電流的該路徑，在該源極與該汲極之間的電壓差，乘以沿著該路徑的電阻，並除以該起動電壓與該保持電壓的差。

5. 如申請專利範圍第1項所述之裝置，其中該通道有一大致呈正交的長度，寬度與高度，該長度分隔該源極與該汲極延展區，該高度包圍一由該基體之表面測量之該突返電流，該寬度為數倍大於該長度與該高度，且來自靜電放電作用的電流小於沿著該寬度與該高度積分之該最大非破壞性電流密度。

6. 如申請專利範圍第1項所述之裝置，其中該結構包含有一輸入/輸出收發兩用機。

7. 如申請專利範圍第1項所述之裝置，其中該結構包含有一輸出緩衝區。

8. 如申請專利範圍第1項所述之裝置，其中該結構包含有一輸入緩衝區。

9. 如申請專利範圍第1項所述之裝置，其更包含有一藉由一閘氧化物而與該通道分隔的電閘，其中該汲極延展區在該汲極與該通道間有一長度，其為大於自該通道至該電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

開頂端之間的高度。

10. 如申請專利範圍第1項所述之裝置，其中該汲極延展區在該汲極與該通道間有一長度，其為至少與在該源極與該汲極延展區之間的該通道的長度一樣長。

11. 如申請專利範圍第1項所述之裝置，其中該汲極延展區在該汲極與該通道間有一長度，其為大於十分之三微米而小於小微米。

12. 如申請專利範圍第1項所述之裝置，其中該汲極延展區之摻雜度在 10^{17} 離子/立方公分至 5×10^{19} 離子/立方公分的範圍之間。

13. 一靜電放電作用容忍裝置，用以在一積體電路晶片與晶片外之電路之間傳訊，包含有：

一半導體晶片，其表面具有一結合襯墊於其上，

一電晶體，其具有表面下為濃摻雜的源極與汲極區域，藉由一通道區域而分隔，並有一電閘位於該通道區域之上，且藉由一閘氧化物層而與該表面分隔，該汲極區域與該結合襯墊相連接，一輕摻雜汲極延展區在該通道與該汲極區域之間，

一路徑，位於該源極區域與該汲極區域之間，具有一起動電壓可啟動橫過該通道之突返傳導，一保持電壓以維持該突返傳導及一最大非破壞性電流密度，

其中，該汲極延展區有一電阻與該路徑相連，使得沿著該路徑之該最大非破壞性電流密度的流動提升該路徑的電壓於該起動電壓之上，而啟動鄰近路徑之突返傳導。

(請先閱讀背面之注意事項再填寫本頁)

訂

紅

六、申請專利範圍

14.如申請專利範圍第13項所述之裝置，其中該通道有一長度沿著該路徑之方向，有一寬度與該路徑呈橫向，該寬度為該長度的數倍大，使得橫過該寬度且平均散佈的靜電放電電流之電流密度小於該最大非破壞性電流密度。

15.如申請專利範圍第14項所述之裝置，其中該汲極延展區有一長度(E_d)沿著該路徑之方向，且

$$E_d \geq [V_t - V_H - I_{mz} \times \rho_c] / I_{max} R_d$$

其中 V_t 為該起動電壓， V_H 為該保持電壓， I_{max} 為每一單位寬度之最大電流，並等於該最大非破壞性電流密度乘以該通道的高度， ρ_c 為該突返傳導期間的該通道之電阻係數， R_d 為該汲極延展區的薄板電阻。

16.如申請專利範圍第14項所述之裝置，其中該閘氧化物層具有一最大非破壞性電壓(V_g)，且

$$W \geq I_{esd} [\rho_c + R_d E_d] / [V_g - V_H]$$

其中 W 為該通道的該寬度， I_{esd} 為該靜電放電電流， ρ_c 為該突返傳導期間之該通道電阻係數， R_d 為該汲極延展區的薄板電阻， E_d 為該汲極延展區沿著該路徑的長度， V_H 為該保持電壓。

17.如申請專利範圍第13項所述之裝置，其更包含有一側壁氧化物層鄰接於該電閘與該汲極延展區，該側壁氧化物層自該閘氧化物沿著該表面延伸一距離，其大於自該表面至該電閘頂端的高度。

18.如申請專利範圍第13項所述之裝置，其中該汲極延展區沿著該路徑有一長度，其大於0.4微米而小於3微米。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

19. 如申請專利範圍第13項所述之裝置，其中該汲極延展區有一薄板電阻，其在100與5000歐姆/平方的範圍之間。

20. 一用以在積體電路晶片與晶片外之電路之間傳送訊號的輸入/輸出裝置，包含有：

一半導體基體，其具有一表面與鄰近於該表面之結合襯墊，以在該基體的電路與該基體外的電路之間相傳訊，

一該基體的有效區，其在靠近該表面處具有摻雜區域，而形成一第一傳導型式的源極與汲極，此源極與汲極為藉由一第二傳導型式的通道而分隔，該汲極連接於該結合襯墊，

一電閘，其具有一底部鄰接於該通道，並藉由一閘氧化物層而與該表面分隔，該電閘具有一頂端，其位於該表面之末端，

一汲極側壁氧化物層，其位於鄰接於該閘氧化物層與該汲極之該表面上，並沿著該表面，向著遠離該電閘的方向延伸一距離，此距離較自該表面至該電閘的該頂端的高度為大，

一該汲極的輕摻雜延展區，其鄰接於該汲極側壁氧化物層，及沿著該距離之該通道。

21. 如申請專利範圍第20項所述之裝置，其更包含有：

一源極側壁氧化物層，其位於鄰接於該閘氧化物層與該源極之該表面上，並沿著該表面，向著遠離該電閘的方向延伸一跨距，此距離較自該表面至該電閘的該頂端的該高度為大，及

(請先閱讀背面之注意事項再填寫本頁)

訂

組

六、申請專利範圍

一 該源極的輕摻雜部分，其鄰接於該源極側壁氧化物層，及沿著該寬度與該跨距之該通道。

22. 如申請專利範圍第20項所述之裝置，其中該通道之特徵為一最大非破壞性電流密度，該汲極之該輕摻雜部分沿著該通道的寬與高而散佈突返電流，其中由該寬度乘以該高度所形成的面積為大於一靜電電流脈衝除以該最大非破壞性電流密度。

23. 如申請專利範圍第20項所述之裝置，其具有一起動電壓，在此電壓之上，沿著在該源極與該汲極之間的路徑之突返傳導會被啟動，並具有一保持電壓，在此電壓之上，該突返傳導會被維持，並有一沿著該路徑之最大非破壞性電流密度，其中分隔該汲極與該通道之該汲極延展區具有一電阻與該路徑串聯，使得沿著該路徑之該最大非破壞性電流密度的流動在該路徑之上產生一超過該啟動電壓的電壓，而啟動在該源極與該汲極之間之鄰近路徑之突返傳導。

24. 如申請專利範圍第23項所述之裝置，其中該閘氧化物層具有大於該起動電壓之最大非破壞性電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

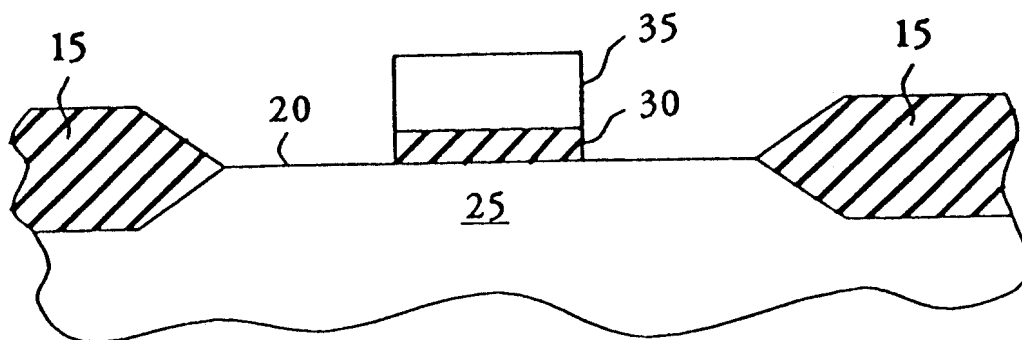


圖 1A

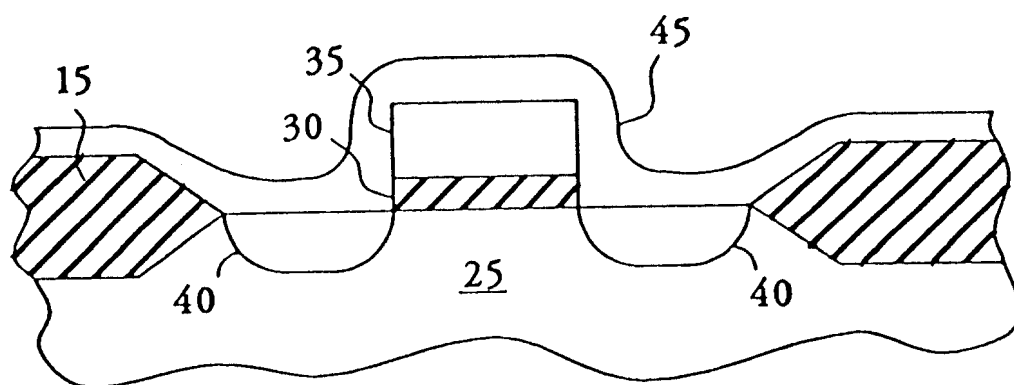


圖 1B

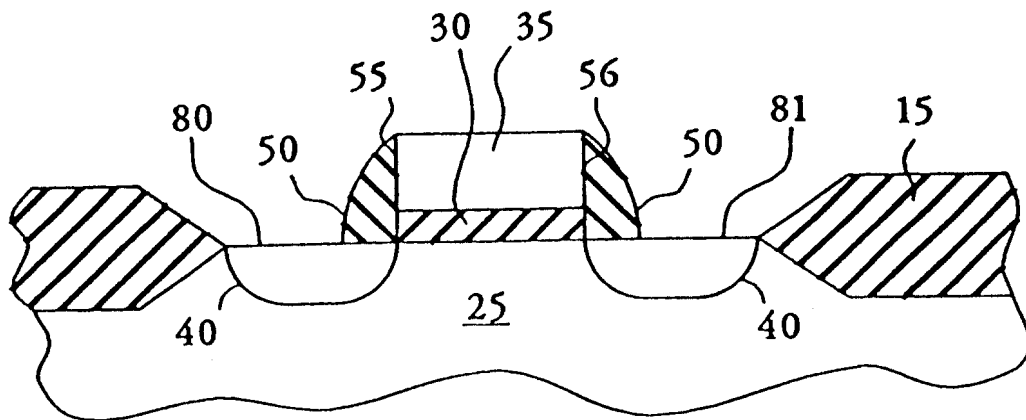


圖 1C

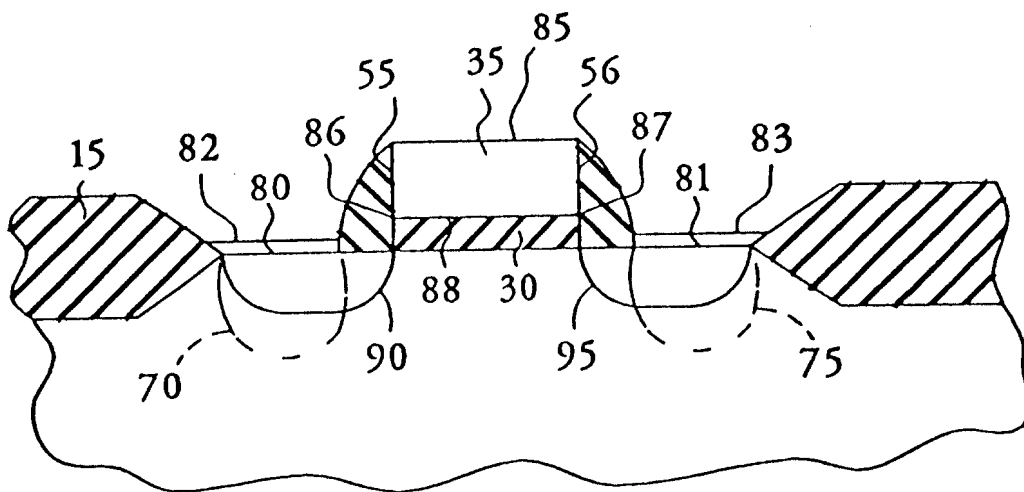


圖 1D

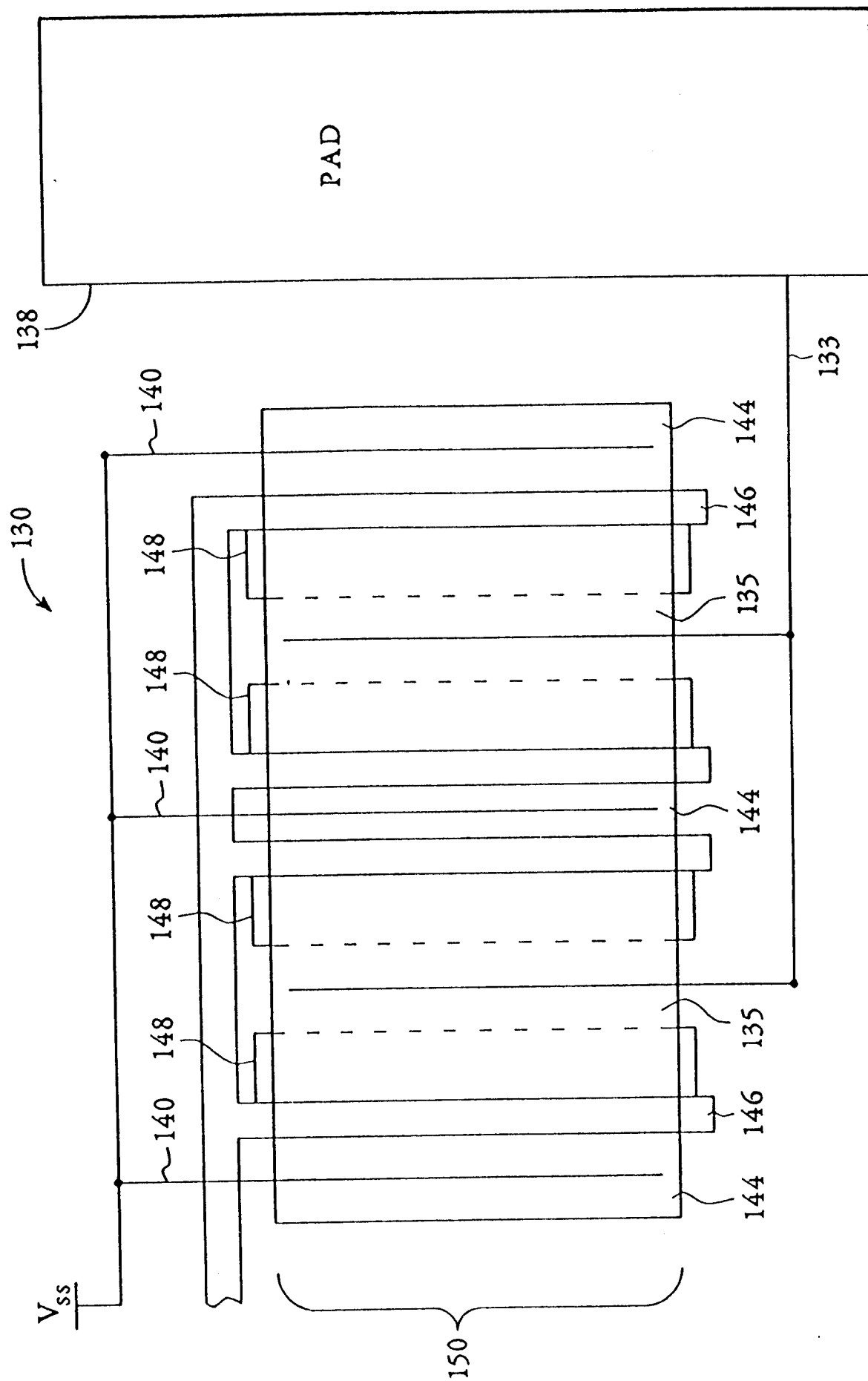


圖 10

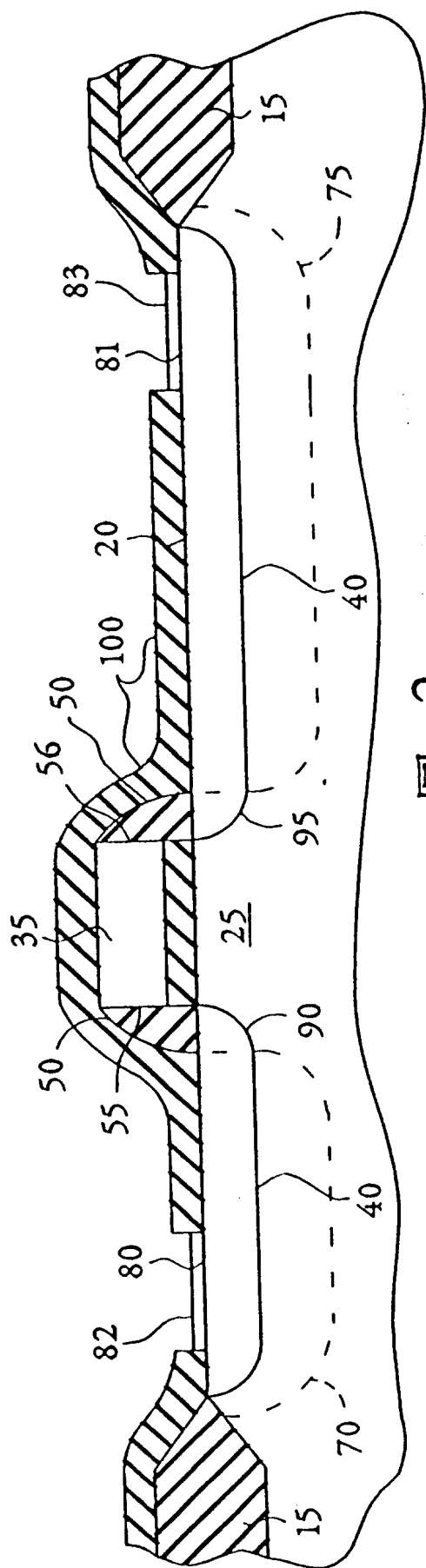


圖 2

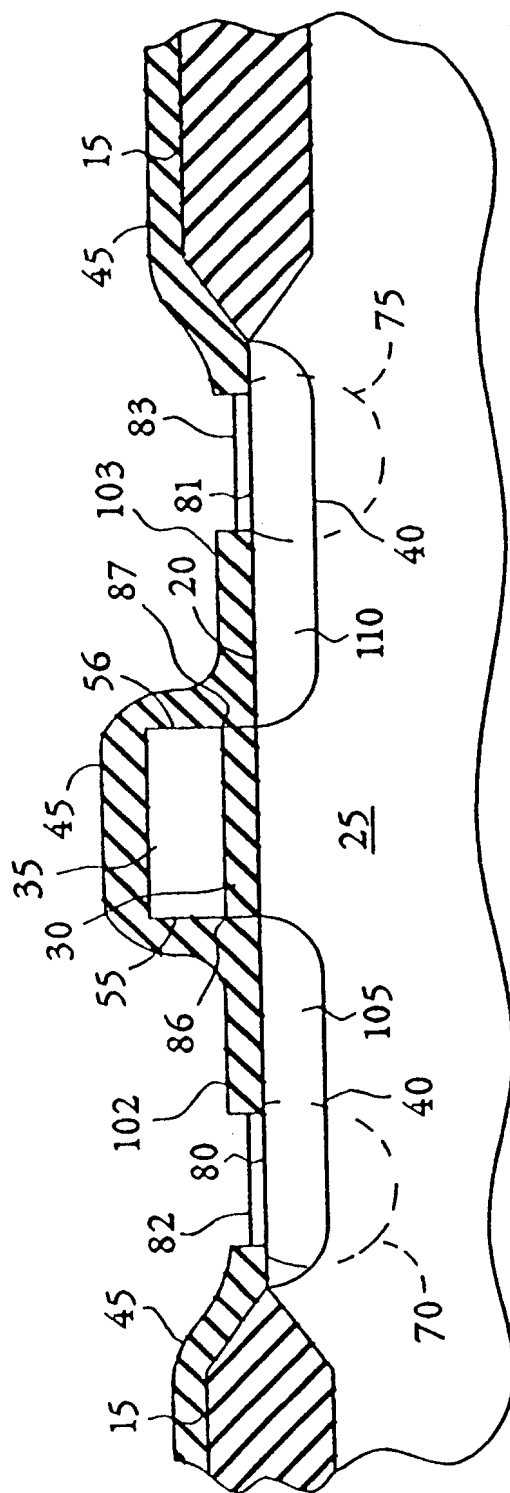


圖 3

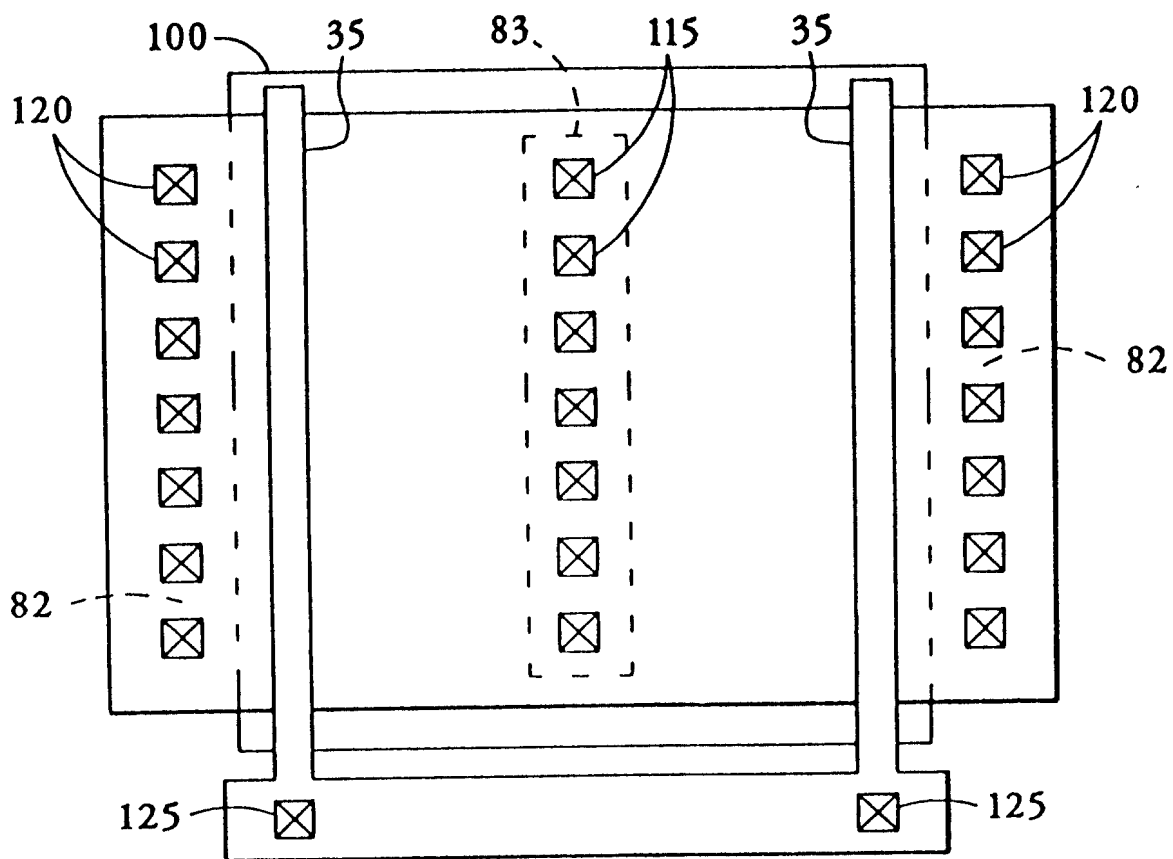


圖 4

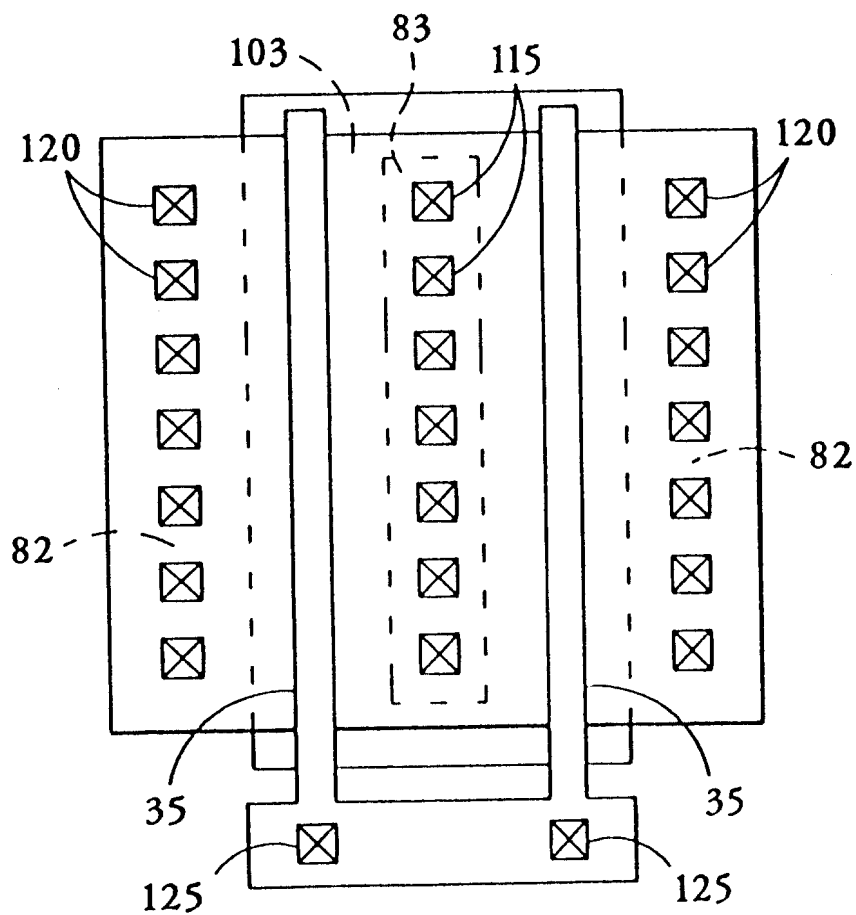


圖 5

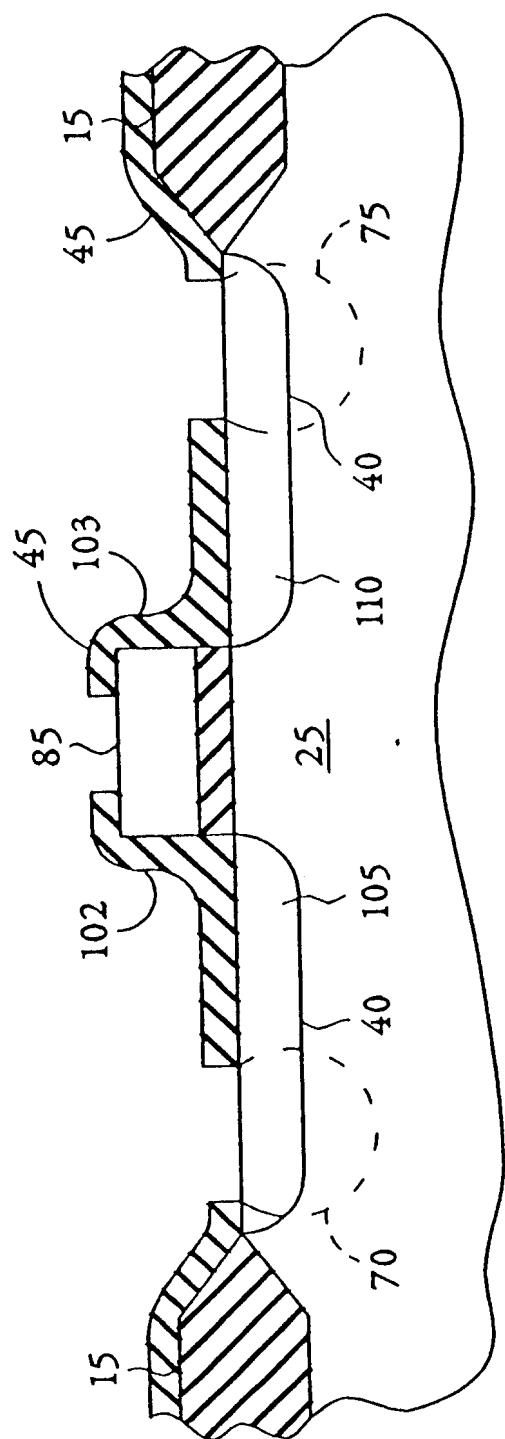


圖 6

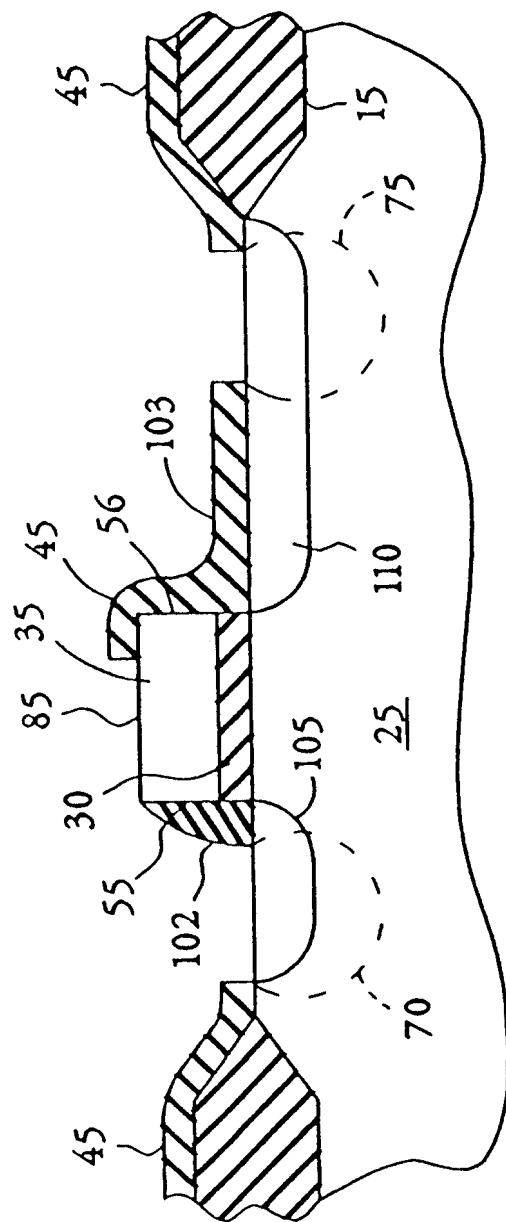


圖 7

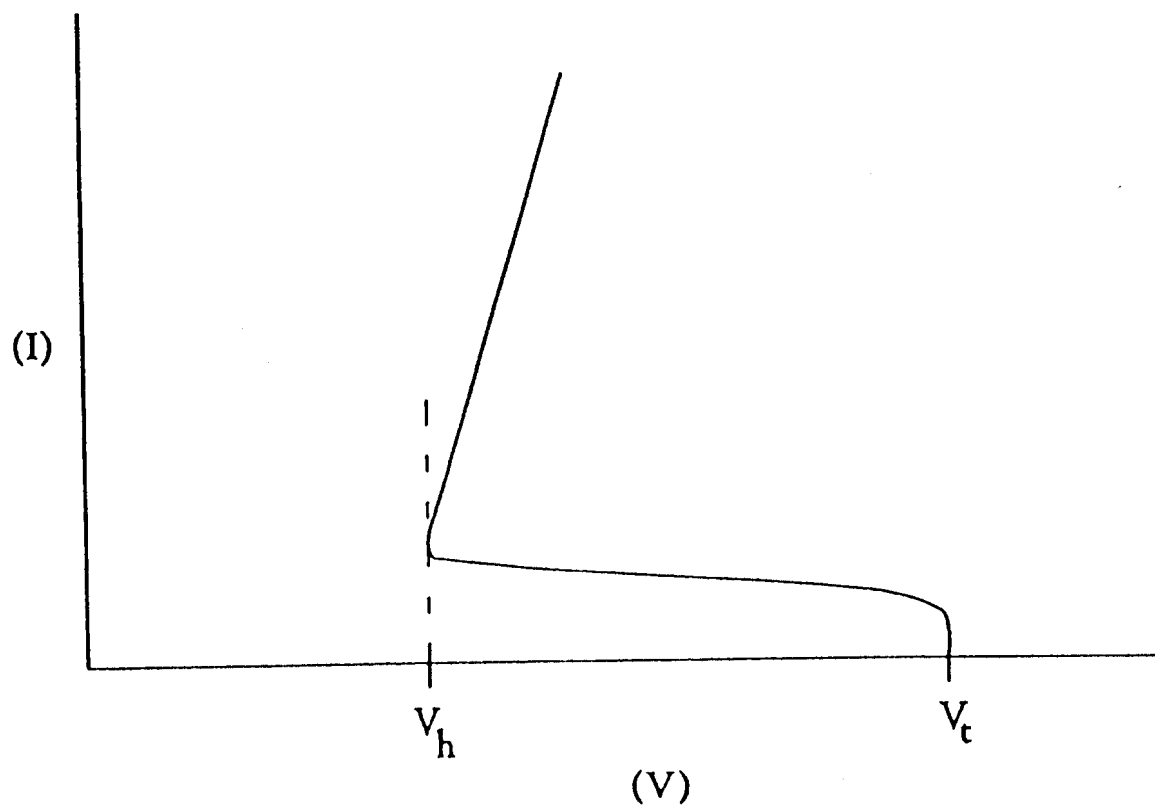


圖 8

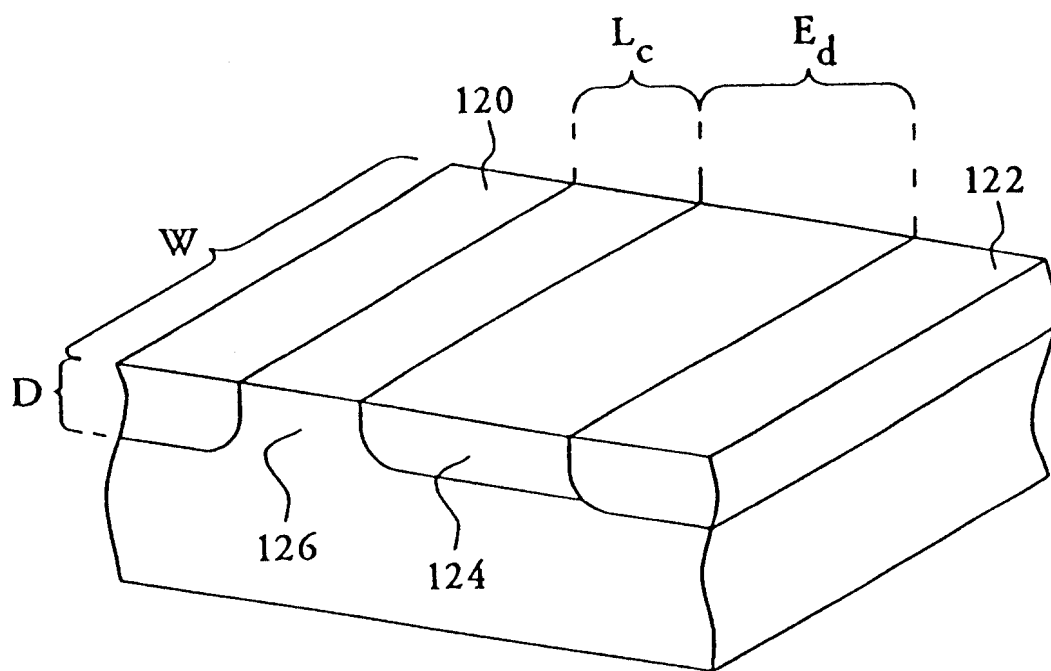


圖 9