【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成26年10月2日(2014.10.2)

【公開番号】特開2013-85077(P2013-85077A)
【公開日】平成25年5月9日(2013.5.9)
【年通号数】公開・登録公報2013-022
【出願番号】特願2011-222920(P2011-222920)
【国際特許分類】
Ｈ０３Ｌ　7/099　(2006.01)
Ｈ０３Ｌ　7/08　(2006.01)
Ｈ０３Ｌ　7/10　(2006.01)
Ｈ０３Ｌ　7/093　(2006.01)
【ＦＩ】
Ｈ０３Ｌ　7/08　Ｆ
Ｈ０３Ｌ　7/08　Ｋ
Ｈ０３Ｌ　7/10　Ｚ
Ｈ０３Ｌ　7/08　Ｅ

【手続補正書】
【提出日】平成26年8月19日(2014.8.19)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
本発明のＰＬＬ回路は、ＶＣＯと、当該ＶＣＯの出力信号を分周する分周器と、当該分周器の出力信号と基準周波数信号との位相差を検出する位相比較器と、当該位相比較器の位相差出力に応じた電流を生成するチャージポンプと、当該チャージポンプの電流を平滑化して前記ＶＣＯの入力電圧を生成するループフィルタと、前記ＶＣＯの出力信号の周波数が前記基準周波数になるとき、前記ループフィルタの出力電圧が所定値になるように、前記ＶＣＯの入力電圧対出力周波数特性を校正する校正手段と、を有し、前記位相比較器は、前記位相差の大きさ及び方向に応じてUP信号、DOWN信号を出力し、前記チャージポンプは、前記UP信号に応じて前記ループフィルタのキャパシタに充電電流を流す第１の電流源と、前記DOWN信号に応じて前記ループフィルタのキャパシタからの放電電流を流す第２の電流源とを有し、前記第１の電流源及び第２の電流源がカレントミラー回路により構成されており、前記第１の電流源、前記UP信号によりオンする第１のスイッチ、前記DOWN信号によりオンする第２のスイッチ、及び前記第２の電流源が電源とグラウンドとの間に直列に接続されており、前記カレントミラー回路を構成するトランジスタが飽和領域で動作するように前記電源の電位、及び前記第１のスイッチと第２のスイッチの接続点の電位を設定したとき、当該電位が前記所定値となるように設定したＰＬＬ回路である。
【手続補正２】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
ＶＣＯと、

当該ＶＣＯの出力信号を分周する分周器と、
当該分周器の出力信号と基準周波数信号との位相差を検出する位相比較器と、
当該位相比較器の位相差出力に応じた電流を生成するチャージポンプと、
当該チャージポンプの電流を平滑化して前記ＶＣＯの入力電圧を生成するループフィルタと、
前記ＶＣＯの出力信号の周波数が前記基準周波数になるとき、前記ループフィルタの出力電圧が所定値になるように、前記ＶＣＯの入力電圧対出力周波数特性を校正する校正手段と、を有し、
前記位相比較器は、前記位相差の大きさ及び方向に応じてUP信号、DOWN信号を出力し、
前記チャージポンプは、前記UP信号に応じて前記ループフィルタのキャパシタに充電電流を流す第１の電流源と、前記DOWN信号に応じて前記ループフィルタのキャパシタからの放電電流を流す第２の電流源とを有し、
前記第１の電流源及び第２の電流源がカレントミラー回路により構成されており、
前記第１の電流源、前記UP信号によりオンする第１のスイッチ、前記DOWN信号によりオンする第２のスイッチ、及び前記第２の電流源が電源とグラウンドとの間に直列に接続されており、
前記カレントミラー回路を構成するトランジスタが飽和領域で動作するように前記電源の電位、及び前記第１のスイッチと第２のスイッチの接続点の電位を設定したとき、当該電位が前記所定値となるように設定したＰＬＬ回路。
【請求項２】
請求項１に記載されたＰＬＬ回路において、
前記ループフィルタのキャパシタがＭＯＳにより構成されており、前記所定値が当該ＭＯＳを入力電圧対容量特性の安定領域で動作させる値であるＰＬＬ回路。
【請求項３】
請求項１又は２に記載されたＰＬＬ回路において、
前記所定値は電源電圧の１／２であるＰＬＬ回路。
【請求項４】
請求項１に記載されたＰＬＬ回路において、
前記ＶＣＯは、電圧電流変換回路及び電流制御発振器からなり、前記校正手段は、当該電圧電流変換回路の入力電圧対出力電流特性を校正するＰＬＬ回路。
【請求項５】
請求項４に記載されたＰＬＬ回路において、
前記校正手段は、前記位相比較器の出力位相差に応じて、前記電圧電流変換回路の出力電流を増減するための制御電圧を生成するＰＬＬ回路。
【請求項６】
請求項１に記載されたＰＬＬ回路において、
前記校正手段は、前記チャージポンプ及びループフィルタのダミー回路と、前記チャージポンプ及びループフィルタをＰＬＬから切り離し、前記ダミー回路をＰＬＬに接続したときの前記ダミー回路の出力電圧と前記所定値との差異に応じて、前記ＶＣＯの入力電圧対出力周波数特性を校正する手段とを有するＰＬＬ回路。