



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I525785 B

(45)公告日：中華民國 105 (2016) 年 03 月 11 日

(21)申請案號：100109558

(22)申請日：中華民國 100 (2011) 年 03 月 21 日

(51)Int. Cl. : H01L23/60 (2006.01)

(30)優先權：2010/03/29 日本 2010-076373

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本

(72)發明人：山本祐廣 YAMAMOTO, SUKEHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 320773

TW 200929523A

US 2007/0090414A1

審查人員：于若天

申請專利範圍項數：5 項 圖式數：5 共 20 頁

(54)名稱

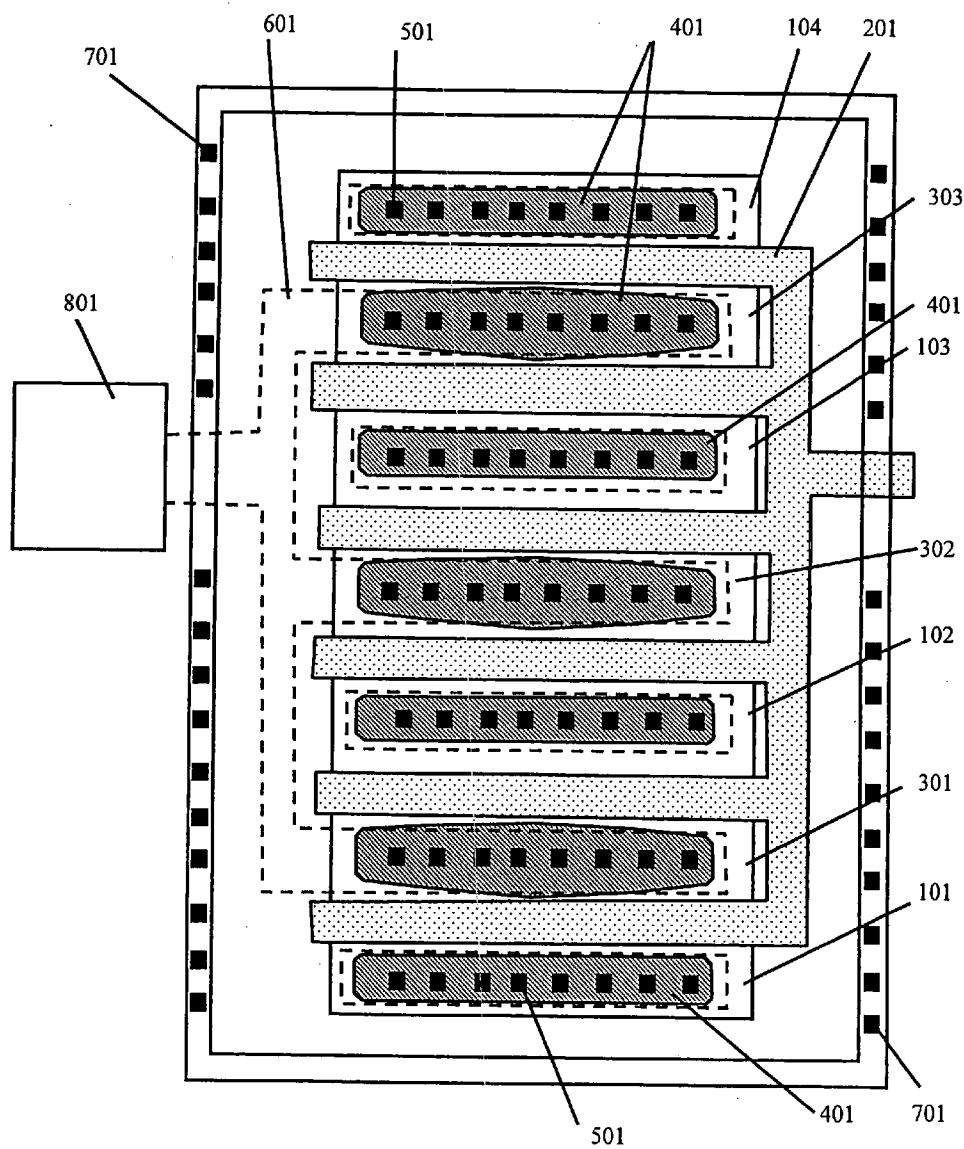
半導體裝置

(57)摘要

半導體裝置，具有：ESD 保護用 MOS 電晶體，交互配置著複數汲極區域及複數源極區域，於前述汲極區域與前述源極區域之間，配置著閘極，具有將複數電晶體組合而一體化之構造；形成於汲極區域上之矽化金屬區域與閘極之距離，係對應於汲極區域上之接頭與從基板接頭之距離來決定。

指定代表圖：

第1圖



符號簡單說明：

- 101 . . . 第 1 源極區域
- 102 . . . 第 2 源極區域
- 103 . . . 第 3 源極區域
- 104 . . . 第 4 源極區域
- 201 . . . 閘極
- 301 . . . 第 1 汲極區域
- 302 . . . 第 2 汲極區域
- 303 . . . 第 3 汲極區域
- 401 . . . 矽化金屬區域
- 501 . . . 接觸孔
- 601 . . . (第 1) 金屬配線
- 701 . . . 基板接頭
- 801 . . . 外部連接端子

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100109558

※申請日：100 年 03 月 21 日

※IPC 分類：

H01L 21/60 2006.01

一、發明名稱：(中文／英文)

半導體裝置

二、中文發明摘要：

半導體裝置，具有：ESD保護用MOS電晶體，交互配置著複數汲極區域及複數源極區域，於前述汲極區域與前述源極區域之間，配置著閘極，具有將複數電晶體組合而一體化之構造；形成於汲極區域上之矽化金屬區域與閘極之距離，係對應於汲極區域上之接頭與從基板接頭之距離來決定。

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

101：第1源極區域

102：第2源極區域

103：第3源極區域

104：第4源極區域

201：閘極

301：第1汲極區域

302：第2汲極區域

303：第3汲極區域

401：矽化金屬區域

501：接觸孔

601：(第1)金屬配線

701：基板接頭

801：外部連接端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係與將多觸點類型（梳狀）之 MOS 型電晶體當作 ESD 保護元件使用之半導體裝置相關。

【先前技術】

具有 MOS 型電晶體之半導體裝置時，以防止來自外部連接用端子（PAD）之靜電對內部電路之破壞為目的之 ESD 保護元件，係以將 N 型 MOS 電晶體之閘極電位固定於接地（ V_{ss} ）之不導通狀態來設置，而為大家所熟知的不導通電晶體。

不導通電晶體，不同於用以構成其他邏輯電路等內部電路之 MOS 型電晶體，因為必須在瞬間內有多量靜電所導致之電流流過，通常係以具有數百微米程度之較大閘寬（ W 寬度）之電晶體來形成。

所以，為了縮小不導通電晶體的佔有面積，通常會採用將複數之汲極區域、源極區域、閘極組合成梳狀之多觸點類型的形態。

然而，採用組合複數電晶體之構造時，ESD 保護用 MOS 電晶體整體，將難以執行均一之動作。例如，電流將集中於與外部連接端子之距離較為接近之部分、或配線電阻與配線間之電阻合計較小之部分，在充份發揮原本之 ESD 保護機能之前，應力將集中於局部而造成破壞。

有人提出以下之改善對策，依與外部連接端子之距離

、或依與基板接頭之距離，尤其是，使與用以防止汲極區域上之矽化的矽化區塊之距離，遠大於與基板接頭之距離，來設法使電晶體之動作成為均一（例如，參照專利文獻1）。

[專利文獻]

[專利文獻]日本特開2007-116049號公報

【發明內容】

然而，例如，為了使不導通電晶體之動作均一而縮小閘寬，將無法充份實現保護機能。上述專利文獻1時，其目的係，藉由依與基板接頭之距離來調節汲極區域上之從用以防止矽化之矽化區塊至閘極之距離，管制高電阻區域之長度，進而局部地調整電晶體之動作速度，然而，因為具有矽化區塊長度愈接近基板接頭愈短之特徵，藉由依矽化區塊長度縮小接近外部連接端子之不導通電晶體的閘極與汲極區域上之矽化金屬間之電阻，則不導通電晶體之閘寬整體不執行動作，而有於接近外部連接端子之一部分發生一極集中之破壞的課題。

尤其是，近年來，藉由利用高融點金屬之配線實現配線之低電阻化，來進一步加快突波之傳播速度時，相反地，突波將集中於部分汲極區域上之矽化區域，而有不導通電晶體之閘寬整體不執行動作的問題。此外，即使汲極區域上之矽化區塊與閘極間之距離為一定時，也有於接近外

部連接端子之閘極與汲極間之一部分，發生一極集中之破壞的問題。第5圖，係ESD在施加突波而破壞後之不導通電晶體之特定破壞部位的顯微鏡相片。圖中之圓線所圍繞之部位係突波破壞部位。如第5圖所示，可以判定位於接近外部連接端子之閘極與汲極間之一部分呈現局部破壞。

爲了解決上述課題，本發明之半導體裝置以下述方式來構成。

交互配置複數汲極區域及複數源極區域，於前述汲極區域與前述源極區域之間配置閘極，於具有複數電晶體爲一體化構造之ESD保護用N型MOS電晶體，汲極區域與外部連接端子電性連結，源極區域則與接地電位供應線電性連結，配設於汲極區域上之矽化區塊，以依與基板接頭之距離而爲愈遠且對應閘極與接頭數之比而縮短長度來形成。

此外，汲極區域上之矽化區塊，以離外部連接端子愈遠之方式增加長度來形成。

此外，汲極區域上設置著2列以上之接頭時，以前述矽化區塊與接觸孔之距離保持一定之方式來配置。

如以上之說明所示，依據本發明，藉由該等手段，使用含有高融點金屬之高速配線多層配線，從垂直於不導通電晶體之通道寬度方向之方向導入被導入電晶體之ESD突波時，ESD保護用MOS電晶體之多觸點整體可以執行均一之動作。

所以，可以得到具有充份發揮ESD保護機能之ESD保

護用 MOS 電晶體的半導體裝置。

【實施方式】

以下，參照圖式，以複數之實施例來針對實施發明之形態進行說明。

[實施例 1]

第 1 圖，係本發明之半導體裝置之 ESD 保護用 MOS 電晶體之第 1 實施例的模式平面圖。

形成由高濃度雜質區域所構成之第 1 源極區域 101 及第 1 汲極區域 301，於第 1 源極區域 101 與第 1 汲極區域 301 之間，配設未圖示之由矽氧化膜等所構成之閘極絕緣膜，於其上面，形成由聚矽等所構成之閘極 201。接著，以重複模式方式，由第 1 汲極區域 301 介由閘極 201 形成第 2 源極區域 102，介由閘極 201 來形成第 2 汲極區域 302，此外，介由閘極 201 來形成第 3 源極區域 103，且介由閘極 201 來形成第 3 汲極區域 303，並介由閘極 201 來形成第 4 源極區域 104。於各汲極區域上及源極區域上，藉由防止矽化之矽化區塊，以與閘極 201 具有一定距離之方式來形成矽化金屬區域 401。

實施例時，係組合配置著 4 個源極區域、3 個汲極區域、及 6 個閘極之例。係將 6 個 MOS 電晶體組合成梳狀之形態。

爲了簡化圖面而省略了圖示，第 1 源極區域 101、第 2

源極區域 102、第 3 源極區域 103、及第 4 源極區域 104 係使用含有高融點金屬之金屬材料，於由粗而低電阻之配線所形成的接地電位供應線，連接著由同樣含有高融點金屬之材料所形成之金屬配線來供應接地電位。金屬配線，係從接地電位供應線，以垂直於 ESD 保護用 MOS 電晶體之通道寬度方向之方向來進行配線，並未圖示，然而，介由通孔，連接於由含有高融點金屬之材料所構成之金屬配線，並介由接觸孔 501 連接於第 1 源極區域 101、第 2 源極區域 102、第 3 源極區域 103、及第 4 源極區域 104。

另一方面，於外部連接端子 801，連接著由含有高融點金屬之材料所構成之（第 1）金屬配線 601，而導入第 1 汲極區域 301、第 2 汲極區域 302、及第 3 汲極區域 303。其次，介申接觸孔 501，進行第 1 汲極區域 301、第 2 汲極區域 302、及第 3 汲極區域 303 與第 1 金屬配線 601 之連接。

如第 1 圖所示之第 1 實施例時，針對 ESD 保護用 MOS 電晶體之汲極區域上之矽化區塊，以與閘極 201 之距離，以離基板接頭 701 愈遠愈短之方式來形成。於閘極 201 之中央附近，儘量使與矽化金屬區域 401 之距離縮短之方式來處理。

例如，本發明時，爲了簡化說明，係以接觸孔 501 爲 1 列時來進行說明，其接觸孔 501 從基板接頭 701 至最接近之汲極區域上之接觸孔 501 與閘極 201 間之矽化區塊之距離爲 $10\ \mu\text{m}$ 時，以從基板接頭至第 10 接觸孔與閘極 201 之距離爲 $9\ \mu\text{m}$ 來配設電阻差（計算例：距離 = $10 -$ （從基板接頭之

個數 $\div 10$)])。同樣的，若為第20個，則以成為 $8\mu\text{m}$ 之方式來設定汲極區域上之矽化區塊的距離。此處，距離之設定時，可以不受上述例之限制，而以所使用之半導體元件之ESD特性為最大之方式來自由設定。

[實施例2]

第2圖，係本發明之半導體裝置之ESD保護用MOS電晶體之第2實施例的模式平面圖。本說明中，為了簡化說明，對應於第1圖之部分賦予相同符號。

與第1圖所示之第1實施例，係用以防止汲極區域上之矽化之矽化區塊之距離的選取方式不同。第1圖所示之第1實施例時，係依從基板接頭701之距離來設置，以與接近基板接頭701之接觸孔501與閘極201間之矽化區塊之距離較長、與基板接頭701之最遠接觸孔501與閘極201間之矽化區塊之距離較短之方式，來形成矽化區塊。

另一方面，第2圖所示之第2實施時，依從外部連接端子801之距離來設置。以與接近外部連接端子801之接觸孔501與閘極201間之矽化區塊之距離較長、與外部連接端子之最遠接觸孔501與閘極201間之矽化區塊之距離較短之方式，來形成矽化區塊。亦即，愈接近外部連接端子801，接觸孔501與閘極201間之電阻較高，外部連接端子801之最遠接觸孔501與閘極201間之電阻較小，而以於施加ESD突波時，以閘寬整體驅動不導通電晶體之方式來配置。

[實施例 3]

第 3 圖，係本發明之半導體裝置之 ESD 保護用 MOS 電晶體之第 3 實施例的模式平面圖。與第 1 實施例相同者，省略其說明，只針對不同之處進行說明。

與第 1 圖所示之第 1 實施例，係配置著複數列接觸孔 501 之例之接觸孔 501 的配置位置不同。第 1 實施例時，因為配置成 1 列之接觸孔 501，防止矽化之矽化區塊之距離並未固定，而配置於汲極區域上之中央，然而，第 3 實施例時，以複數列配置之接觸孔 501 與矽化金屬區域 401 端之距離為一定之方式來配置。

此外，固定距離的設定，只要所使用之半導體元件之 ESD 特性為最大，可以自由設定尺寸。

[實施例 4]

第 4 圖，係本發明之半導體裝置之 ESD 保護用 MOS 電晶體之第 4 實施例的模式平面圖。本說明為了簡化，係以具有 2 列接觸孔之不導通電晶體為例來圖示。省略了與第 2 實施例相同之說明，而只針對不同之處來進行說明。與第 2 圖所示之第 2 實施例，係配置著複數列之接觸孔 501 之例之接觸孔 501 的配置位置不同。

第 2 實施例時，因為配置成 1 列之接觸孔 501，防止矽化之矽化區塊之距離並未固定，而配置於汲極區域上之中央，第 4 實施例時，以複數列配置之全部接觸孔 501 與矽化金屬區域 401 端之距離為一定之方式來配置。

此外，固定距離之設定，只要所使用之半導體元件之ESD特性為最大，可以自由設定尺寸。

【圖式簡單說明】

第1圖係本發明之半導體裝置之ESD保護用MOS電晶體之第1實施例的模式平面圖。

第2圖係本發明之半導體裝置之ESD保護用MOS電晶體之第2實施例的模式平面圖。

第3圖係本發明之半導體裝置之ESD保護用MOS電晶體之第3實施例的模式平面圖。

第4圖係本發明之半導體裝置之ESD保護用MOS電晶體之第4實施例的模式平面圖。

第5圖係傳統ESD保護用MOS電晶體之ESD突波施加後之特定破壞部位的顯微鏡相片。

【主要元件符號說明】

101：第1源極區域

102：第2源極區域

103：第3源極區域

104：第4源極區域

201：閘極

301：第1汲極區域

302：第2汲極區域

303：第3汲極區域

401：矽化金屬區域

501：接觸孔

601：（第1）金屬配線

701：基板接頭

801：外部連接端子

空白頁

七、申請專利範圍：

1.一種半導體裝置，其特徵為：

含有 ESD 保護用 MOS 電晶體，其係具備交互配置之複數汲極區域及複數源極區域、及配置於前述汲極區域與前述源極區域間之閘極，且具有複數電晶體一體化之構造，

前述汲極區域係電性連結於外部連接端子，

前述源極區域係電性連結於接地電位供應線，

形成於前述汲極區域之矽化金屬與閘極之距離，係對應於從前述 ESD 保護用 MOS 電晶體之基板接頭的距離，而以儘量遠之短距離來形成，

前述汲極區域上之接頭為複數列時，矽化金屬端與接觸孔之距離形成為一定。

2.一種半導體裝置，其特徵為：

含有 ESD 保護用 MOS 電晶體，其係具備交互配置之複數汲極區域及複數源極區域、及配置於前述汲極區域與前述源極區域間之閘極，且具有複數電晶體一體化之構造，

前述汲極區域係電性連結於外部連接端子，

前述源極區域係電性連結於接地電位供應線，

形成於前述汲極區域之矽化金屬與閘極之距離，係對應於前述 ESD 保護用 MOS 電晶體與外部連接端子之距離，以儘量遠之短距離來形成。

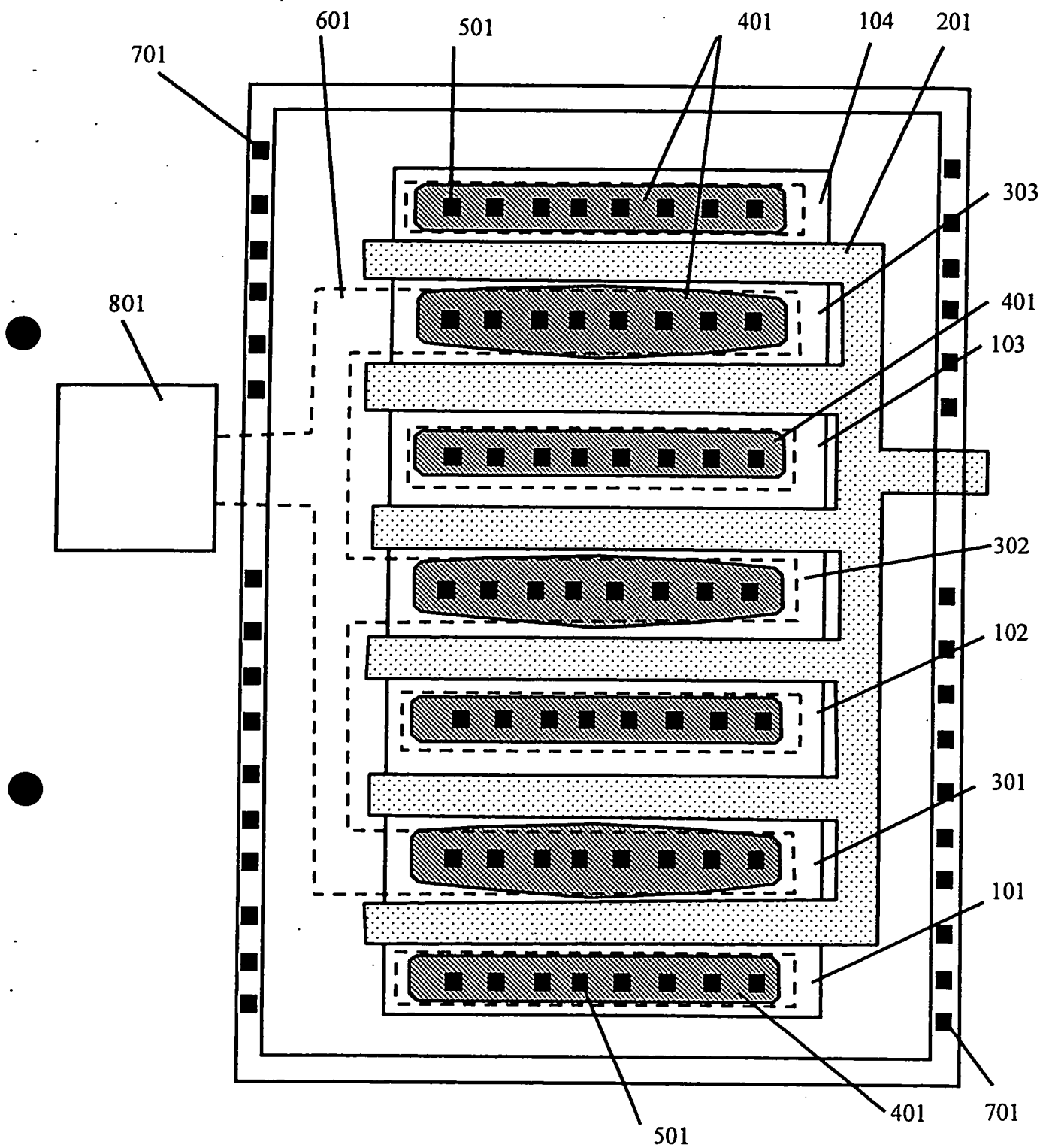
3.如申請專利範圍第 2 項所記載之半導體裝置，其中

前述汲極區域上之接頭為複數列時，矽化金屬端與接觸孔之距離形成為一定。

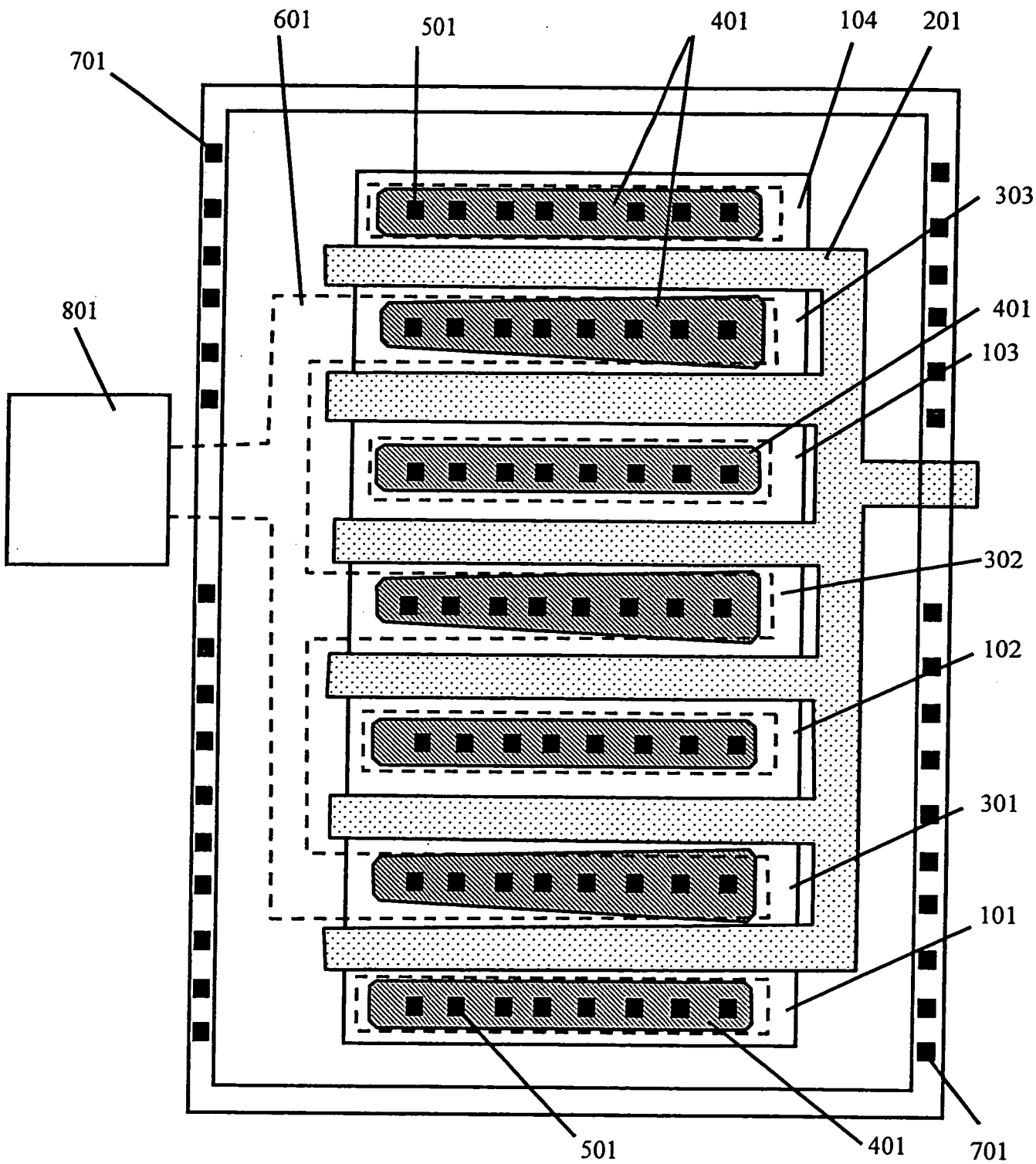
4.如申請專利範圍第1項所記載之半導體裝置，其中
前述矽化金屬含有Ti或Co。

5.如申請專利範圍第2項所記載之半導體裝置，其中
前述矽化金屬含有Ti或Co。

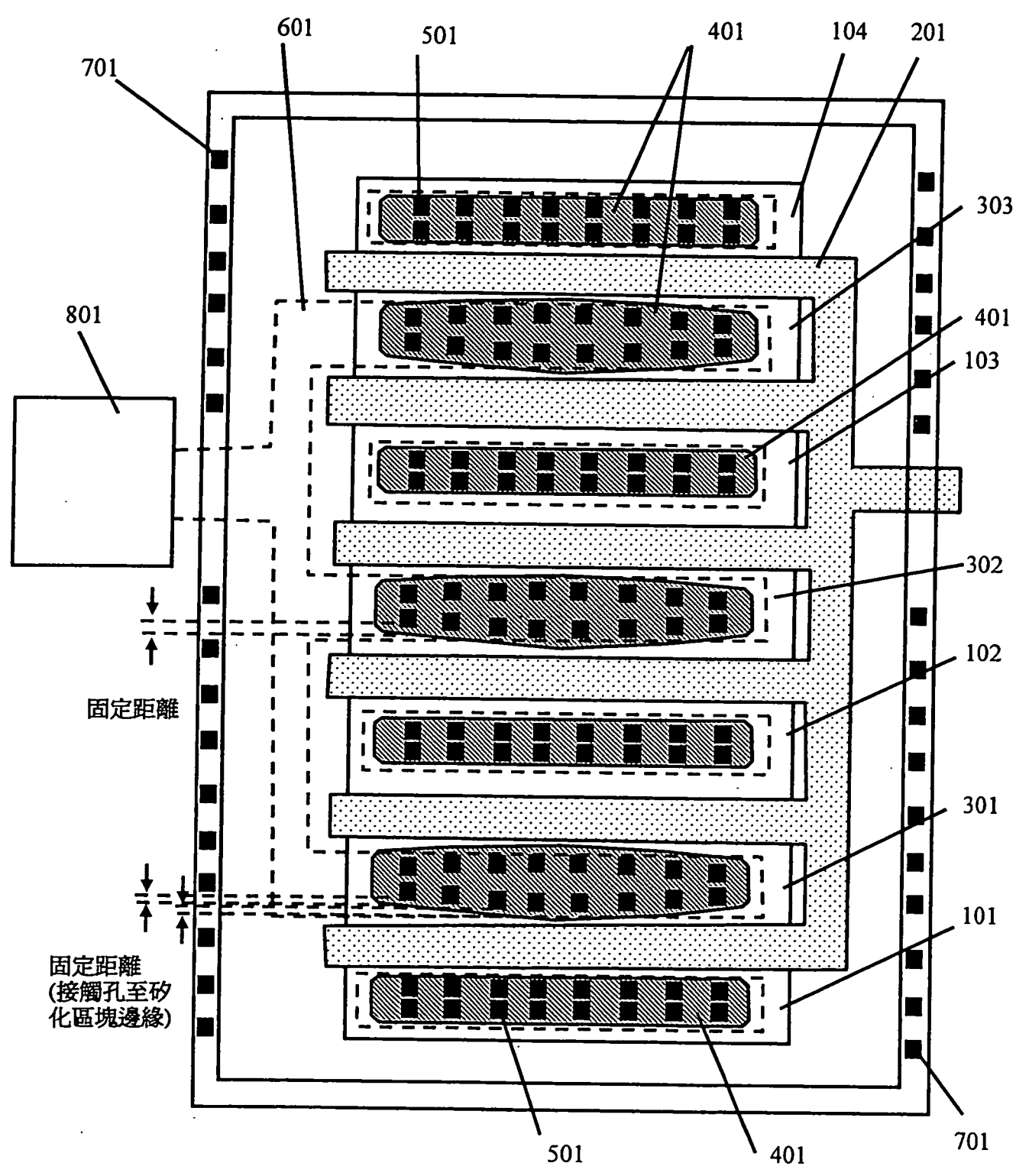
第1圖



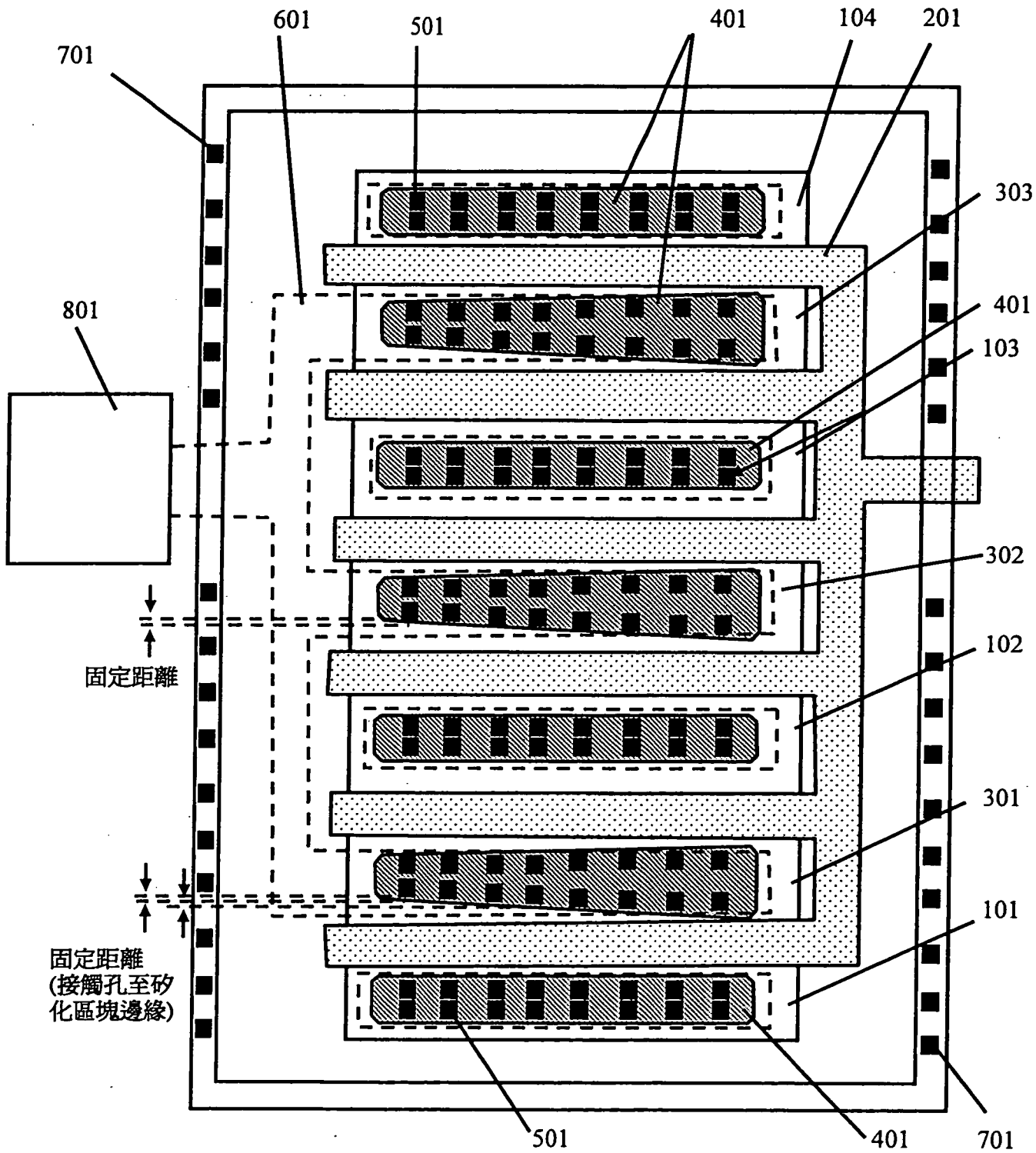
第2圖



第3圖



第4圖



第5圖

