

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)



(10) 国際公開番号

WO 2018/163566 A1

(51) 国際特許分類:

H05B 33/26 (2006.01) *H01L 51/50* (2006.01)
G09F 9/00 (2006.01) *H05B 33/10* (2006.01)
G09F 9/30 (2006.01) *H05B 33/12* (2006.01)
H01L 27/32 (2006.01) *H05B 33/22* (2006.01)

(21) 国際出願番号: PCT/JP2017/046005

(22) 国際出願日: 2017年12月21日(21.12.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-042560 2017年3月7日(07.03.2017) JP

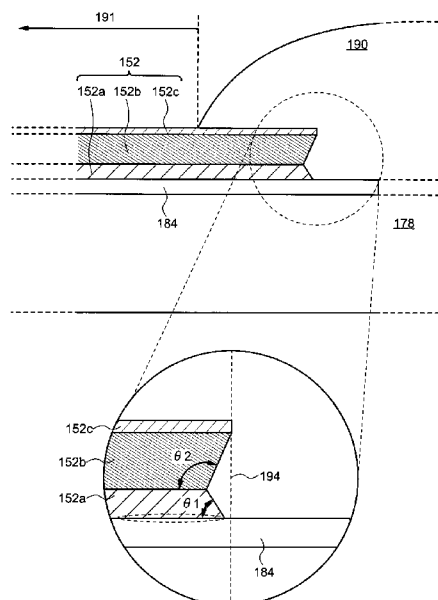
(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 観田 康克 (KANDA Noriyoshi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
會田 政勝 (KAIDA Masakazu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(54) Title: DISPLAY DEVICE AND MANUFACTURING METHOD FOR DISPLAY DEVICE

(54) 発明の名称: 表示装置、および表示装置の製造方法



(57) Abstract: This display device has pixels, and each pixel has a pixel electrode, an electroluminescent layer on the pixel electrode, and a counter electrode on the electroluminescent layer. Each pixel electrode has: a first conductive layer including a conductive oxide containing indium and zinc; a second conductive layer positioned on the first conductive layer, and containing silver; and a third conductive layer positioned on the second conductive layer, and including a conductive oxide containing indium and tin. The thickness of the first conductive layer is 2-5 times the thickness of the



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

third conductive layer.

(57) 要約: 表示装置は画素を有し、画素は画素電極、画素電極上の電界発光層、および電界発光層上の対向電極を有する。画素電極は、インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層、第1の導電層上に位置し、銀を含む第2の導電層、および第2の導電層上に位置し、インジウムとスズを含有する導電性酸化物を含む第3の導電層を有する。第1の導電層の厚さは、第3の導電層の厚さよりも2倍以上5倍以下である。

明 細 書

発明の名称：表示装置、および表示装置の製造方法

技術分野

[0001] 本発明は、表示装置、および表示装置の製造方法に関する。例えば、表示装置の画素電極、およびその製造方法に関する。

背景技術

[0002] 薄型ディスプレイなどの表示装置では、基板上に設けられる複数の画素のそれぞれに電極（画素電極）が設けられている。有機発光素子（以下、発光素子）などの電流駆動型の素子を有する表示装置では、画素電極を介して発光素子に電流が供給される。発光素子は、各画素に設けられるトランジスタなどの駆動素子を含む画素回路によって制御される。トップエミッション型の発光素子を用いる場合、発光素子からの発光は、トランジスタが配置された基板とは反対側の基板側から取り出される。この場合、画素回路に接続された画素電極には、発光素子からの光を透過する必要性が無いため、反射率の高い材料が用いられる。例えば特許文献1や2では、可視光の反射率が高いアルミニウムや銀を含む画素電極が開示されている。また特許文献2では、銀の薄膜を酸化インジウムスズ（ITO）で挟持した構造を有する画素電極が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-135325号公報

特許文献2：特開2012-123987号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明に係る実施形態の一つは、優れた表示品質を有する表示装置を高い歩留りで提供可能な画素電極の構造、およびその形成方法を提供することを目的の一つとする。あるいは、この構造を有する画素電極を含む表示装置を

提供することを目的の一つとする。

課題を解決するための手段

- [0005] 本発明の実施形態の一つは表示装置である。この表示装置は画素を有し、画素は画素電極、画素電極上の電界発光層、および電界発光層上の対向電極を有する。画素電極は、インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層、第1の導電層上に位置し、銀を含む第2の導電層、および第2の導電層上に位置し、インジウムとスズを含有する導電性酸化物を含む第3の導電層を有する。第1の導電層の厚さは、第3の導電層の厚さの2倍以上5倍以下である。
- [0006] 本発明の実施形態の一つは、表示装置の製造方法である。この製造方法は、窒素、酸素、およびケイ素を含有する絶縁膜上に画素電極を形成すること、画素電極上に電界発光層を形成すること、および電界発光層上に対向電極を形成することを含む。画素電極の形成は、インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層を形成すること、銀を含む第2の導電層を第1の導電層上に形成すること、インジウムとスズを含有する導電性酸化物を含む第3の導電層を第2の導電層上に形成すること、第3の導電層上にレジストを形成すること、レジストをマスクとして用いて第3の導電層をシュウ酸によってエッチングすること、レジストを除去すること、および第3の導電層をマスクとして用い、第1の導電層と第2の導電層を硝酸、酢酸、およびリン酸を含む水溶液によってエッチングすることを含む。
- [0007] 本発明の実施形態の一つは、表示装置の製造方法である。この製造方法は、窒素、酸素、およびケイ素を含有する絶縁膜上に画素電極を形成すること、画素電極上に電界発光層を形成すること、および電界発光層上に対向電極を形成することを含む。画素電極の形成は、インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層を形成すること、銀を含む第2の導電層を第1の導電層上に形成すること、インジウムとスズを含有する導電性酸化物を含む第3の導電層を第2の導電層上に形成すること、第3の導電層上にレジストを形成すること、レジストをマスクとして用い、第3の導電層をシュウ

酸によってエッチングすること、レジストと第3の導電層をマスクとして用い、第1の導電層と第2の導電層を硝酸、酢酸、およびリン酸を含む水溶液によってエッチングすることを含む。

図面の簡単な説明

- [0008] [図1]本発明の表示装置の模式的斜視図。
- [図2]本発明の表示装置の画素回路の等価回路の一例。
- [図3]本発明の表示装置の画素の模式的断面図。
- [図4]本発明の表示装置の画素の画素電極の模式的断面図。
- [図5]本発明の表示装置の画素の画素電極の模式的断面図。
- [図6A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図6B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図7A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図7B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図8A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図8B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図8C]本発明の表示装置の製造方法を説明する模式的断面図。
- [図9A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図9B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図10A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図10B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図11]本発明の表示装置の製造方法を説明する模式的断面図。
- [図12A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図12B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図13A]本発明の表示装置の製造方法を説明する模式的断面図。
- [図13B]本発明の表示装置の製造方法を説明する模式的断面図。
- [図14]本発明の表示装置の製造方法を説明する模式的断面図。
- [図15]比較例における表示装置の製造方法を説明する模式的断面図。
- [図16]比較例における表示装置の製造方法を説明する模式的断面図。

発明を実施するための形態

[0009] 以下、本発明の各実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0010] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0011] 本明細書と請求項において、ある一つの膜を加工して複数の膜を形成した場合、これら複数の膜は異なる機能、役割を有することがある。しかしながら、これら複数の膜は同一の工程で同一層として形成された膜に由来し、同一の材料を有する。したがって、これら複数の膜は同一層に存在しているものと定義する。

[0012] 本明細書および請求項において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0013] 本明細書および請求項において、「ある構造体が他の構造体から露出するという」という表現は、ある構造体の一部が他の構造体によって覆われていない態様を意味し、この他の構造体によって覆われていない部分は、さらに別の構造体によって覆われる態様も含む。

[0014] <第1実施形態>

[1. 全体構成]

本発明の一実施形態の表示装置100の模式的斜視図を図1に示す。表示装置100は、発光素子を表示素子として含む有機エレクトロルミネセン

ス（EL：Electro-Luminescence）表示装置である。

[0015] 図1に示すように表示装置100は、表示領域108、および走査線駆動回路110が配置された第1の基板102と、表示領域108および走査線駆動回路110を覆うように配置された第2の基板104を備えている。表示領域108や走査線駆動回路110からは図示しない配線が第1の基板102の一辺へ延び、第1の基板102の端部で露出されて端子114を形成する。端子114はフレキシブル印刷回路基板（FPC）116と電氣的に接続することができ、FPC116上には画素回路を制御するためのドライバIC112を搭載することができる。なお、ドライバIC112はFPC116上に設けずに第1の基板102上に搭載してもよく、ドライバIC112の代わりに駆動回路を第1の基板102上に形成してもよい。

[0016] 表示領域108には、複数の画素106がマトリクス状に配置される。各画素106には発光素子と発光素子を制御するための画素回路が設けられる。画素回路はトランジスタおよび容量などの種々の半導体素子を含み、走査線駆動回路110やドライバIC112を介して外部回路（図示せず）から供給される信号によって制御される。発光素子から得られる発光を制御することによって、表示領域108に画像が表示される。

[0017] 図2に、画素回路の一例を等価回路として示す。ここで示した例では、各画素回路は、走査線駆動回路110から延伸する第1の走査線120、第2の走査線122、第3の走査線124、およびドライバIC112側から延伸する映像信号線126や電源線128などの配線と電氣的に接続される。画素回路は、スイッチングトランジスタ130、出力トランジスタ132、リセットトランジスタ133、駆動トランジスタ134の四つのトランジスタ、および保持容量140、補助容量142の二つの容量を半導体素子として有している。これらは、上述した配線と直接、あるいは間接的に接続される。これらの半導体素子によって発光素子150が制御される。ここでは、発光素子150の陽極側には、電源線128に接続された高電位PVDDから電流が供給される。供給された電流は発光素子150の発光に寄与し、陰

極側に接続された低電位P V S Sへと流れる。図示しないが、画素回路は図2に示した構成に限られず、様々な構造を有する画素回路を表示装置100に適用することができる。

[0018] [2. 断面構造]

画素106の断面構造を用いて表示装置100の構造を説明する。図3に示す模式的断面図では、図2に示した画素回路のうち、発光素子150、駆動トランジスタ134、保持容量140、および補助容量142の断面が模式的に示されている。

[0019] 2-1. 画素回路

第1の基板102は、この上に形成される画素回路を支持する機能を有し、ガラスや石英、あるいは高分子を含むことができる。第2の基板104も第1の基板102と同様の材料を含むことができる。第1の基板102や第2の基板104にポリイミドやポリアミド、ポリカーボナートなどの高分子を用いることで、表示装置100に可撓性を付与することができ、いわゆるフレキシブルディスプレイを提供することも可能である。

[0020] 駆動トランジスタ134や保持容量140は、アンダーコート160を介して第1の基板102上に配置される。アンダーコート160は、第1の基板102からの不純物を防止したり、特に第1の基板102が高分子である場合などは、外部からの水分侵入を防止する役割を含む。アンダーコート160には、例えばケイ素を含む無機化合物を用いることができる。具体的には、窒化ケイ素膜、酸化ケイ素膜、窒化酸化ケイ素膜、酸化窒化ケイ素膜から選ばれた一を含む無機膜で形成される。図3ではアンダーコート160は単層構造を有する様に記載されているが、前述の膜の積層で形成されてもよい。

[0021] 駆動トランジスタ134は、半導体膜162、半導体膜162上のゲート絶縁膜164、ゲート絶縁膜164上のゲート電極166、ゲート電極166上の第1の層間膜168、第1の層間膜168上のソース／ドレイン電極170、172などを有する。半導体膜162は活性領域162a、活性領

域 1 6 2 a を挟持する低濃度不純物領域 1 6 2 b、およびこれらを挟持する高濃度不純物領域 1 6 2 c などを有することができる。図 3 では駆動トランジスタ 1 3 4 はトップゲート構造のトランジスタとして描かれているが、画素回路に設けられるトランジスタの構造に制約はなく、種々の構造のトランジスタを利用することができる。

[0022] 保持容量 1 4 0 は、半導体膜 1 6 2 の一部（高濃度不純物領域 1 6 2 c）、その上のゲート絶縁膜 1 6 4、ゲート電極 1 6 6 と同一層に存在する容量電極 1 7 4、容量電極 1 7 4 上の第 1 の層間膜 1 6 8、およびソース／ドレイン電極 1 7 2 の一部によって構成される。ここでゲート絶縁膜 1 6 4 と第 1 の層間膜 1 6 8 は保持容量 1 4 0 の誘電体として機能する。

[0023] 駆動トランジスタ 1 3 4 や保持容量 1 4 0 の上には、任意の構成として第 2 の層間膜 1 7 6 を設けてもよい。アンダーコート 1 6 0、ゲート絶縁膜 1 6 4、第 1 の層間膜 1 6 8、第 2 の層間膜 1 7 6 は、酸化ケイ素や窒化ケイ素、酸化窒化ケイ素、窒化酸化ケイ素などを含むことができる。これらの膜は単層構造を有していてもよく、積層構造を有していてもよい。

[0024] 駆動トランジスタ 1 3 4 や保持容量 1 4 0 の上にはさらに、平坦化膜 1 7 8 が設けられる。平坦化膜 1 7 8 によって駆動トランジスタ 1 3 4 や保持容量 1 4 0 などの半導体素子に起因する凹凸が吸収され、平坦な面を与えることができる。平坦化膜 1 7 8 は高分子を含むことができ、高分子としてはアクリル樹脂やエポキシ樹脂、ポリシロキサン、ポリイミド、ポリアミドなどが例示される。

[0025] 平坦化膜 1 7 8 や第 2 の層間膜 1 7 6 には、ソース／ドレイン電極 1 7 2 に達する開口が設けられ、この開口と平坦化膜 1 7 8 の一部を覆う接続電極 1 8 0 がソース／ドレイン電極 1 7 2 と接するように設けられる。平坦化膜 1 7 8 上にはさらに、補助容量電極 1 8 2 が設けられ、接続電極 1 8 0 と補助容量電極 1 8 2 を覆うように絶縁膜 1 8 4 が形成される。絶縁膜 1 8 4 は、平坦化膜 1 7 8 に設けられた開口では接続電極 1 8 0 の一部を覆わず、接続電極 1 8 0 の底面を露出する。これにより、その上に設けられる画素電極

152と接続電極180間の電氣的接続が可能となる。絶縁膜184には、その上に設けられる隔壁190と平坦化膜178の接触を許容するための開口186を設けてもよい。絶縁膜184は上述したケイ素含有無機化合物を用いることができ、典型的には窒素、酸素、ケイ素を含む窒化ケイ素が用いられる。なお、接続電極180や開口186の形成は任意である。接続電極180を設けることで、引き続くプロセスにおいてソース／ドレイン電極172の表面の酸化を防止することができ、これによる接触抵抗の増大を抑制することができる。開口186は、平坦化膜178から水や酸素などの不純物を放出するための開口として機能することができ、これを設けることで画素回路中の半導体素子や発光素子150の信頼性を向上させることができる。

[0026] 絶縁膜184上には、接続電極180と補助容量電極182を覆うように、発光素子150の画素電極152が設けられる。画素電極152は、平坦化膜178に設けられる開口において、接続電極180を介してソース／ドレイン電極172と電氣的に接続される。絶縁膜184は補助容量電極182と画素電極152によって挟持され、この構造によって補助容量142が構築される。補助容量142、および保持容量140が有する容量により、ゲート電極166の電位を安定化させることができる。画素電極152は、補助容量142と発光素子150によって共有される。

[0027] 2-2. 発光素子

画素電極152の上には、画素電極152の端部を覆う隔壁190が設けられる。画素電極152は、隔壁190に覆われた部分以外は隔壁190から露出している。換言すると、隔壁190は開口部を有する絶縁膜であり、開口部において画素電極152は隔壁190から露出され、後述する電界発光層154と接する。隔壁190はアクリル樹脂やエポキシ樹脂などの高分子を含むことができ、隣接する画素106間を電氣的に絶縁するとともに、平坦化膜178に設けられた開口や補助容量電極182、画素電極152などに起因する凹凸を吸収する機能を有する。

[0028] 画素電極 152 の端部の構造を図 4 に示す。図 4 は図 3 における領域 192 の拡大図である。図 4 に示すように、画素電極 152 は三層構造を有する。具体的には、画素電極 152 は、絶縁膜 184 の上面に接する第 1 の導電層 152 a、第 1 の導電層 152 a 上で第 1 の導電層 152 a と接する第 2 の導電層 152 b、および第 2 の導電層 152 b 上で第 2 の導電層 152 b と接する第 3 の導電層 152 c によって構成される。

[0029] 第 1 の導電層 152 a は導電性を有し、かつその下に位置する絶縁膜 184 に対し、良好な接着性を有する材料を含むことが好ましい。さらに、第 3 の導電層 152 c に含まれる材料と比較して、同条件下、同一のエッチャントを用いた場合のエッチング速度が大きい材料を含むことが好ましい。好ましくは、第 1 の導電層 152 a のエッチング速度は、第 3 の導電層 152 c のその 3 倍以上 50 倍以下、3 倍以上 20 倍以下、あるいは 3 倍以上 15 倍以下である。具体的には、インジウム、および亜鉛を含む導電性酸化物（IZO）を第 1 の導電層 152 a に用いることができる。インジウムと亜鉛の組成比は任意であり、この組成比は必ずしも実質的に整数比である必要は無い。上述したエッチャントとしては、リン酸、酢酸、および硝酸を含む水溶液、シュウ酸水溶液などが挙げられる。前者は混酸とも呼ばれ、例えば、リン酸が 30 vol%～70 vol%、硝酸が 0.3 vol%～10 vol%、酢酸が 20 vol%～50 vol% の範囲で調製される。

[0030] 第 1 の導電層 152 a は比較的大きな厚さを有することができる。具体的には、後述する第 1 の導電層 152 a と第 2 の導電層 152 c のエッチング後において、30 nm 以上 100 nm 以下、40 nm 以上 100 nm 以下、あるいは 50 nm 以上 100 nm 以下、典型的には 50 nm の厚さを有するように、第 1 の導電層 152 a が形成される。後述するように、第 2 の導電層 152 b には銀、あるいはその合金を用いることができる。しかしながら、絶縁膜 184 に窒化ケイ素が含まれる場合、銀と窒化ケイ素は接着力が弱い。このため、第 1 の導電層 152 a を用いずに第 2 の導電層 152 b を絶縁膜 184 上に形成すると、画素電極 152 の剥離が生じやすい。これに対

し、 IZO などの酸化物は比較的窒化ケイ素との接着力が高いため、第1の導電層152aを用いることで、画素電極152の剥離を防止することができる。また、上述した厚さで第1の導電層152aを形成することで、絶縁膜184との高い接着力を得ることができる。

[0031] 第2の導電層152bは、可視光に対する反射率が高いことが好ましく、例えば0価の銀やアルミニウム、あるいはこれらの合金を含むことができる。第2の導電層152bの厚さは、100nm以上200nm、120nm以上160nm、あるいは120nm以上140nm、典型的には130nmとすることができる。このような厚さは可視光の透過を許容しないため、第2の導電層152bは高い反射率を示す。このため、発光素子150から得られる発光が効率よく反射し、第2の基板104を通して取り出すことが可能となる。

[0032] 第3の導電層152cは可視光に対して透過性を有し、典型的にはITOを含むことができる。第3の導電層152cの厚さは5nm以上25nm以下、あるいは10nm以上20nm以下、典型的には15nmとすることができる。第3の導電層152cの厚さは、第1の導電層152aの厚さよりも小さくすることが好ましく、第1の導電層152aの厚さの $1/5$ 以上 $1/2$ 以下、 $1/4$ 以上 $1/2$ 以下、あるいは $1/4$ 以上 $1/3$ 以下とすることができる。例えば第1の導電層152aの厚さが50nmの時、第3の導電層152cの厚さを15nmに設定することができる。

[0033] また、端部が順テーパー構造を有するよう、第1の導電層152aを形成することができる。すなわち第1の導電層152aの端部のテーパー角 θ_1 が 0° よりも大きく、 90° よりも小さくなるよう、第1の導電層152aを形成することができる。ここで、膜のテーパー角とは、互いに接するように積層された二つの膜の断面において、二つの膜が共有する辺（以下、共有辺）と、上側の膜の側面が形成する角度を意味する。この角度が 0° よりも大きく 90° よりも小さい時、上側の膜は順テーパー構造を有すると定義する。逆に、この角度が 90° よりも大きく 180° よりも小さい場合、上側の

膜は逆テーパ構造を有すると定義する。したがって図4の拡大断面図に示すように、第1の導電層152aとその下側の絶縁膜184の共有辺は、図中の点線の楕円で囲った辺であり、共有辺と第1の導電層152aの側面がなす角度がテーパ角 $\theta 1$ である。上述したように、 $\theta 1$ は 0° よりも大きく、 90° よりも小さくすることができる。

[0034] 一方、第2の導電層152bは、逆テーパ構造を有することができ、そのテーパ角 $\theta 2$ は 90° よりも大きく 180° よりも小さくすることができる。なお、第1の導電層152a、第2の導電層152bは、これらの全体が第3の導電層152cに覆われるよう、画素電極152を形成してもよい。この場合、図4に示すように、第3の導電層152cの端部と比較し、第1の導電層152a、第2の導電層152bの端部は隔壁190の開口部191により近く位置する。換言すると、第3の導電層152cの端部を通る法線194が第1の導電層152a、第2の導電層152bと交差、あるいは貫通しないよう、画素電極152を形成することができる。

[0035] なお、第1の導電層152aや第2の導電層152bの側面は、必ずしも図4に示すように断面において直線を与える必要は無い。例えば図5に示すように、これらの側面は曲面でも良く、断面において曲線によって表されてもよい。この場合、断面における側面上の任意の接線と共有辺とのなす角がテーパ角となる。

[0036] 図3を参照すると、画素電極152、隔壁190を覆うように発光素子150の電界発光層（以下、EL層）154、およびその上の対向電極156が設けられる。画素電極152、EL層154、対向電極156によって発光素子150が形成される。本明細書と請求項においてEL層154とは、画素電極152と対向電極156の間に設けられる層全体を指す。画素電極152と対向電極156からEL層154に電荷（電子、ホール）が注入され、電荷の再結合によって生じる励起状態からの輻射失活過程により発光が得られる。

[0037] 図3では、EL層154は単層の構造を有するように示されているが、E

L層154は複数の層から構成することができ、例えば電荷注入層、電荷輸送層、発光層、電荷ブロック層、励起子ブロック層など、種々の機能を有する層を組み合わせ形成することができる。EL層154の構造は、すべての画素106間で同一でも良く、隣接する画素106間で構造が異なるようにEL層154を形成してもよい。例えば発光層の構造や材料を隣接する画素106間で異なるようにEL層154を形成することで、隣接する画素106から発光色が異なる発光を得ることができる。すべての画素106において同一のEL層154を用いる場合には、第2の基板104にカラーフィルタを設けることで、複数の発光色を得ることが可能となる。

[0038] 対向電極156は可視光に対して透過性を有し、例えばITOやIZOなどの透光性を有する導電性酸化物を用いて形成することができる。あるいは銀やアルミニウム、あるいはこれらの合金を可視光が透過可能な厚さで形成することで、対向電極156を形成してもよい。

[0039] 2-3. その他の構成

任意の構成として、発光素子150上に保護膜（以下、パッシベーション膜）200を設けてもよい。パッシベーション膜200の構造は任意に選択することができるが、例えば図3に示すように、無機化合物を含む第1の層202、有機化合物を含む第2の層204、および無機化合物を含む第3の層206を含む積層構造をパッシベーション膜200に適用することができる。この場合、無機化合物としては上述したケイ素を含有する無機化合物を使用することができる。有機化合物としては、エポキシ樹脂やアクリル樹脂などの高分子を使用することができる。

[0040] 第2の基板104はシール材210を用いて、発光素子150や画素回路を挟持するよう、第1の基板102に固定される。これにより、発光素子150や画素回路が封止される。

[0041] 上述したように、表示装置100の画素106の画素電極152では、第1の導電層152aの厚さが比較的大きい。したがって、第1の導電層152aと、これと接する絶縁膜184との間で高い密着性を確保することがで

きる。このため、表示装置 100 の製造プロセスにおいて画素電極 152 のすべて、あるいは一部が剥離することがなく、断線や異物の発生による不良を効果的に抑制することができ、表示装置 100 の歩留りや信頼性を向上させることができる。

[0042] 一方、第 3 の導電層 152 c は、上述したように第 2 の導電層 152 b において反射した光を透過する機能を有し、ITO や IZO などを含むことができる。しかしながら、ITO や IZO は可視光領域にある程度の吸収を有する。このため、上述したように第 3 の導電層 152 c の厚さを小さくすることで、第 3 の導電層 152 c による吸収の影響を小さくすることができる。その結果、発光素子 150 の効率低下を防ぐことができ、表示装置 100 の消費電力を低減することができる。また、第 3 の導電層 152 c の厚さを小さくすることで、EL 層 154 と第 2 の導電層 152 b 間の光学距離を小さくすることができる。このため、EL 層 154 からの発光の干渉に対する第 3 の導電層 152 c の寄与を小さくすることができ、発光素子 150 の光学設計を EL 層 154 の構造によって容易に行うことができる。

[0043] さらに第 2 実施形態で述べるように、第 1 の導電層 152 a に含まれる材料と第 3 の導電層 152 c に含まれる材料のエッチング速度を上述したように調整することで、エッチング工程に起因する異物の発生を効果的に抑制することができる。このため、本実施形態を適用することで、高い信頼性を有する表示装置を歩留まり良く製造することが可能となる。

[0044] <第 2 実施形態>

本実施形態では、表示装置 100 の製造方法に関し、主に画素電極 152 の作製方法を中心に説明する。第 1 実施形態と同様の構成については説明を割愛することがある。

[0045] 図 6 A は図 3 に対応する断面図であり、ここでは第 1 の基板 102 上に駆動トランジスタ 134 と保持容量 140、およびこれらの上に平坦化膜 178 までが形成された状態が示されている。駆動トランジスタ 134 や保持容量 140、および平坦化膜 178 は、既に知られた材料、方法を適用して形

成できるため、説明は割愛する。

[0046] [1. 補助容量]

平坦化膜 178 に対してエッチングを行い、ソース／ドレイン電極 172 を露出するための開口を形成する。その後、この開口を覆い、ソース／ドレイン電極 172 と接するように、平坦化膜 178 上に接続電極 180 を形成する（図 6 B）。接続電極 180 は、ITO や IZO などの透光性を有する導電性酸化物を用い、スパッタリング法によって形成すればよい。

[0047] 引き続き、補助容量電極 182 を平坦化膜 178 上に形成する（図 7 A）。補助容量電極 182 は、チタンやタングステン、モリブデン、アルミニウム、銅などを含むことができ、単層構造、あるいは積層構造で形成することができる。典型的には、スパッタリング法、あるいは有機金属化学気相堆積法（MOCVD 法）などを適用して補助容量電極 182 が形成される。

[0048] 補助容量電極 182 上には、補助容量 142 の誘電体として機能する絶縁膜 184 を形成する。絶縁膜 184 は化学気相堆積法（CVD 法）を適用して形成すればよく、上述したように、窒化ケイ素などのケイ素含有無機化合物を含むことができる。絶縁膜 184 は接続電極 180 や補助容量電極 182 を覆うように形成されたのちエッチングに供され、これにより、接続電極 180 の底面が露出され、開口 186 が形成される。ここまでの工程により、補助容量 142 の補助容量電極 182 と絶縁膜 184 が形成される。

[0049] [2. 画素電極]

その後、絶縁膜 184 上に、画素電極 152 を形成する。具体的には、第 1 の導電層 152 a を絶縁膜 184 に接するように形成する。この時、第 1 の導電層 152 a は接続電極 180 と接するように形成される（図 7 B）。例えば第 1 の導電層 152 a は、IZO をターゲットとして用いるスパッタリング法を適用し、第 1 実施形態で述べた厚さで形成すればよい。

[0050] 次に、図 7 B の点線で囲った領域の拡大図（図 8 A）に示すように、第 1 の導電層 152 a 上に第 2 の導電層 152 b、第 3 の導電層 152 c を順次形成する。第 2 の導電層 152 b は、例えば銀あるいはその合金を含むこと

ができ、蒸着法、スパッタリング法、あるいはMOCVD法などを適用して形成される。第3の導電層152cは、例えばITOをターゲットとして用いるスパッタリング法を適用し、第1実施形態で述べた厚さで形成することができる。

[0051] 引き続き、レジスト158を第3の導電層152cに接するように形成する(図8B)。このレジスト158のパターンは、画素電極152の形状に対応する。続いてレジスト158をマスクとして用い、第3の導電層152cを優先的にパターニングする(図8C)。この例では、シュウ酸をエッチャントとして用いるウエットエッチングにより、第3の導電層152cをパターニングする。ここで、銀のシュウ酸におけるエッチング速度と比較してITOのそれは大幅に大きい。このため、レジスト158から露出された領域では、第2の導電層152b、およびこれに覆われる第1の導電層152aはほとんどエッチングされず、ほぼ初期の形状を保つのに対し、第3の導電層152cが優先的にパターニングされる。

[0052] 次に、レジスト158を除去し(図9A)、露出した第3の導電層152cをマスクとして第2の導電層152bと第1の導電層152aに対して同時にエッチングを行う。具体的には、混酸をエッチャントとして用いてエッチングを行う。銀は混酸によってエッチングを受けると同時に、第3の導電層152cを形成するITOも混酸に曝されてエッチングを受けるが、ITOのエッチング速度は銀やIZOのそれよりも小さいため、第3の導電層152cの厚さの減少は生じるものの、その面積はほとんど変化せず、第2の導電層152bが優先的にパターニングされる。一方、IZOの混酸によるエッチング速度はITOのそれと比較して大きい。このため、第1の導電層152aの厚さが第3の導電層152cと比較して大きい場合であっても、第3の導電層152cの厚さが大きく減少することなく、第1の導電層152aが第3の導電層152cの形状に対応するようにパターニングされる(図9B)。

[0053] このように、混酸に対するエッチング速度の差を利用することで、比較的

小さい厚さを有する第3の導電層152cをマスクとして用いても、その平面形状をほぼ維持したまま、第1の導電層152aと第2の導電層152bをパターンニングすることができる。これにより、レジスト158のパターンに対応するように画素電極152を形成することができる。なお、理由は明らかではないものの、この方法により、図9Bに示すように、第1の導電層152aが順テーパー構造を有し、第2の導電層152bが逆テーパー構造を有する画素電極152が得られることが、発明者らによって実験的に確認されている。

[0054] [3. その他の構成]

次に、画素電極152の端部を覆うように隔壁190を形成する（図10A）。隔壁190はアクリル樹脂やエポキシ樹脂、ポリイミド、ポリシロキサンなどの高分子を用い、スピンコーティング法やインクジェット法、スプレー法などの湿式成膜法によって形成される。

[0055] 引き続き、画素電極152と隔壁190と重なるようにEL層154と対向電極156を順次形成する（図10B）。EL層154は蒸着法、あるいは湿式成膜法により、対向電極156は蒸着法、あるいはスパッタリング法によって形成することができる。これにより、発光素子150が形成される。

[0056] 任意の構成として、発光素子150上にパッシベーション膜200を形成してもよい。第1実施形態で述べた三層構造を有するパッシベーション膜200を形成する場合には、例えば第1の層202をCVD法を用いて形成した後に、第2の層204を湿式成膜法によって形成し、引き続き第3の層206をCVD法を適用して形成すればよい（図11）。その後、シール材210を用いて第2の基板104を第1の基板102上に固定することで、図3に示す表示装置100が得られる。

[0057] [4. 変形例1]

上述した製造方法では、画素電極152は、第3の導電層152cをパターンニングした後にレジスト158を除去し、その後第1の導電層152aと

第2の導電層152bをパターニングすることで形成される。本実施形態はこの方法に限られず、異なる方法でも画素電極152を形成することができる。

[0058] 具体的には図12A、図12Bに示すように、画素電極152に対応する領域にレジスト158を形成した後に、レジスト158をマスクとして、シュウ酸をエッチャントとして用いて第3の導電層152cを優先的にパターニングする。その後、レジスト158を除去することなく、混酸を用いて第1の導電層152aと第2の導電層152bをパターニングする（図13A）。最後にレジスト158を除去することで画素電極152が得られる（図13B）。

[0059] [5. 変形例2]

前述のように、第1の導電層152aをIZO、第2の導電層152bを銀、および第3の導電層152cをITOで形成する場合、これら三層を、混酸を用いて一括エッチングによりパターニングすることも可能である。

[0060] 図12Aに示した状態から、混酸を用いて第3の導電層152cをエッチングした後、続けて第2の導電層152b、さらに第1の導電層152aをエッチングする。このとき、第3の導電層152cの混酸に対するエッチング速度は、第3の導電層152cのシュウ酸に対するエッチング速度よりも低いため、前述の実施形態に比べてややエッチング時間は延びるが、問題無くパターニングが可能である。また、第3の導電層152cの混酸に対するエッチング速度は、第2の導電層152bの混酸に対するエッチング速度よりもはるかに小さく、第1の導電層152aの混酸に対するエッチング速度よりも小さいため、第2の導電層152b、第1の導電層152aのパターニングを通じて、第3の導電層152cは十分にその形状を保つことができる（図13A）。

[0061] 以上により、混酸のみを用いてのパターニングであっても、最終的に図13Bに示すような画素電極152の形状が得られる。

[0062] [6. 比較例]

上述したように、本実施形態の画素電極 152 の作製方法では、第 1 の導電層 152 a と第 3 の導電層 152 c にそれぞれ IZO、ITO を用い、第 3 の導電層 152 c を第 1 の導電層 152 a よりも小さな厚さを有するように形成する。その後第 3 の導電層 152 c のシュウ酸によるエッチングを行う。引き続き第 3 の導電層 152 c をマスクとして用い、混酸によるエッチングを第 1 の導電層 152 a と第 2 の導電層 152 b の両者に対して同時に行う。

[0063] これに対し、第 1 の導電層 152 a に ITO を用いた場合、混酸による ITO のエッチング速度は IZO のそれと比較して小さいため、第 1 の導電層 152 a と第 2 の導電層 152 b のエッチングに長時間を要することになる。この場合、薄い第 3 の導電層 152 c も厚い第 1 の導電層 152 a とほぼ同一のエッチング速度でエッチングされるため、図 14 に示すように、第 3 の導電層 152 c が消失する。したがって、EL 層 154 は直接第 2 の導電層 152 b と接することになり、電荷注入性に大きな影響を及ぼす。

[0064] 第 3 の導電層 152 c をパターニングした後に変形例を適用した場合、すなわち、第 3 の導電層 152 c のパターニング後にレジスト 158 を除去せず、第 1 の導電層 152 a と第 2 の導電層 152 b を混酸でパターニングした場合、図 15 に示すように、レジスト 158 に覆われた第 3 の導電層 152 c を残すことができる。しかしながら第 1 の導電層 152 a のエッチングに長時間を要するため、レジスト 158 の膨潤や剥離によるパターニング精度の低下が生じる。また、長時間のエッチングに起因して第 2 の導電層 152 b のサイドエッチングが無視できなくなり、図 15 に示すように、第 2 の導電層 152 b の端部が第 1 の導電層 152 a や第 3 の導電層 152 c の端部の内側へ後退する。その結果、第 3 の導電層 152 c の一部は第 2 の導電層 152 b の端部から突き出し、第 2 の導電層 152 b に対して庇のような形状（バイザー）196 が形成される。

[0065] このようなバイザー 196 が、その後の工程で破損して導電性の異物として第 1 の基板 102 上に残存すると、隣接する画素電極 152 間のショート

、画素電極 152 と対向電極 156 間のショートなどの不良を引き起こす原因となる。その結果、表示装置 100 の歩留りや信頼性が低下する。

[0066] 一方、第 3 の導電層 152c をパターニングした後にレジスト 158 を残したまま混酸によるエッチングを短時間で行うことにより（図 15 の上図参照）、図 16 に示すように、第 2 の導電層 152b を選択的にエッチングすることができる。これは、ITO と比較して第 2 の導電層 152b に含まれる銀は、混酸に対して大きなエッチング速度を有するからである。その後、シュウ酸を用いて第 1 の導電層 152a をエッチングすることで、第 1 の導電層 152a をパターニングすることができる。しかしながらこの場合、第 1 の導電層 152a のサイドエッチングが進行し、図 16 に示すように、第 1 の導電層 152a の側面が第 2 の導電層 152b の側面から大きく後退してしまうことが発明者らによって実験的に確認されている。このような構造が形成されると、バイザー 196 が脱落して他所に再付着することにより、ショート不良の原因となり、減点不良となることで歩留まりや信頼性の低下に至る。したがって、本実施形態のように第 1 の導電層 152a に IZO を用いることで、ITO を用いた場合と比較して高い歩留りを得ることができる。

[0067] 以上述べたように、本実施形態の画素電極 152 の作製方法を用いることで、高い信頼性を有する表示装置 100 を歩留まり良く製造することが可能となる。また、第 3 の導電層 152c の小さな厚さに起因し、発光効率の低下を招くことなく各画素 106 における発光素子 150 の光学設計を容易に行うことができる。このため、色純度に優れた発光素子 150 を配置し、高品質な画像を提供可能な表示装置を提供することができる。

[0068] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0069] 本明細書においては、開示例として主にEL表示装置の場合を例示したが、他の適用例として、その他の自発光型表示装置、液晶表示装置、あるいは電気泳動素子などを有する電子ペーパー型表示装置など、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型から大型まで、特に限定することなく適用が可能である。

[0070] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0071] 100：表示装置、102：第1の基板、104：第2の基板、106：画素、108：表示領域、110：走査線駆動回路、114：端子、116：FPC、120：第1の走査線、122：第2の走査線、124：リセット信号線、126：映像信号線、128：電源線、130：スイッチングトランジスタ、132：出力トランジスタ、134：駆動トランジスタ、140：保持容量、142：補助容量、150：発光素子、152：画素電極、152a：第1の導電層、152b：第2の導電層、152c：第3の導電層、154：EL層、156：対向電極、158：レジスト、160：アンダーコート、162：半導体膜、162a：活性領域、162b：低濃度不純物領域、162c：高濃度不純物領域、164：ゲート絶縁膜、166：ゲート電極、168：第1の層間膜、170：ソース／ドレイン電極、172：ソース／ドレイン電極、174：容量電極、176：第2の層間膜、178：平坦化膜、180：接続電極、182：補助容量電極、184：絶縁膜、186：開口、190：隔壁、191：開口部、192：領域、194：法線、196：バイザー、200：パッシベーション膜、202：第1の層、204：第2の層、206：第3の層、210：シール材

請求の範囲

- [請求項1] 画素電極と、
前記画素電極上の電界発光層と、
前記電界発光層上の対向電極とを有する画素を有し、
前記画素電極は、
インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層と、
前記第1の導電層上に位置し、銀を含む第2の導電層と、
前記第2の導電層上に位置し、インジウムとスズを含有する導電性酸化物を含む第3の導電層を有し、
前記第1の導電層の厚さは、前記第3の導電層の厚さの2倍以上5倍以下である表示装置。
- [請求項2] 前記第1の導電層の前記厚さは、50nm以上100nm以下である、請求項1に記載の表示装置。
- [請求項3] 前記第3の導電層の前記厚さは、10nm以上20nm以下である、請求項1に記載の表示装置。
- [請求項4] 前記第1の導電層は順テーパー構造を有し、
前記第3の導電層は逆テーパー構造を有する、請求項1に記載の表示装置。
- [請求項5] 前記画素は、前記画素電極の端部を覆い、前記画素電極を露出する開口部を有する隔壁をさらに有し、
前記第1の導電層と前記第2の導電層は、前記第3の導電層よりも端部が前記開口部に近い、請求項1に記載の表示装置。
- [請求項6] 窒素、酸素、およびケイ素を含有する絶縁膜上に画素電極を形成すること、
前記画素電極上に電界発光層を形成すること、および
前記電界発光層上に対向電極を形成することを含み、
前記画素電極の形成は、

インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層を形成すること、

銀を含む第2の導電層を前記第1の導電層上に形成すること、

インジウムとスズを含有する導電性酸化物を含む第3の導電層を前記第2の導電層上に形成すること、

前記第3の導電層上にレジストを形成すること、

前記レジストをマスクとして用い、前記第3の導電層をシュウ酸によってエッチングすること、

前記レジストを除去すること、および

前記第3の導電層をマスクとして用い、前記第1の導電層と前記第2の導電層を硝酸、酢酸、およびリン酸を含む水溶液によってエッチングすることを含む、表示装置の製造方法。

[請求項7] 前記画素電極の形成は、

前記第1の導電層の厚さを50nm以上100nm以下とし、

前記第1の導電層と前記第3の導電層の前記エッチング後における前記第3の導電層の厚さが10nm以上20nm以下になるように行う、請求項6に記載の製造方法。

[請求項8] 前記第1の導電層と前記第2の導電層の前記エッチングは、前記第1の導電層が順テーパー構造を有し、前記第2の導電層が逆テーパー構造を有するように行う、請求項6に記載の製造方法。

[請求項9] 前記画素電極の端部を覆い、前記画素電極を露出する開口部を有する隔壁を形成することをさらに含み、

前記第1の導電層と前記第2の導電層の前記エッチングは、前記第1の導電層と前記第2の導電層が、前記第3の導電層よりも端部が前記開口部に近くなるように行う、請求項6に記載の製造方法。

[請求項10] 窒素、酸素、およびケイ素を含有する絶縁膜上に画素電極を形成すること、

前記画素電極上に電界発光層を形成すること、および

前記電界発光層上に対向電極を形成することを含み、

前記画素電極の形成は、

インジウムと亜鉛を含有する導電性酸化物を含む第1の導電層を形成すること、

銀を含む第2の導電層を前記第1の導電層上に形成すること、

インジウムとスズを含有する導電性酸化物を含む第3の導電層を前記第2の導電層上に形成すること、

前記第3の導電層上にレジストを形成すること、

前記レジストをマスクとして用い、前記第3の導電層をシュウ酸によってエッチングすること、

前記レジストと前記第3の導電層をマスクとして用い、前記第1の導電層と前記第2の導電層を硝酸、酢酸、およびリン酸を含む水溶液によってエッチングすることを含む、表示装置の製造方法。

[請求項11]

前記画素電極の形成は、

前記第1の導電層の厚さを50nm以上100nm以下とし、

前記第1の導電層と前記第2の導電層の前記エッチング後における前記第3の導電層の厚さが10nm以上20nm以下になるように行う、請求項10に記載の製造方法。

[請求項12]

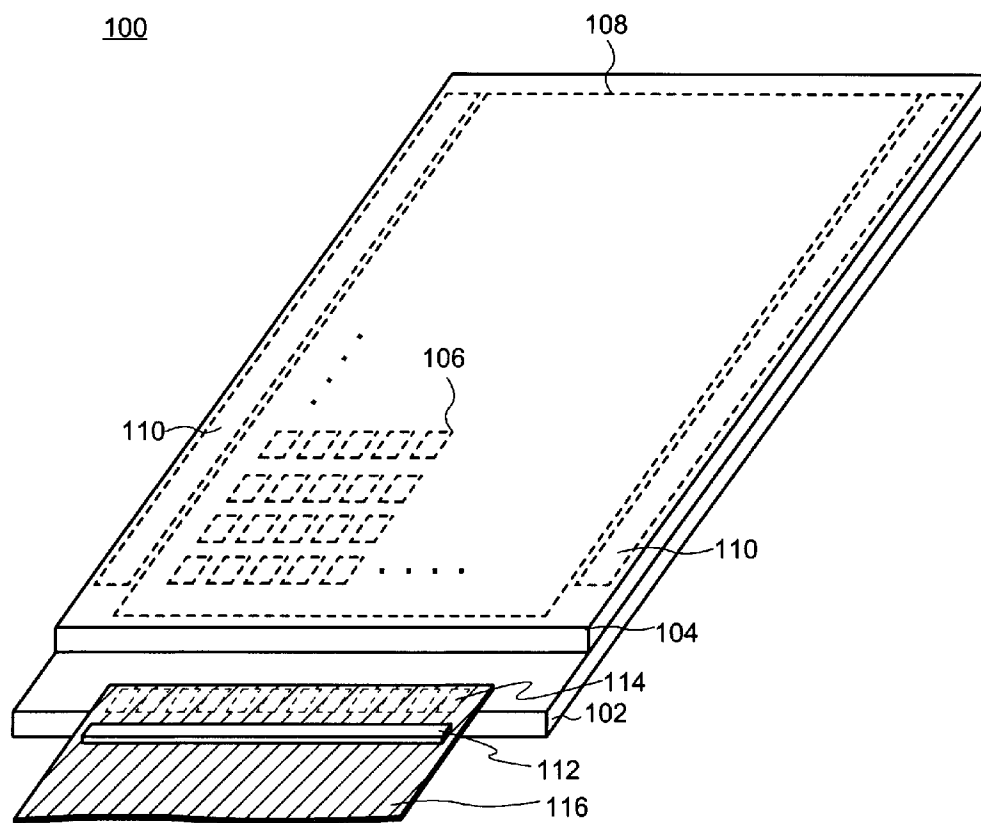
前記第1の導電層と前記第2の導電層の前記エッチングは、前記第1の導電層が順テーパー構造を有し、前記第2の導電層が逆テーパー構造を有するように行う、請求項10に記載の製造方法。

[請求項13]

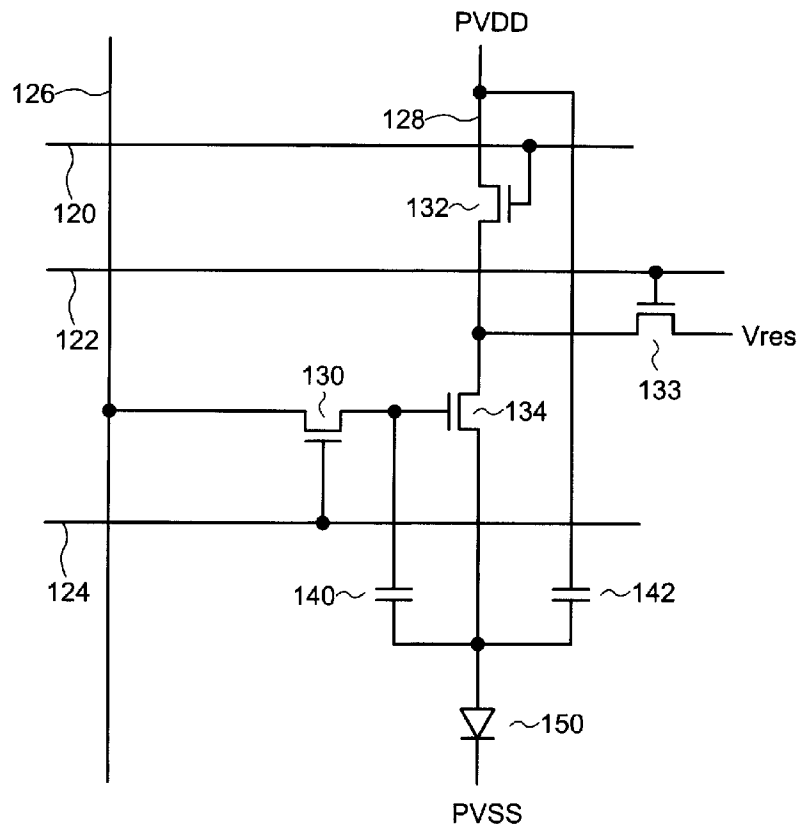
前記画素電極の端部を覆い、前記画素電極を露出する開口部を有する隔壁を形成することをさらに含み、

前記第1の導電層と前記第2の導電層の前記エッチングは、前記第1の導電層と前記第2の導電層が、前記第3の導電層よりも端部が前記開口部に近くなるように行う、請求項10に記載の製造方法。

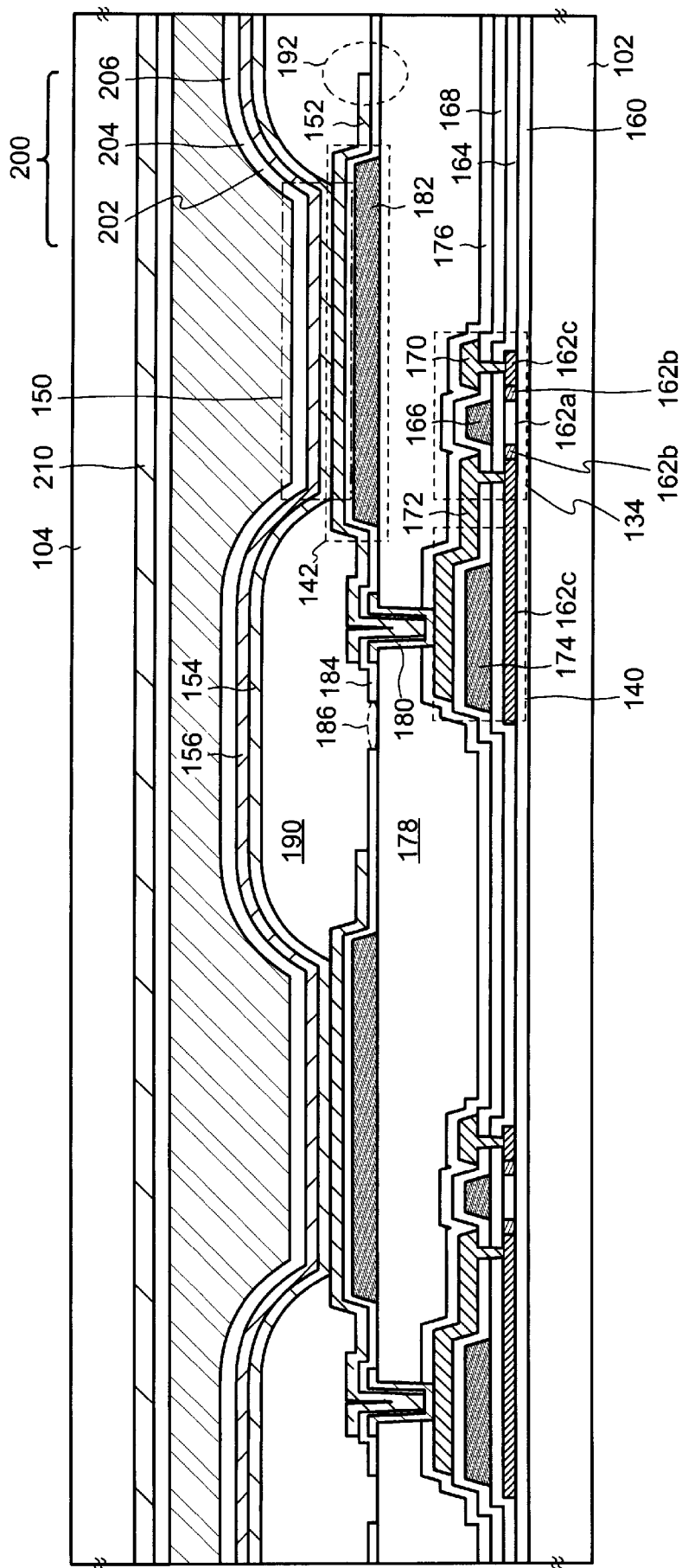
[図1]



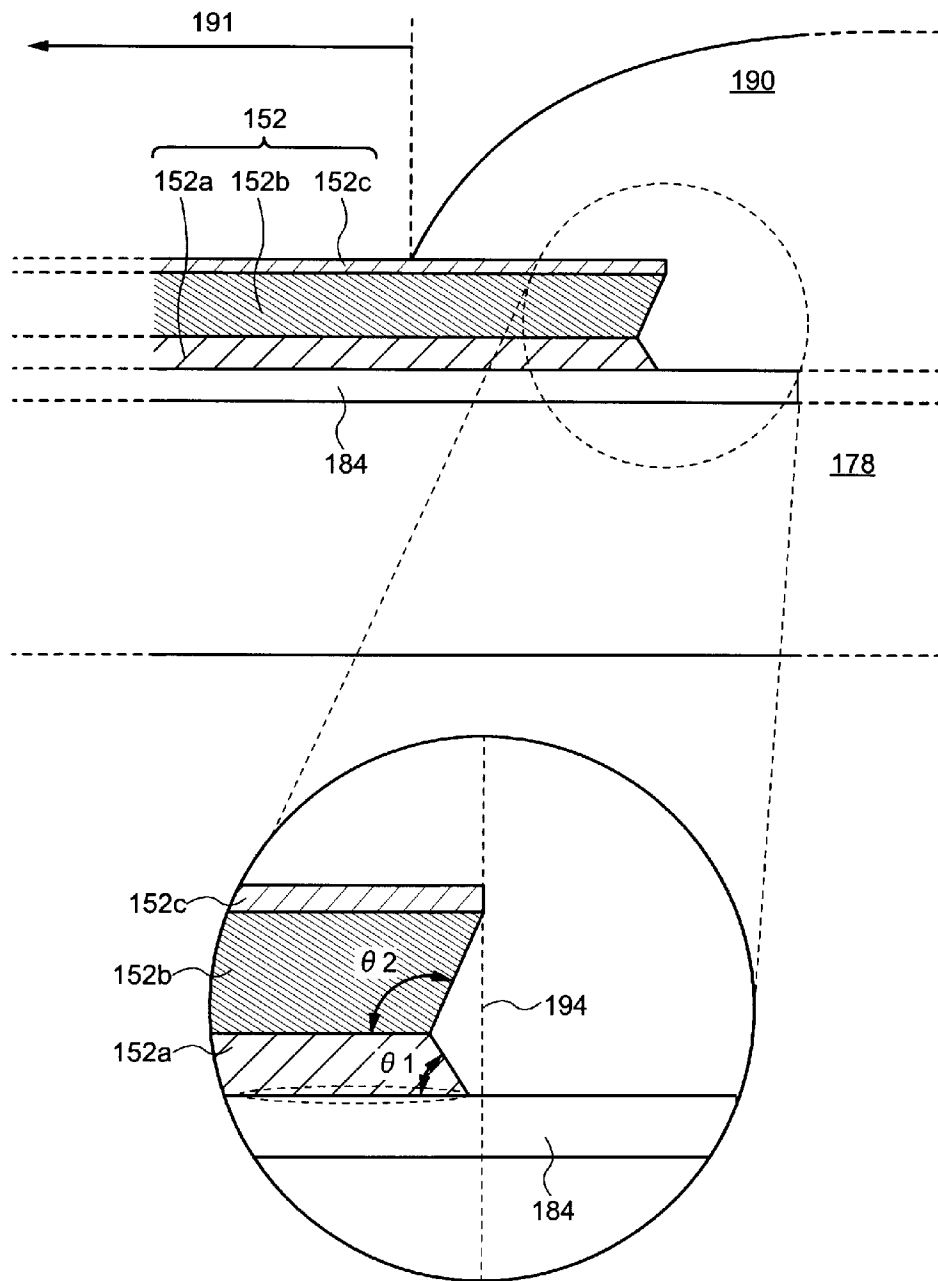
[図2]



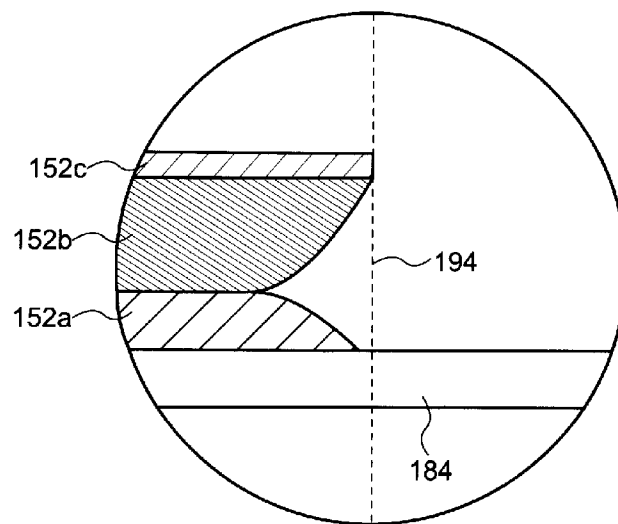
[図3]



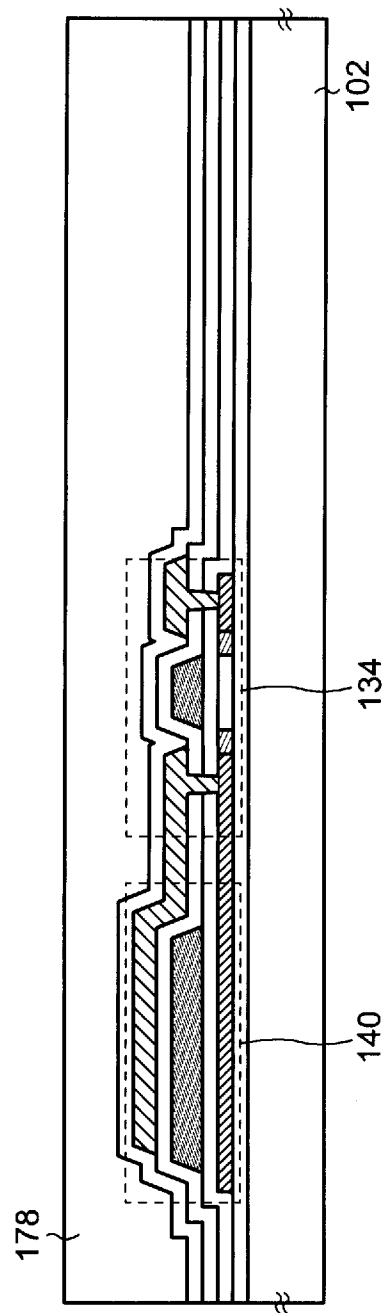
[図4]



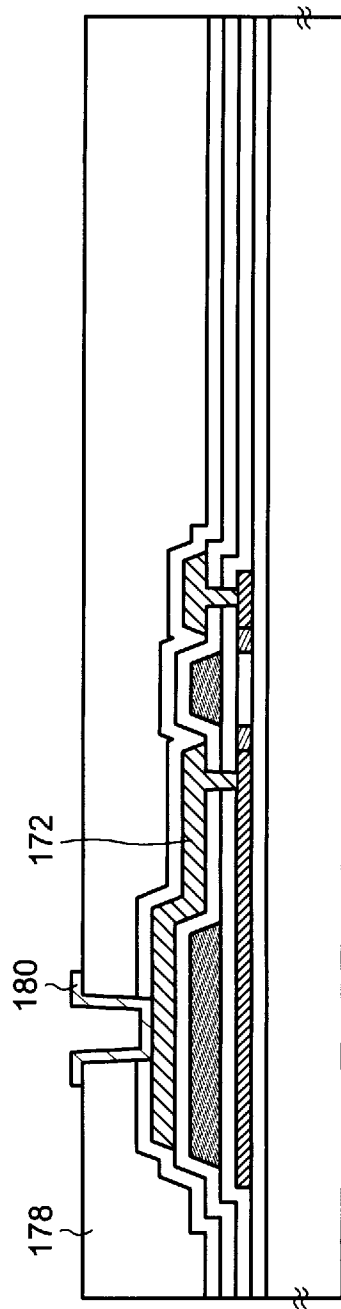
[図5]



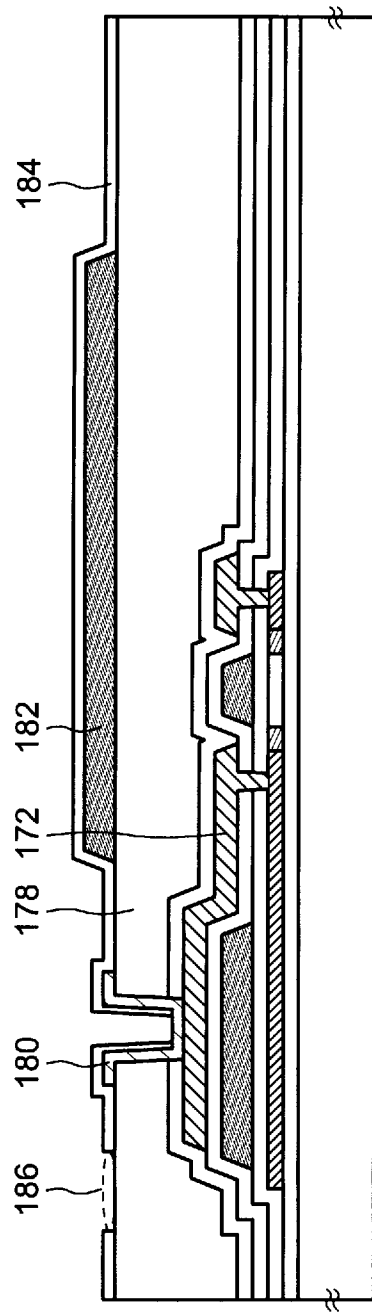
[図6A]



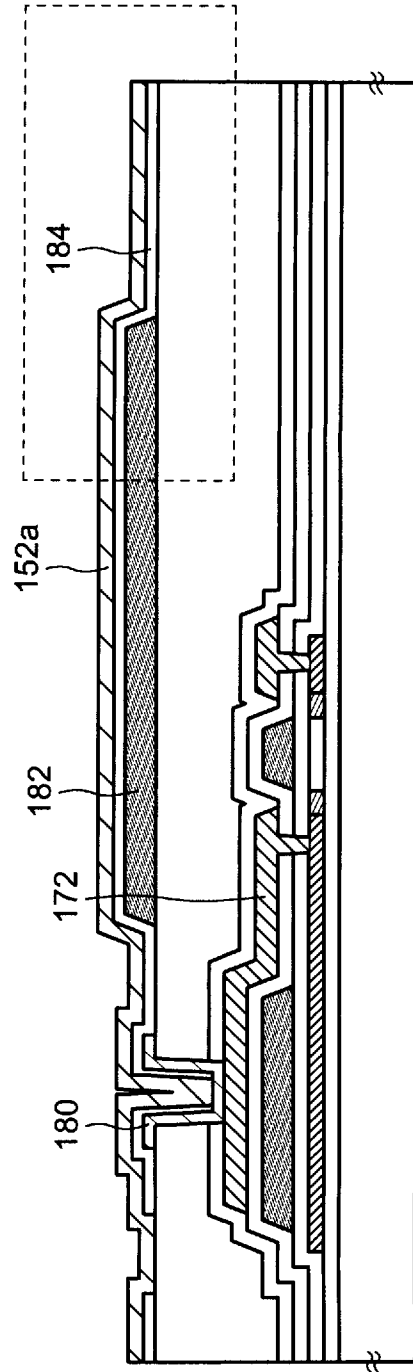
[図6B]



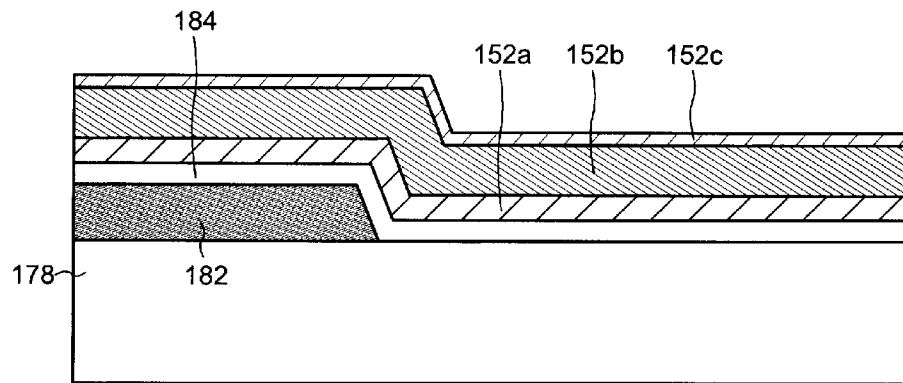
[図7A]



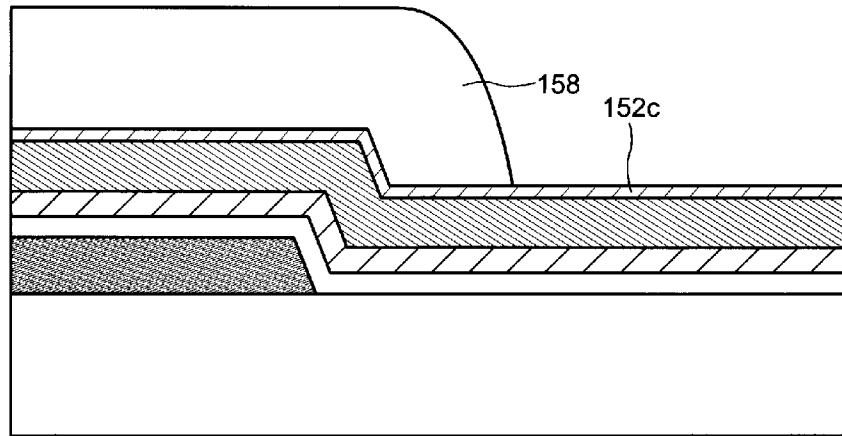
[図7B]



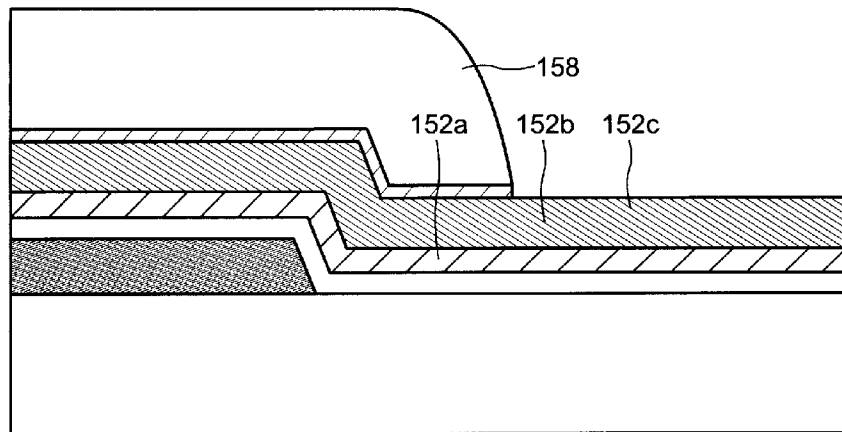
[図8A]



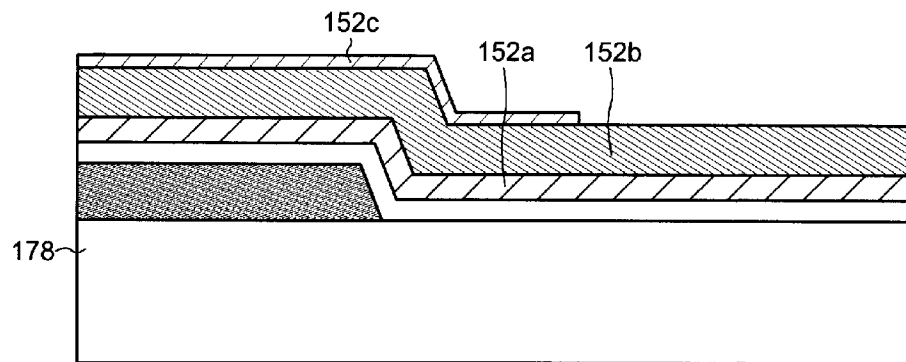
[図8B]



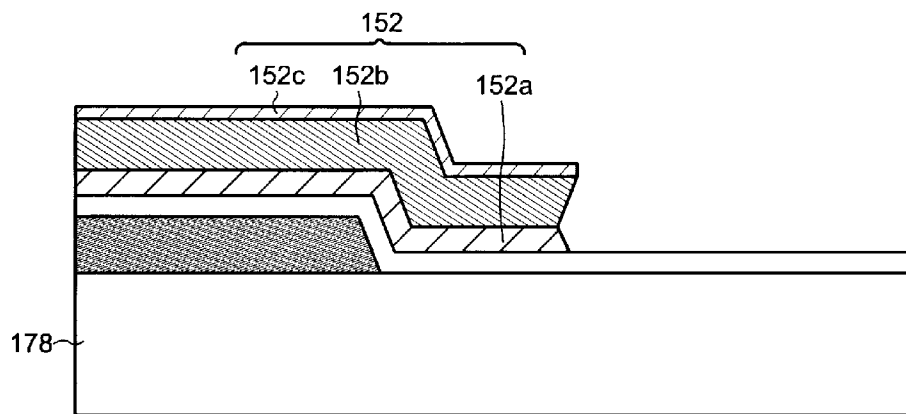
[図8C]



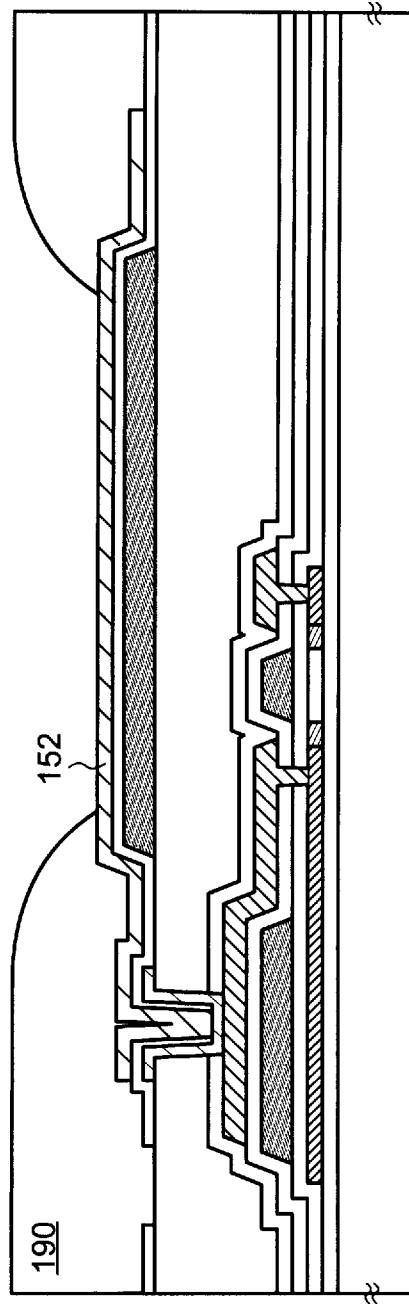
[図9A]



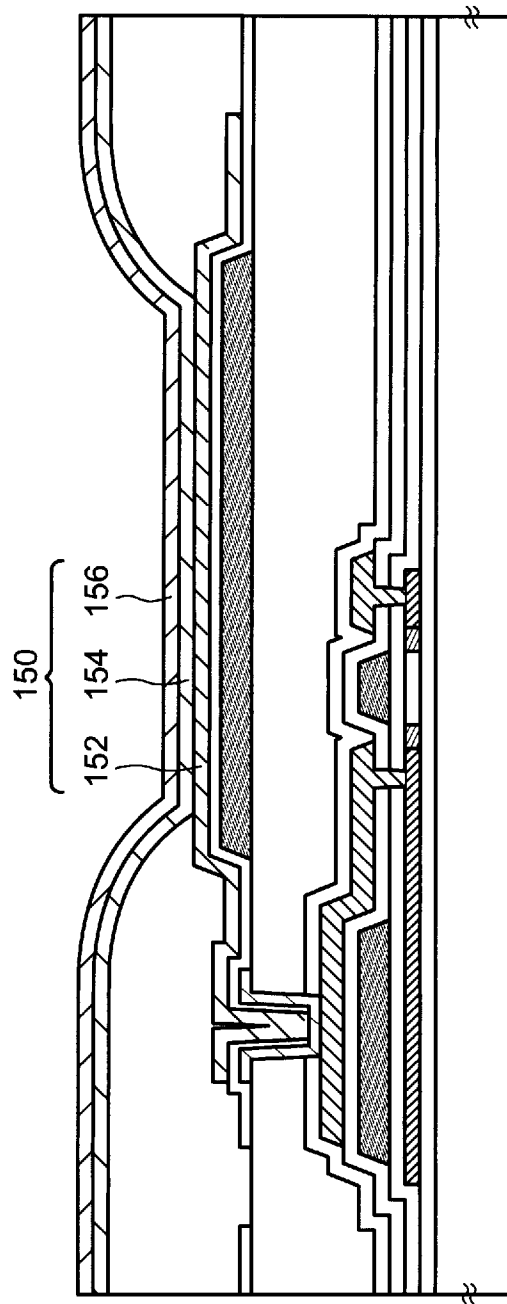
[図9B]



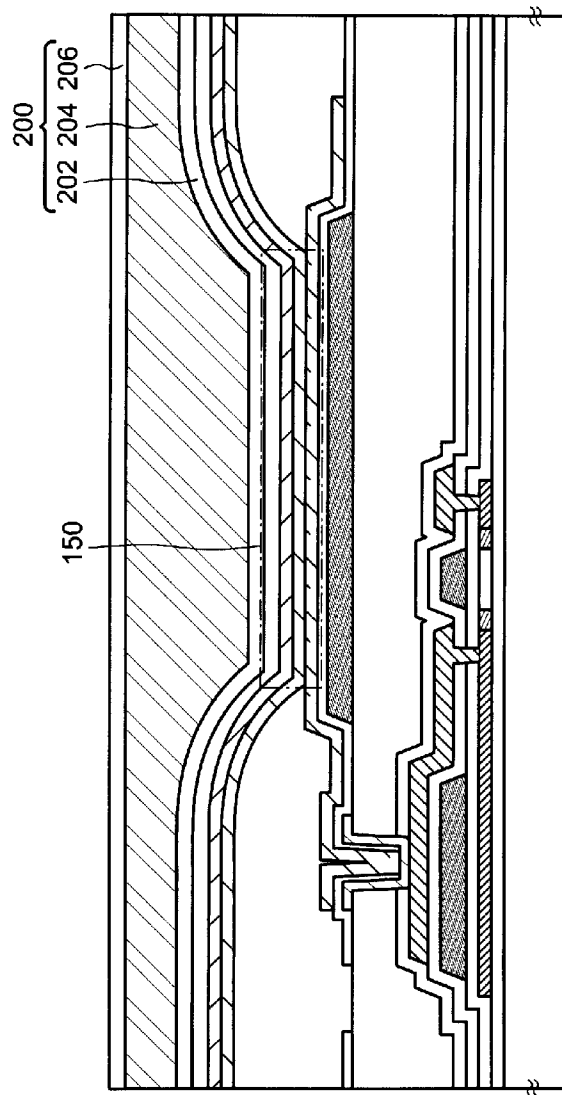
[図10A]



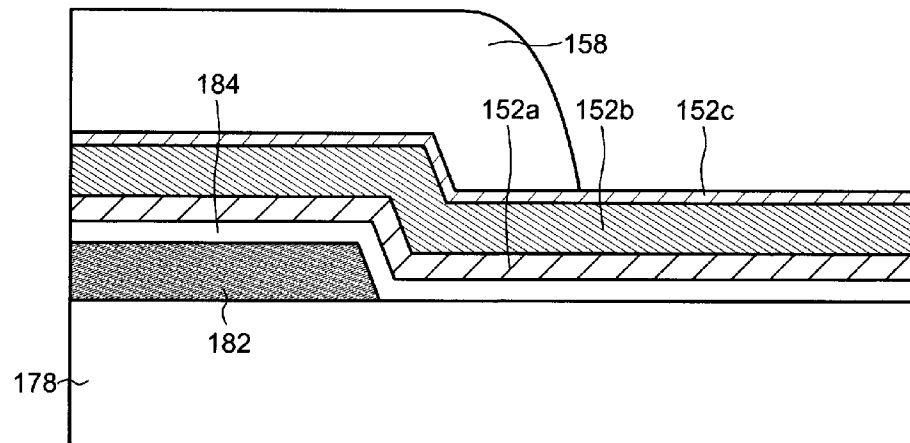
[図10B]



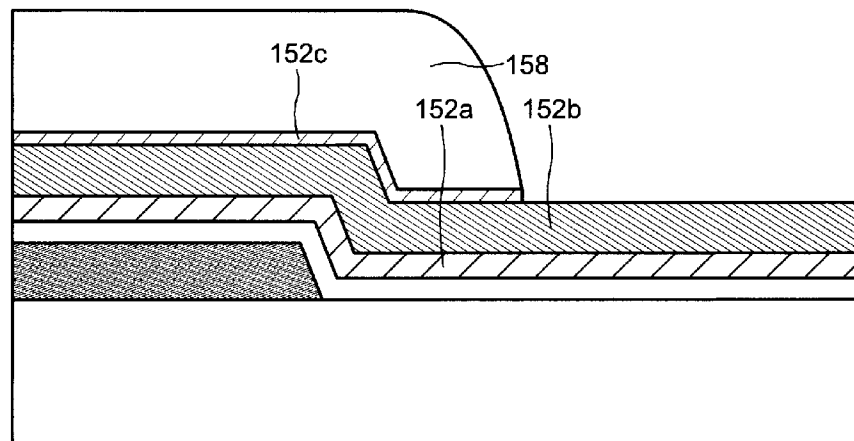
[図11]



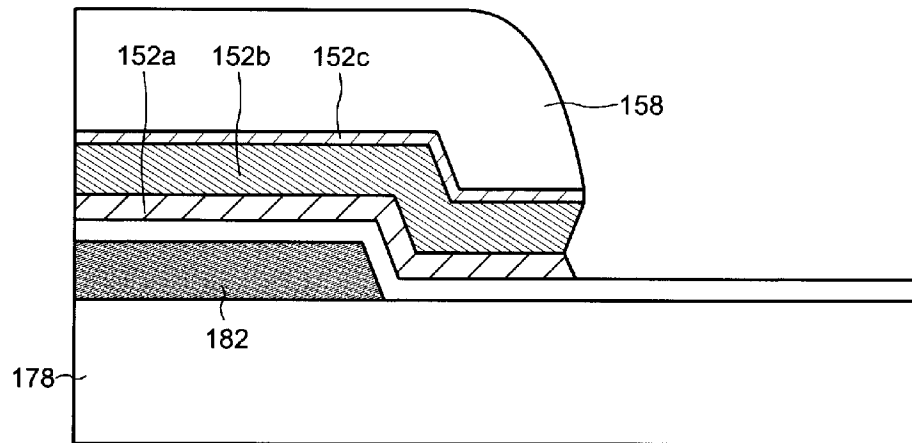
[図12A]



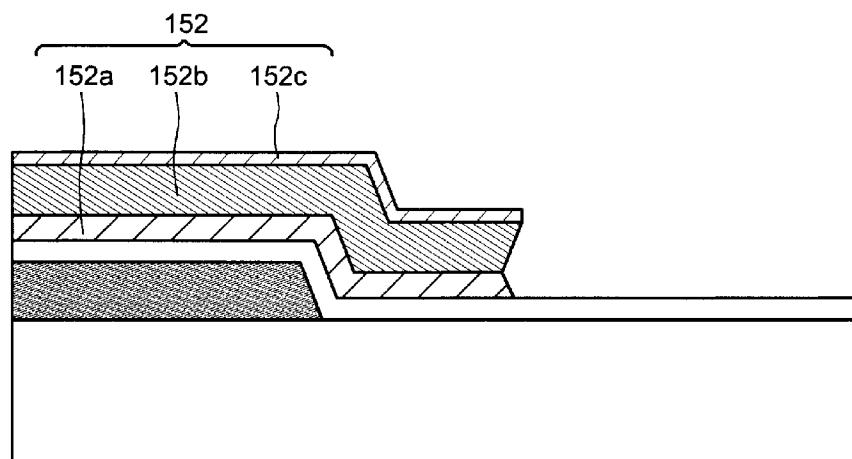
[図12B]



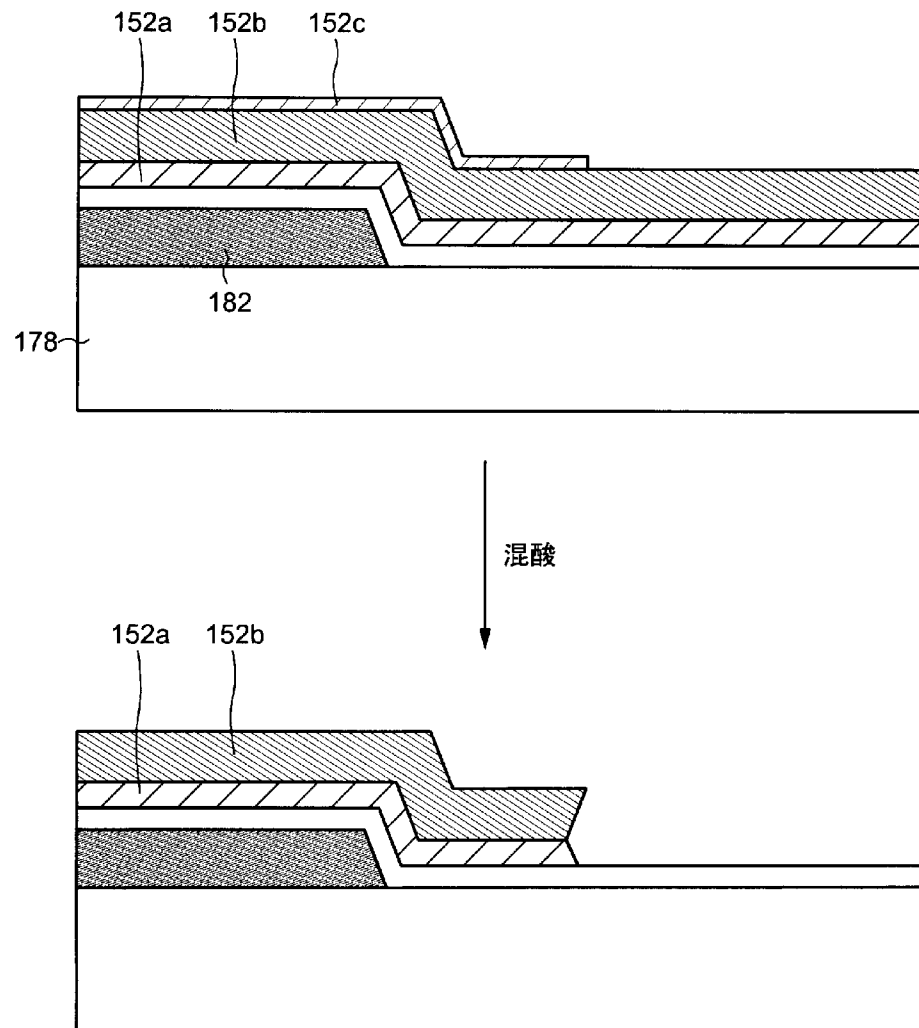
[図13A]



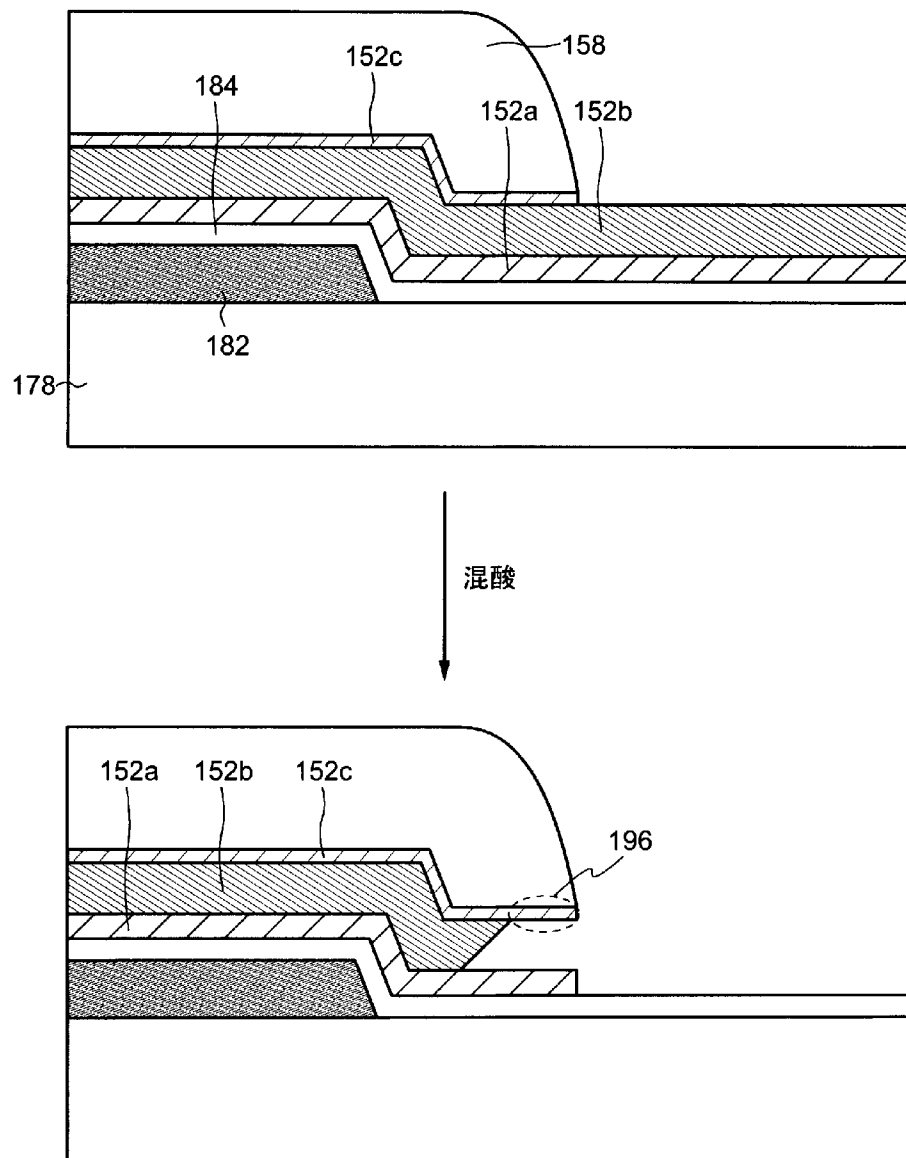
[図13B]



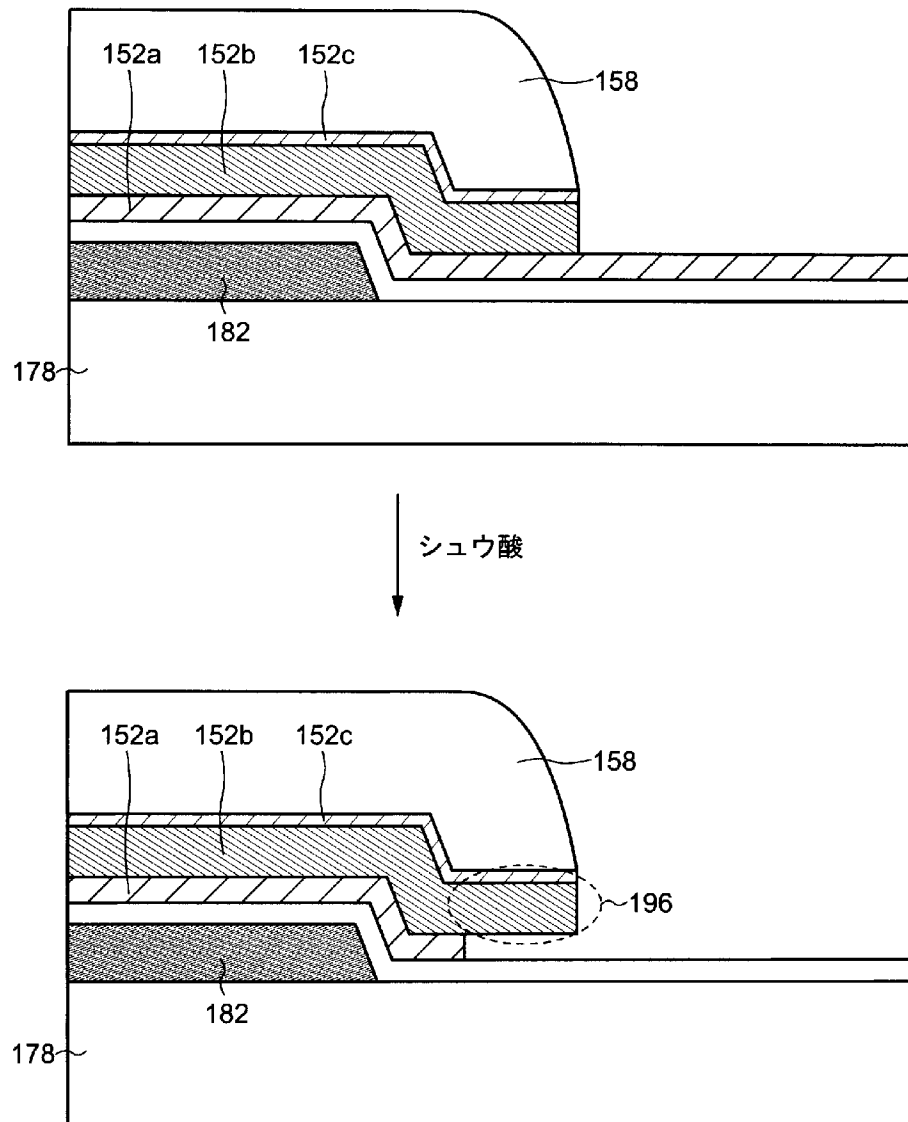
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/046005

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H05B33/26 (2006.01) i, G09F9/00 (2006.01) i, G09F9/30 (2006.01) i, H01L27/32 (2006.01) i, H01L51/50 (2006.01) i, H05B33/10 (2006.01) i, H05B33/12 (2006.01) i, H05B33/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H05B33/26, G09F9/00, G09F9/30, H01L27/32, H01L51/50, H05B33/10, H05B33/12, H05B33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-252576 A (MITSUBISHI ELECTRIC CORPORATION) 29 October 2009, claims, paragraphs [0024]-[0032], [0051]-[0055], [0060], [0063], fig. 2, 3 & US 2009/0250244 A1, claims 1-14, paragraphs [0030]-[0038], [0057]-[0061], [0066], fig. 2, 3	1-13
A	JP 2006-269387 A (AITESU KK) 05 October 2006, claims 1, 4, 11, 16 & CN1841813 A	1-13

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08.03.2018	Date of mailing of the international search report 20.03.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05B33/26(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i, H05B33/12(2006.01)i, H05B33/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05B33/26, G09F9/00, G09F9/30, H01L27/32, H01L51/50, H05B33/10, H05B33/12, H05B33/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-252576 A（三菱電機株式会社）2009.10.29, [特許請求の範囲], [0024] - [0032], [0051] - [0055], [0060], [0063], 図2-3 & US 2009/0250244 A1 Claims1-14, [0030]-[0038], [0057]-[0061], [0066], Figs2-3	1-13
A	JP 2006-269387 A（株式会社アイテス）2006.10.05, [請求項1], [請求項4], [請求項11], [請求項16] & CN 1841813 A	1-13

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

08.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

本田 博幸

20

8359

電話番号 03-3581-1101 内線 3271