(19) Deutsches Patent- und Markenamt

(10) **DE 11 2012 001 089 B4** 2016.01.28

(12) # Patentschrift

(21) Deutsches Aktenzeichen: **11 2012 001 089.2**
(86) PCT-Aktenzeichen: **PCT/IB2012/050847**
(87) PCT-Veröffentlichungs-Nr.: **WO 2012/153201**
(86) PCT-Anmeldetag: **24.02.2012**
(87) PCT-Veröffentlichungstag: **15.11.2012**
(43) Veröffentlichungstag der PCT Anmeldung in deutscher Übersetzung: **26.06.2014**
(45) Veröffentlichungstag der Patenterteilung: **28.01.2016**

(51) Int Cl.: ***H01L 21/336*** (2006.01)
H01L 21/8238 (2006.01)
H01L 29/78 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
13/103,149 **09.05.2011** **US**

(73) Patentinhaber:
International Business Machines Corporation, Armonk, N.Y., US

(74) Vertreter:
Richardt Patentanwälte PartG mbB, 65185 Wiesbaden, DE

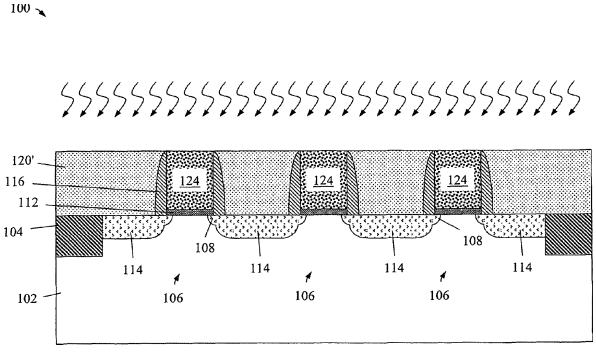
(72) Erfinder:
Yeh, Chun-Chen, Albany, N.Y., US; Guo, Dechao, Yorktown Heights, N.Y., US; Cai, Ming, Yorktown Heights, N.Y., US; Kulkarni, Pranita, Hopewell Junction, N.Y., US

(56) Ermittelter Stand der Technik:

DE 10 2009 039 521 A1
US 2008 / 0 305 600 A1

(54) Bezeichnung: **Herstellverfahren mit Erhalten von Vorteilen einer Verspannung beim UV-Härten bei der Fertigung von Ersatz-Gate-FET-Transistoren**

(57) Hauptanspruch: Verfahren zum Ausbilden einer Halbleiterstruktur, wobei das Verfahren aufweist:
Ausbilden einer verspannungsinduzierenden Schicht über einer oder mehreren teilfertigen Feldeffekttransistor(FET)-Einheiten, die über einem Substrat angeordnet sind, wobei die eine oder die mehreren teilfertigen FET-Einheiten Opfer-Dummy-Gate-Strukturen beinhalten;
Planarisieren der verspannungsinduzierenden Schicht und Entfernen der Opfer-Dummy-Gate-Strukturen;
im Anschluss an das Planarisieren der verspannungsinduzierenden Schicht und das Entfernen der Opfer-Dummy-Gate-Strukturen ein Durchführen einer Ultraviolett(UV)-Härtung der verspannungsinduzierenden Schicht, um einen Wert einer durch die verspannungsinduzierende Schicht auf Kanalbereiche der einen oder mehreren teilfertigen FET-Einheiten aufgebrachten Ausgangsverspannung zu erhöhen; und
Füllen von Gräben, die durch das Entfernen der Opfer-Dummy-Gate-Strukturen definiert worden sind, mit einer oder mehreren Metall-Gate-Schichten, wobei die UV-Härtung vor dem Füllen der Gräben mit der einen oder den mehreren Metall-Gate-Schichten durchgeführt wird, um zu bewirken, dass die spannungsinduzierende Schicht und die Gräben ein trapezförmiges Profil annehmen.



Beschreibung

HINTERGRUND

[0001] Die vorliegende Erfindung bezieht sich allgemein auf die Fertigung von Halbleitereinheiten und im Besonderen auf Verfahren und Strukturen, um Vorteile einer Zugverspannung bei einem Ultraviolett(UV)-Härten bei der Fertigung von Ersatz-Gate-Transistoren zu erhalten.

[0002] Feldeffekttransistoren (FETs) finden in der Elektronikindustrie zum Schalten, Verstärken, Filtern und für sonstige Aufgaben im Zusammenhang mit analogen und digitalen elektrischen Signalen breite Verwendung. Von diesen sind Metalloxidhalbleiter-Feldeffekttransistoren (MOSFET oder MOS) am weitesten verbreitet, bei denen eine Gate-Struktur mit Spannung versorgt wird, um ein elektrisches Feld in einem darunterliegenden Kanalbereich eines Halbleiterkörpers zu erzeugen, durch das die Elektronen durch den Kanal zwischen einem Source-Bereich und einem Drain-Bereich des Halbleiterkörpers passieren können. Komplementäre MOS(CMOS)-Einheiten haben eine breite Verwendung in der Halbleiterindustrie gefunden, wobei n- und p-FETs (NFETs und PFETs) zum Fertigen logischer und sonstiger Schaltungen verwendet werden.

[0003] Die Source- und Drain-Bereiche eines FET werden üblicherweise durch Zugeben von Dotierstoffen zu Zielbereichen eines Halbleiterkörpers auf beiden Seiten des Kanals ausgebildet. Eine Gate-Struktur wird über dem Kanal ausgebildet, die ein Gate-Dielektrikum, das sich über dem Kanal befindet, und einen Gate-Leiter über dem Gate-Dielektrikum beinhaltet. Bei dem Gate-Dielektrikum handelt es sich um ein Isolatormaterial, das hohe Ableitströme daran hindert, in den Kanal zu fließen, wenn eine Spannung an den Gate-Leiter angelegt wird, wohingegen es ermöglicht, dass die angelegte Gate-Spannung ein transversales elektrisches Feld in dem Kanalbereich in einer steuerbaren Art und Weise erzeugt. Herkömmliche MOS-Transistoren beinhalten üblicherweise ein Gate-Dielektrikum, das durch Abscheiden oder durch Aufwachsen von Siliciumdioxid (SiO_2) oder Siliciumoxynitrid (SiON) über einer Siliclum-Wafer-Fläche ausgebildet wird, wobei dotiertes Polysilicium über dem SiO_2 ausgebildet wird, das als Gate-Leiter dient.

[0004] Anhaltende Entwicklungen bei der Fertigung von Halbleitereinheiten beinhalten eine Verringerung (d. h. Skalierung) von Strukturgrößen von Halbleitereinheiten wie auch Verbesserungen der Leistungsfähigkeit von Einheiten im Hinblick auf Schaltgeschwindigkeit und Leistungsaufnahme von Einheiten. Die Leistungsfähigkeit von MOS-Transistoren kann verbessert werden, indem die Entfernung zwischen den Source- und den Drain-Bereichen unter dem Gate-Leiter der Einheit verringert wird, die als Gate- oder Kanallänge bezeichnet wird, und indem die Dicke der Schicht des Gate-Dielektrikums verringert wird, die über der Halbleiterfläche ausgebildet wird. Der Umfang, in dem die Dicke der SiO_2-Gate-Dielektrika verringert werden kann, unterliegt jedoch elektrischen und physischen Einschränkungen. Beispielsweise sind dünne SiO_2-Gate-Dielektrika anfällig für Gate-Tunnelableitströme, die aus einem direkten Tunneln von Elektronen durch das dünne Gate-Dielektrikum resultieren.

[0005] Dementsprechend haben sich jüngste Bemühungen zum Skalieren von MOS- und CMOS-Transistoren auf dielektrische High-k-Materialien mit höheren Dielektrizitätskonstanten als der von SiO_2 (z. B. höher als etwa 3,9) konzentriert. Dielektrische High-k-Materialien können als dickere Schicht ausgebildet werden als skaliertes SiO_2 und dennoch eine gleichwertige Feldeffektleistung hervorbringen. Die relative elektrische Leistungsfähigkeit solcher dielektrischer High-k-Materialien wird häufig als gleichwertige Oxidschichtdicke (equivalent oxide thickness, EOT) ausgedrückt, da die High-k-Materialschicht dicker sein kann und dennoch die gleichwertige elektrische Wirkung einer erheblich dünneren Schicht SiO_2 bereitstellen kann. Da die Dielektrizitätskonstante „k” höher als bei Siliciumdioxid ist, kann eine dickere dielektrische High-k-Schicht verwendet werden, um Tunnelableitströme abzuschwächen und dennoch die gleichwertige elektrische Leistungsfähigkeit einer dünneren Schicht von thermisch aufgewachsenem SiO_2 zu erzielen.

[0006] Die DE 10 2009 039 521 A1 offenbart ein Austauschgateverfahren zur Herstellung von Metallgateelektroden mit großem ε in Halbleiterbauelementen. In dem Austauschgateverfahren wird eine sich nach oben verbreiternde Konfiguration der Gateöffnungen erreicht, indem ein zugverspanntes dielektrisches Material verwendet wird, das lateral benachbart zu der Gateelektrodenstruktur vorgesehen ist. Folglich werden bessere Abscheidebedingungen erreicht, während die Zugverspannungskomponente effizient für die Verformungseinstellung in einer Art am Transistor verwendet werden kann. Ferner kann ein zusätzliches kompressiv verspanntes dielektrisches Material nach Bereitstellen der Austauschgateelektrodenstrukturen aufgebracht werden.

[0007] Die US 2008/0 305 600 A1 offenbart ein Verfahren und Gerät zur Herstellung einer Schicht mit einer hohen Zugspannung, das Folgendes aufweist: Erzeugen einer polykristallinen Schicht auf einem Substrat, die eine Quelle einer mechanischen Beanspruchung ist, Ausführen einer schnellen thermischen Ultra-Violett Ausheilung um die Sucht auszuhärten und einen mechanischen Spannungszustand derart anzupassen, dass die Schicht als eine Quelle eine Zugspannung fungiert.

KURZDARSTELLUNG

[0008] In einem Aspekt beinhaltet ein Verfahren zum Ausbilden einer Halbleiterstruktur ein Ausbilden einer verspannungsinduzierenden Schicht über einer oder mehreren teilfertigen Feldeffekttransistor (FET)-Einheiten, die über einem Substrat angeordnet sind, wobei die eine oder die mehreren teilfertigen FET-Einheiten Opfer-Dummy-Gate-Strukturen beinhalten; ein Planarisieren der verspannungsinduzierenden Schicht und Entfernen der Opfer-Dummy-Gate-Strukturen; im Anschluss an das Planarisieren der verspannungsinduzierenden Schicht und an das Entfernen der Opfer-Dummy-Gate-Strukturen ein Durchführen einer Ultraviolett(UV)-Härtung der verspannungsinduzierenden Schicht, um einen Wert einer durch die verspannungsinduzierende Schicht auf Kanalbereiche der einen oder der mehreren teilfertigen FET-Strukturen aufgebrachten Ausgangsverspannung zu erhöhen; und Füllen von Gräben, die durch das Entfernen der Opfer-Dummy-Gate-Strukturen definiert worden sind, mit einer oder mehreren Metall-Gate-Schichten, wobei die UV-Härtung vor dem Füllen der Gräben mit der einen oder den mehreren Metall-Gate-Schichten durchgeführt wird, um zu bewirken, dass die spannungsinduzierende Schicht und die Gräben ein trapezförmiges Profil annehmen.

KURZBESCHREIBUNG DER VERSCHIEDENEN ANSICHTEN DER ZEICHNUNGEN

[0009] Unter Bezugnahme auf die beispielhaften Zeichnungen, in denen gleiche Elemente in den verschiedenen Figuren gleich nummeriert sind, gilt:

[0010] **Fig.** 1 bis **Fig.** 5 sind Querschnittsansichten, die einen bekannten Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit Ultraviolett(UV)-Härten einer Verspannungsschicht veranschaulichen, in denen:

[0011] **Fig.** 1 die Ausbildung einer Siliciumnitrid-Verspannungsschicht über einer Vielzahl von teilfertigen NFET-Einheiten veranschaulicht;

[0012] **Fig.** 2 ein UV-Härten der Verspannungsschicht von **Fig.** 1 veranschaulicht, wodurch die durch die Verspannungsschicht aufgebrachte Zugverspannung erhöht wird;

[0013] **Fig.** 3 ein Planarisieren der Verspannungsschicht von **Fig.** 2 und ein Entfernen von Dummy-Gate-Strukturen der NFET-Einheiten veranschaulicht, wodurch die durch die Verspannungsschicht aufgebrachte Zugverspannung verringert wird;

[0014] **Fig.** 4 die Ausbildung eines Metall-Gate-Materials innerhalb von Gräben veranschaulicht, die aus dem Entfernen der Dummy-Gates in **Fig.** 3 resultieren;

[0015] **Fig.** 5 ein Planarisieren des Metall-Gate-Materials von **Fig.** 4 veranschaulicht;

[0016] **Fig.** 6 bis **Fig.** 10 sind Querschnittsansichten, die einen Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit UV-Härten einer Verspannungsschicht gemäß einer beispielhaften Ausführungsform veranschaulichen, in denen:

[0017] **Fig.** 6 die Ausbildung einer Siliciumnitrid-Verspannungsschicht über einer Vielzahl von teilfertigen NFET-Einheiten veranschaulicht;

[0018] **Fig.** 7 ein Planarisieren der Verspannungsschicht von **Fig.** 6 und ein Entfernen von Dummy-Gate-Strukturen der NFET-Einheiten veranschaulicht;

[0019] **Fig.** 8 die Ausbildung eines Metall-Gate-Materials innerhalb von Gräben veranschaulicht, die aus dem Entfernen der Dummy-Gates in **Fig.** 7 resultieren;

[0020] **Fig.** 9 ein Planarisieren des Metall-Gate-Materials von **Fig.** 8 veranschaulicht;

[0021] **Fig.** 10 ein UV-Härten der Verspannungsschicht von **Fig.** 9 veranschaulicht, wodurch die durch die Verspannungsschicht aufgebrachte Zugverspannung erhöht wird;

[0022] **Fig.** 11 bis **Fig.** 15 sind Querschnittsansichten, die einen Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit UV-Härten einer Verspannungsschicht gemäß einer weiteren beispielhaften Ausführungsform veranschaulichen, in denen:

[0023] **Fig.** 11 die Ausbildung einer Siliciumnitrid-Verspannungsschicht über einer Vielzahl von teilfertigen NFET-Einheiten veranschaulicht;

[0024] **Fig.** 12 ein Planarisieren der Verspannungsschicht von **Fig.** 11 und ein Entfernen von Dummy-Gate-Strukturen der NFET-Einheiten veranschaulicht;

[0025] **Fig.** 13 ein UV-Härten der Verspannungsschicht von **Fig.** 12 vor einem Füllen durch Metall-Gates veranschaulicht, wodurch die durch die Verspannungsschicht aufgebrachte Zugverspannung erhöht wird;

[0026] **Fig.** 14 die Ausbildung eines Metall-Gate-Materials innerhalb von Gräben der Struktur in **Fig.** 13 veranschaulicht; und

[0027] **Fig.** 15 ein Planarisieren des Metall-Gate-Materials von **Fig.** 14 veranschaulicht.

AUSFÜHRLICHE BESCHREIBUNG

[0028] Im Hinblick auf die High-k-Metall-Gate (HKMG)-Technologie handelt es sich bei den beiden wichtigsten Ansätzen zum Einbringen eines Metall-Gates in den normalen CMOS-Prozessablauf um einen „Gate-zuerst"-Prozess oder einen „Gate-zuletzt"-Prozess. Letzterer wird auch als „Ersatz-Gate"- oder „Ersatzmetall-Gate"(RMG)-Prozess bezeichnet. Bei einem Gate-zuerst-Prozess wird eine High-k-Dielektrikum- und Metall-Bearbeitung vor einer Polysilicium-Gate-Abscheidung abgeschlossen. Das Metall-Gate-Material wird vor einer Source- und Drain-Ausbildung zusammen mit dem Polysilicium-Gate-Material subtraktiv geätzt.

[0029] Demgegenüber vermeidet die RMG-Prozessarchitektur Probleme mit einer Stabilität eines Austrittsarbeitsmaterials, die bei der Gate-zuerst-Architektur aufgetreten sind. Hier wird eine Dummy-Gate-Struktur verwendet, um die Source- und Drain-Implantation und -Temperungen selbstauszurichten, worauf ein Herauslösen der Dummy-Gate-Materialien und ihr Ersetzen durch die High-k- und Metall-Gate-Materialien folgt. Wenngleich dieser Prozess komplizierter als die Gate-zuerst-Technik ist, zählen zu den Vorteilen eines Ersatz-Gate-Ablaufs die Verwendung getrennter PMOS- und NMOS-Metalle für eine Optimierung der Austrittsarbeit. Zudem werden die beiden Metalle keinen hohen Temperaturen ausgesetzt, was die Materialauswahl vereinfacht. Des Weiteren kann die Polysilicium-Gate-Entfernung sogar dazu verwendet werden, Verspannungstechniken zu verbessern und dadurch Ansteuerungsströme zu erhöhen. Der RMG-Prozess ist aufgrund der oben erwähnten Beschränkungen aufgrund der Austrittsarbeit derzeit der führende Ansatz für die 22-Nanometer(nm)-CMOS-Technologie.

[0030] Wie nach dem Stand der Technik bekannt ist, erhöht die Ausbildung von Verspannungsauskleidungen (z. B. druckverspannter Auskleidungen für PFET-Einheiten und zugverspannter Auskleidungen für NFET-Einheiten) über FETs die Beweglichkeit der Majoritätsladungsträger in einem Transistorkanal. Bei NFET-Einheiten handelt es sich bei einem beispielhaften Verspannungsauskleidungsmaterial um Siliciumnitrid (SiN), das eine Zugverspannung auf einen NFET-Kanal im Bereich von etwa 1,6 Gigapascal (GPa) bereitstellt. Eine Technik, die im Zusammenhang mit der Ausbildung einer zugverspannten Siliciumnitridauskleidung verwendet werden kann, ist die Anwendung von Ultraviolett(UV)-Härten, wie es zum Beispiel durch Laserlicht erzeugt wird. UV-Härten einer zugverspannten Nitriddünnschicht kann die Zugverspannung in der Nitriddünnschicht durch eine Neuanordnung der Silicium-Wasserstoff(Si-H)/Stickstoff-Wasserstoff(N-H)-Bindungen verstärken, die in der Nitriddünnschicht vorhanden sind. UV-Härten von Nitrid wird durchgeführt, indem das Nitrid einer UV-Bestrahlung ausgesetzt wird, die eine Wellenlänge in einem Bereich von etwa 10 Nanometern (nm) bis etwa 400 nm aufweist. Die verstärkte Verspannung in der Nitriddünnschicht verursacht eine entsprechende verstärkte Verspannung in einem Kanal des FET, über dem sich die UV-gehärtete Nitriddünnschicht befindet, wodurch die Ladungsträgerbeweglichkeit in dem FET-Kanal erhöht wird.

[0031] Üblicherweise werden die Nitridschichtabscheidung und der UV-Härtungsprozess miteinander kombiniert, sodass die Nitridschicht gehärtet wird, bevor sie planarisiert wird. Bei einem RMG-Prozessablauf kann der zusätzliche Vorteil, der durch UV-Härten bereitgestellt wird, jedoch infolge der Prozesse des chemisch-mechanischen Polierens (CMP) und der Dummy-Gate-Entfernung, mit denen RMG-Techniken verbunden sind, vermindert oder gänzlich aufgehoben sein. Der Abbau der uniaxialen Verspannung entlang der Kanalrichtung macht die durch das UV-Härten erzeugten Vorteile zunichte. Zur Veranschaulichung sind **Fig.** 1 bis **Fig.** 5 Querschnittsansichten, die einen Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit Ultraviolett(UV)-Härten einer Verspannungsschicht veranschaulichen.

[0032] Wie in **Fig.** 1 dargestellt, beinhaltet eine Halbleiterstruktur **100** ein Halbleitersubstrat **102**, in dem Strukturen **104** einer flachen Grabenisolation (shallow trench isolation, STI) ausgebildet sind. Das Halbleitersubstrat **102** beinhaltet ein Halbleitermaterial, das aus Silicium, Germanium, einer Silicium-Germanium-Legierung, einer Silicium-Kohlenstoff-Legierung, einer Silicium-Germanium-Kohlenstoff-Legierung, Gallium-Arsenid, Indium-Arsenid, Indium-Phosphid, III-V-Verbindungshalbleitermaterialien, II-VI-Verbindungshalbleitermaterialien, organischen Halbleitermaterialien und sonstigen Verbindungshalbleitermaterialien ausgewählt werden kann, ohne auf diese beschränkt zu sein. Wenn es sich bei dem Halbleitermaterial des Halbleitersubstrats **102** um ein einkristallines, Silicium enthaltendes Halbleitermaterial handelt, kann das einkristalline, Silicium enthaltende Halbleitermaterial aus einkristallinem Silicium, einer einkristallinen Silicium-Kohlenstoff-Legierung, einer einkristallinen Silicium-Germanium-Legierung und einer einkristallinen Silicium-Germanium-Kohlenstoff-Legierung ausgewählt werden.

[0033] Bei CMOS-Einheiten kann das Halbleitermaterial des Halbleitersubstrats **102** in geeigneter Weise mit p-Dotierstoffatomen oder mit n-Dotierstoffatomen dotiert werden. Bei dem dargestellten spezifischen Beispiel handelt es sich bei den teilfertigen Transistoreinheiten, die zwischen den STI-Strukturen **104** dargestellt werden, um NFET-Einheiten **106**, und folglich wird der Halbleiter **102** mit p-Atomen dotiert. Die Dotierstoffkonzentration des Halbleitersubstrats

102 kann im Bereich von etwa $1,0 \times 10^{15}$ Atomen/cm^3 bis etwa $1,0 \times 10^{19}$ Atomen/cm^3 und genauer von etwa $1,0 \times 10^{16}$ Atomen/cm^3 bis etwa $3,0 \times 10^{18}$ Atomen/cm^3 betragen, wenngleich hierin auch geringere und höhere Dotierstoffkonzentrationen in Betracht gezogen werden. Darüber hinaus kann es sich bei dem Halbleitersubstrat **102** um ein Vollsubstrat, ein Halbleiter-auf-Isolator- oder ein Silicium-auf-Isolator (SOI)Substrat oder um ein Hybridsubstrat handeln. Die Strukturen **104** der flachen Grabenisolation beinhalten ein dielektrisches Material wie zum Beispiel Siliciumoxid oder Siliciumnitrid und werden durch bekannte Verfahren nach dem Stand der Technik ausgebildet.

[0034] Wie ebenfalls in **Fig.** 1 veranschaulicht, ist die Halbleiterstruktur **100** ein Beispiel für die Ersatz-Gate-FET-Technologie. Dementsprechend beinhaltet die Einheit Source- und Drain-Erweiterungsbereiche **108**, die durch Ionenimplantation ausgebildet werden, wobei bereits eine Dummy-Gate-Struktur vorhanden ist. Die Dummy-Gate-Struktur kann ein Opfer-Polysilicium-Material **110** beinhalten, das auf einer Gate-Dielektrikumschicht **112** ausgebildet wird. Die Gate-Dielektrikumschicht **112** kann bei einigen Ausführungsformen ebenfalls eine Opferschicht sein und folglich einen Teil der Dummy-Gate-Struktur bilden. Alternativ kann es sich bei der Gate-Dielektrikumschicht **112** um eine dauerhafte Gate-Dielektrikumschicht handeln, und sie kann zum Beispiel ein High-k-Material wie etwa Hafniumoxid (HfO_2) mit einer SiO_2-Grenzschicht beinhalten.

[0035] Die Source- und Drain-Erweiterungsbereiche **108** weisen eine Dotierung des entgegengesetzten Leitfähigkeitstyps der Dotierung des Substrats **102** auf. Folglich weisen bei dem dargestellten NFET-Beispiel die Source- und Drain-Erweiterungsbereiche **108** eine n-Dotierung auf, da das Substrat **102** eine p-Dotierung aufweist. In **Fig.** 1 werden außerdem Source- und Drain-Bereiche **114** dargestellt, die zum Beispiel durch Ionenimplantation desselben Leitfähigkeitstyps wie bei den Erweiterungsbereichen **106** ausgebildet werden. Die Source- und Drain-Bereiche **114** werden implantiert, wenn die Dummy-Gate-Struktur und Seitenwand-Abstandselemente **116** bereits vorhanden sind. Die Seitenwand-Abstandselemente **116** werden zum Beispiel durch Abscheidung einer Schicht eines konformen dielektrischen Materials (z. B. eines sauerstoffundurchlässigen Materials wie etwa Siliciumnitrid) gefolgt von einer anisotropen Ionenätzung ausgebildet. Die Abschnitte der dielektrischen Materialschicht, die direkt auf den Seitenwänden der Dummy-Gate-Struktur ausgebildet werden, verbleiben nach der anisotropen Ätzung und bilden so die Seitenwand-Abstandselemente **116**. Eine schützende Hartmaske **118** wird ebenfalls auf dem Opferpolysilicium **110** dargestellt, die aus demselben oder aus einem anderen Material als die Seitenwand-Abstandselemente **116** bestehen kann.

[0036] Wie ferner in **Fig.** 1 dargestellt, wird eine zugverspannte Nitridschicht **120** wie zum Beispiel SiN über der gesamten Struktur **100** ausgebildet. Die zugverspannte Nitridschicht **120** kann zum Beispiel durch physikalische Gasphasenabscheidung (physical vapor deposition, PVD), chemische Gasphasenabscheidung (chemical vapor deposition, CVD), plasmaunterstützte CVD (plasma enhanced CVD, PECVD), CVD mit hochdichtem Plasma (high density CVD, HDPCVD) und Aufschleudertechniken ausgebildet werden. So, wie sie zunächst abgeschieden wird, kann die Nitridschicht **120** eine Zugverspannung in der Größenordnung von etwa 0,7 Gigapascal (GPa) bereitstellen. Wie in **Fig.** 2 dargestellt, wird die Nitridschicht **120** anschließend mit UV-Bestrahlung gehärtet, wie durch die gebogenen Pfeile dargestellt, um deren Verspannungseigenschaften zu verbessern, wobei die Nitridschicht mit verstärkter Verspannung durch **120'** gekennzeichnet wird. Die Nitridschicht **120'** mit verstärkter Verspannung kann aufgrund der UV-Härtung eine erhöhte Zugverspannung in der Größenordnung von etwa 1,6 GPa bereitstellen.

[0037] Wie anschließend in **Fig.** 3 dargestellt, wird die Nitridschicht **120'** mit verstärkter Verspannung planarisiert, beispielsweise durch CMP, gefolgt von einem Entfernen zumindest des Opferpolysiliciums **110** der Dummy-Gate-Strukturen, um Gräben **122** auszubilden. Es ist zu beachten, dass die Nitridschicht nun in **Fig.** 3 wieder durch das Bezugszeichen **120** gekennzeichnet wird, was die resultierende Abnahme der Verspannung aufgrund der Planarisierung der Verspannungsschicht anschließend an das Härten widerspiegelt (z. B. auf etwa 1,1 GPa oder darunter verringert). Entsprechend einer RMG-Bearbeitung werden eine oder mehrere Metall-Gate-Schichten (allgemein durch **124** dargestellt) über der Einheit ausgebildet, wie in **Fig.** 4 gezeigt. Bei einer NFET-Einheit können die Metall-Gate-Schichten **124** zum Beispiel Schichten von Metallen zum Einstellen der Austrittsarbeit beinhalten, die ausgewählt werden, um die Austrittsarbeit um die Silicium-Leitungsbandkante einzustellen, wie zum Beispiel Titan-Nitrid, Tantal-Nitrid, Titan-Aluminium, Titan-Aluminium-Nitrid, Tantal-Aluminium, Tantal-Aluminium-Nitrid, eine Hafnium-Silicium-Legierung, Hafnium-Nitrid oder Tantal-Carbid. Wiederum würde dort, wo es sich bei der Gate-Dielektrikumschicht **112** um eine Opferschicht handelt, vor einer Abscheidung der Metall-Gate-Schichten **124** eine neue Gate-Dielektrikumschicht (z. B. high-k) ausgebildet, gefolgt von einer Temperung bei 600°C, um eine Verdichtung des High-k-Dielektrikums zu erzielen.

[0038] Wie in **Fig.** 5 dargestellt, werden anschließend die Metall-Gate-Schichten **124** planarisiert, woraufhin die Bearbeitung der CMOS-Einheit nach dem Stand der Technik fortgesetzt werden kann. Es ist jedoch zu beachten, dass die Vorteile bei einem

UV-Härten der Nitridschicht **120** infolge des oben beschriebenen RMG-Prozessablaufs faktisch aufgehoben werden können.

[0039] Dementsprechend werden hierin Verfahren und Strukturen offenbart, um Vorteile einer Verspannung bei einem Ultraviolett(UV)-Härten bei der Fertigung von Ersatz-Gate-Transistoren zu erhalten. Durch Trennen des Nitridabscheide- und des UV-Härtungsprozesses in der Weise, dass das Härten nach der Nitridschichtabscheidung und der Dummy-Gate-Entfernung durchgeführt wird, kann der Vorteil einer Verspannung bei dem UV-Härten vollständig erhalten werden. Bei einer unten beschriebenen spezifischen Ausführungsform bedeutet die morphologische Veränderung des Nitrids im Zusammenhang mit einer Schrumpfung der Dünnschicht, die aus einem UV-Prozess resultiert, einen zusätzlichen Vorteil im Hinblick auf eine gleichmäßige Gate-Metallabscheidung. Mit weiter zunehmender Skalierung der Gate-Länge wird das Füllen des Zwischenraums immer schwieriger, und diese Ausführungsform stellt eine Lösung bereit, um das Problem zu verringern.

[0040] Es wird nun allgemein auf **Fig.** 6 bis **Fig.** 10 Bezug genommen, in denen eine Abfolge von Querschnittsansichten dargestellt wird, die einen Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit UV-Härten einer Verspannungsschicht gemäß einer beispielhaften Ausführungsform veranschaulichen. **Fig.** 6 veranschaulicht eine Stelle in der Bearbeitung, die im Wesentlichen derjenigen von **Fig.** 1 ähnelt, in der eine zugverspannte Nitridschicht **120** wie zum Beispiel SiN über der gesamten Struktur **100** der teilweise ausgebildeten NFET-Einheiten **106** mit Dummy-Gate-Strukturen ausgebildet wird. Statt jedoch an dieser Stelle in dem Prozess das UV-Härten der Nitridschicht **120** durchzuführen, wird die Nitridschicht **120** stattdessen planarisiert, beispielsweise durch CMP, gefolgt von einem Entfernen zumindest des Opferpolysiliciums **110** der Dummy-Gate-Struktur, wie in **Fig.** 7 dargestellt.

[0041] Wie in **Fig.** 8 dargestellt, werden dann eine oder mehrere Metall-Gate-Schichten (allgemein durch **124** dargestellt) über der Einheit **100** ausgebildet, darunter auch über den Gräben **112**, die durch das Entfernen des Opferpolysiliciums zurückgeblieben sind. Wiederum ist an dieser Stelle die Nitridschicht **120** noch nicht einem UV-Härten unterzogen worden. In **Fig.** 9 werden die Metall-Gate-Schichten **124** planarisiert und dadurch durch RMG ausgebildete NFET-Einheiten **106** definiert. Nachdem die Metall-Gate-Strukturen bereits vorhanden sind, wird anschließend die Nitridschicht **120** einem UV-Härten unterzogen, wie in **Fig.** 10 dargestellt. Das UV-Härten führt zu einer Verstärkung der aufgebrachten Verspannung der Nitridschicht, die nun in **Fig.** 10 als **120'** gekennzeichnet wird. Infolge des UV-Härtens steigt wiederum die durch die verstärkte Nitridschicht **120'** aufgebrachte uniaxiale Zugverspannung von etwa 0,7 GPa auf etwa 1,6 GPa. Da die verstärkte Nitridschicht **120'** bereits planarisiert worden ist, ist die Einheit **100** zudem für weitere CMOS-Bearbeitungsschritte vorbereitet, die sich nicht auf die Integrität oder die Wirksamkeit der aufgebrachten Verspannung der verstärkten Nitridschicht **120'** auswirken.

[0042] Es wird nun allgemein auf **Fig.** 11 bis **Fig.** 15 Bezug genommen, in denen eine Abfolge von Querschnittsansichten dargestellt wird, die einen Prozessablauf für eine Ausbildung eines Ersatzmetall-Gate-Transistors mit UV-Härten einer Verspannungsschicht gemäß einer beispielhaften Ausführungsform veranschaulichen. **Fig.** 6 veranschaulicht eine Stelle in der Bearbeitung, die im Wesentlichen derjenigen von **Fig.** 1 ähnelt, in der eine zugverspannte Nitridschicht **120** wie zum Beispiel SiN über der gesamten Struktur **100** der teilweise ausgebildeten NFET-Einheiten **106** mit Dummy-Gate-Strukturen ausgebildet wird. **Fig.** 11 veranschaulicht eine Stelle in der Bearbeitung, die im Wesentlichen derjenigen von **Fig.** 1 ähnelt, in der eine zugverspannte Nitridschicht **120** wie zum Beispiel SiN über der gesamten Struktur **100** der teilweise ausgebildeten NFET-Einheiten **106** mit Dummy-Gate-Strukturen ausgebildet wird. Wie es bei der zuvor beschriebenen Ausführungsform der Fall ist, wird, statt an dieser Stelle in dem Prozess das UV-Härten der Nitridschicht **120** durchzuführen, die Nitridschicht **120** stattdessen planarisiert, beispielsweise durch CMP, gefolgt von einem Entfernen zumindest des Opferpolysiliciums **110** der Dummy-Gate-Struktur, wie in **Fig.** 12 dargestellt.

[0043] Im Gegensatz zu der Ausführungsform der **Fig.** 6 bis **Fig.** 10 wird die Nitridschicht **120** bei dieser Ausführungsform jedoch einem UV-Härten vor dem Füllen der Gräben **122** mit Metall unterzogen, wie in **Fig.** 13 wiedergegeben wird. Hier ist zu beachten, dass zusätzlich zu der Erhöhung der aufgebrachten Verspannung der verstärkten Nitridschicht **120'** das UV-Härten außerdem mit zunehmender Dichte der Dünnschicht eine Volumenschrumpfung (von z. B. etwa 10%) der verstärkten Nitridschicht **120'** verursacht. Im Besonderen führt das UV-Härten, das nach dem Entfernen des Opferpolysiliciums und vor dem Abscheiden des Ersatz-Gate-Metalls durchgeführt wird, zu einem trapezförmigen Profil sowohl der verstärkten Nitridschicht **120'** als auch des resultierenden Profils der modifizierten Gräben **122'**. Wenngleich das trapezförmige Profil der verstärkten Nitridschicht **120'** unten breiter und oben schmaler ist, ist das trapezförmige Profil der modifizierten Gräben **122'** am unteren Ende schmaler und am oberen Ende breiter.

[0044] Ein solches Profil ist vorteilhaft für einen nachfolgenden Metall-Gate-Füllprozess, wie in **Fig.** 14 dargestellt. Hier werden die eine oder mehreren Metall-Gate-Schichten **124** über der Einheit **100**

ausgebildet, darunter über den modifizierten Gräben **122'**, die sowohl durch das Entfernen des Opferpolysiliciums als auch durch das UV-Härten definiert worden sind. Im Gegensatz zu einem im Wesentlichen vertikalen Grabenprofil oder einem Grabenprofil, das oben schmaler ist, begünstigt das trapezförmige Grabenprofil, bei dem die Volumenschrumpfung einer Nitridschicht ein erweitertes oberes Ende der Gräben verursacht, eine bessere Abdeckung der Metallfüllung innerhalb der modifizierten Gräben **122'**, indem eine Abschnürung von Schichten und eine Hohlraumbildung innerhalb der Metall-Gate-Struktur vermieden wird. Wie in **Fig.** 15 dargestellt, werden schließlich die Metall-Gate-Schichten **124** planarisiert und dadurch durch RMG ausgebildete NFET-Einheiten **106** definiert.

[0045] Wie folglich zu erkennen ist, können die Vorteile einer verstärkten Verspannung, die das UV-Härten bietet, während der gesamten verbleibenden Bearbeitung der Einheit dadurch erhalten bleiben, dass das UV-Härten nicht gleichzeitig oder unmittelbar im Anschluss an die Abscheidung der Nitridschicht durchgeführt wird und stattdessen zunächst zumindest ein CMP der Nitridschicht und ein Dummy-Gate-Entfernen durchgeführt wird. Durch ein Durchführen des UV-Härtens nach einer Planarisierung/Dummy-Gate-Entfernung und vor einem Füllen mit Metall-Gates führt die resultierende Volumenschrumpfung und das trapezförmige Profil der Nitridschicht und der Gräben darüber hinaus zu besseren Metallfüllbedingungen.

Patentansprüche

1. Verfahren zum Ausbilden einer Halbleiterstruktur, wobei das Verfahren aufweist:
Ausbilden einer verspannungsinduzierenden Schicht über einer oder mehreren teilfertigen Feldeffekttransistor(FET)-Einheiten, die über einem Substrat angeordnet sind, wobei die eine oder die mehreren teilfertigen FET-Einheiten Opfer-Dummy-Gate-Strukturen beinhalten;
Planarisieren der verspannungsinduzierenden Schicht und Entfernen der Opfer-Dummy-Gate-Strukturen;
im Anschluss an das Planarisieren der verspannungsinduzierenden Schicht und das Entfernen der Opfer-Dummy-Gate-Strukturen ein Durchführen einer Ultraviolett(UV)-Härtung der verspannungsinduzierenden Schicht, um einen Wert einer durch die verspannungsinduzierende Schicht auf Kanalbereiche der einen oder mehreren teilfertigen FET-Einheiten aufgebrachten Ausgangsverspannung zu erhöhen; und
Füllen von Gräben, die durch das Entfernen der Opfer-Dummy-Gate-Strukturen definiert worden sind, mit einer oder mehreren Metall-Gate-Schichten, wobei die UV-Härtung vor dem Füllen der Gräben mit der einen oder den mehreren Metall-Gate-Schichten durchgeführt wird, um zu bewirken, dass die spannungsinduzierende Schicht und die Gräben ein trapezförmiges Profil annehmen.

2. Verfahren nach Anspruch 1, wobei die verspannungsinduzierende Schicht eine zugverspannte Nitridschicht aufweist und die eine oder mehreren teilfertigen FET-Einheiten n-FET(NFET)-Einheiten aufweisen.

3. Verfahren nach einem der vorangehenden Ansprüche, das des Weiteren ein Planarisieren der einen oder mehreren Metall-Gate-Schichten aufweist.

4. Verfahren nach einem der vorangehenden Ansprüche, wobei das trapezförmige Profil der Gräben so gestaltet ist, dass die Gräben an ihrem unteren Ende schmaler und an ihrem oberen Ende breiter sind.

5. Verfahren nach einem der vorangehenden Ansprüche, das des Weiteren aufweist:
Ausbilden einer Ersatzschicht mit hoher Dielektrizitätskonstante (high-k) in den Gräben vor dem Füllen mit der einen oder mehreren Metall-Gate-Schichten.

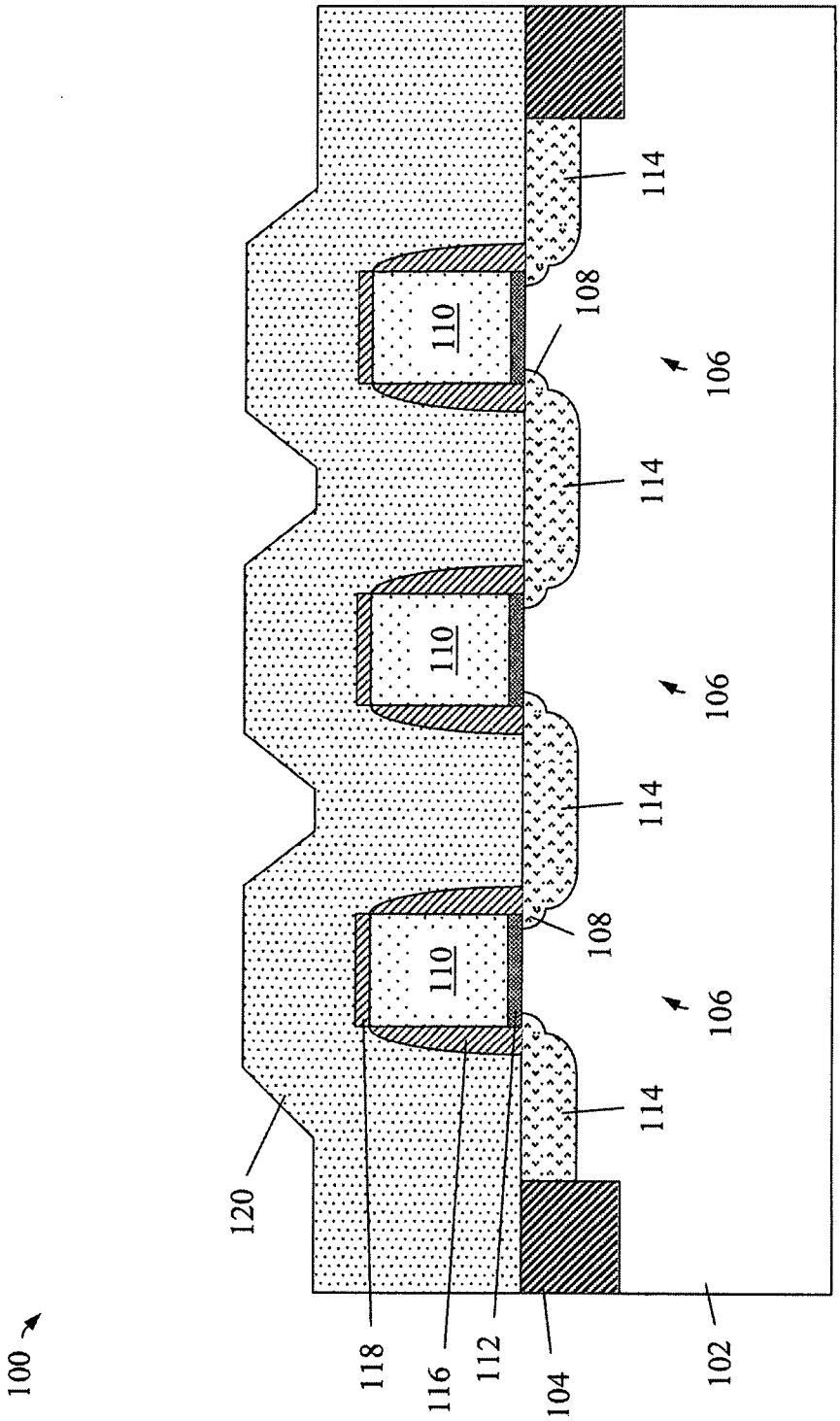
6. Verfahren nach Anspruch 2, wobei die durch die zugverspannte Nitridschicht aufgebrachte Ausgangsverspannung eine Größenordnung von etwa 0,7 Gigapascal (GPa) aufweist und der erhöhte Wert der Zugverspannung eine Größenordnung von etwa 1,6 GPa aufweist.

7. Verfahren nach einem der vorangehenden Ansprüche, wobei die eine oder mehreren Metall-Gate-Schichten eines oder mehrere aufweisen von: Titan-Nitrid, Tantal-Nitrid, Titan-Aluminium, Titan-Aluminium-Nitrid, Tantal-Aluminium, Tantal-Aluminium-Nitrid, einer Hafnium-Silicium-Legierung, Hafnium-Nitrid und Tantal-Carbid.

8. Verfahren nach einem der vorangehenden Ansprüche, das des Weiteren aufweist:
Ausbilden einer Ersatzschicht mit hoher Dielektrizitätskonstante (high-k), und wobei in den Gräben vor dem Füllen mit der einen oder den mehreren Metall-Gate-Schichten die High-k-Schicht Hafniumoxid (HfO_2) mit einer SiO_2-Grenzschicht aufweist; und
Tempern der High-k-Schicht, um diese zu verdichten.

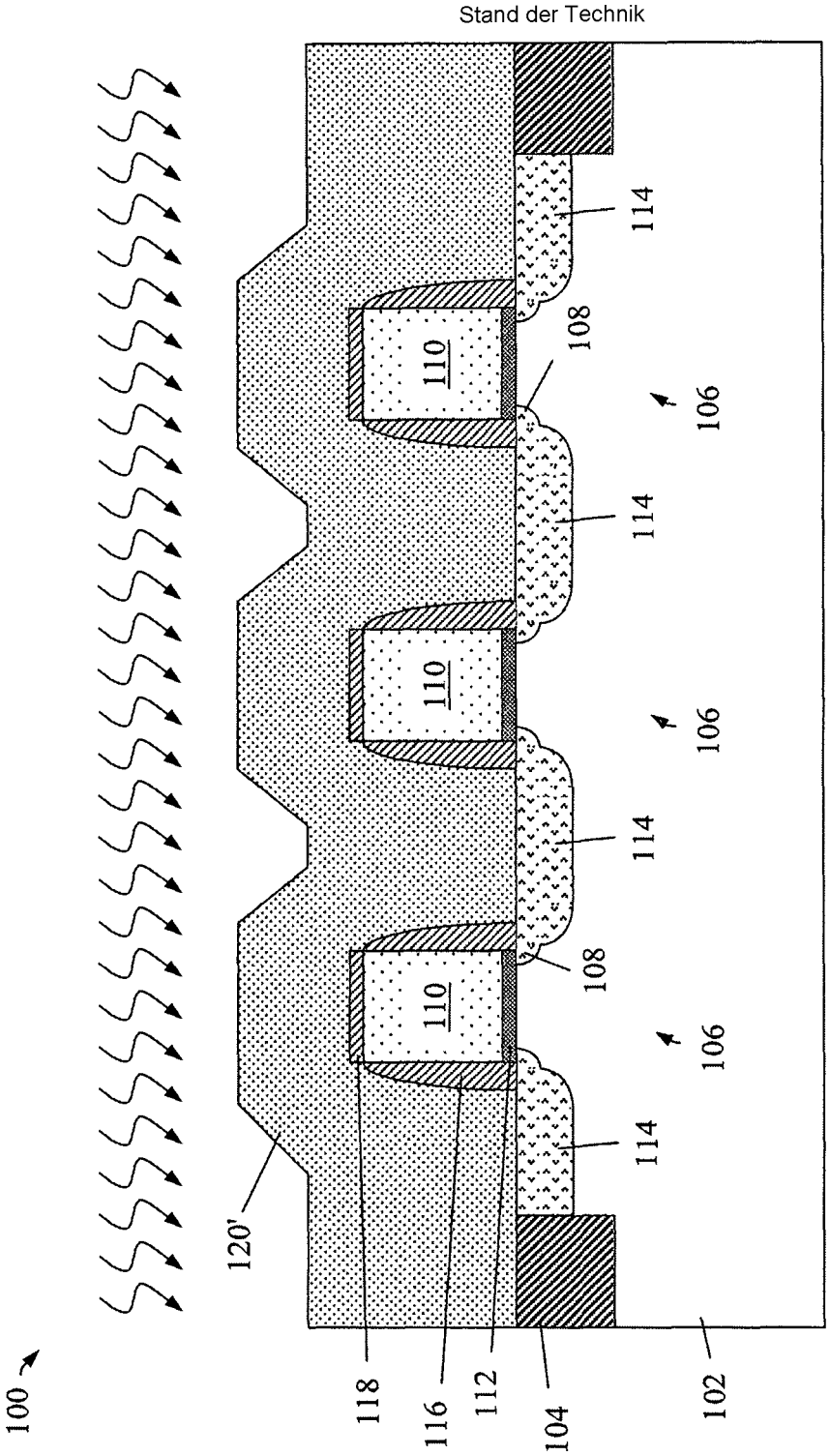
Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen



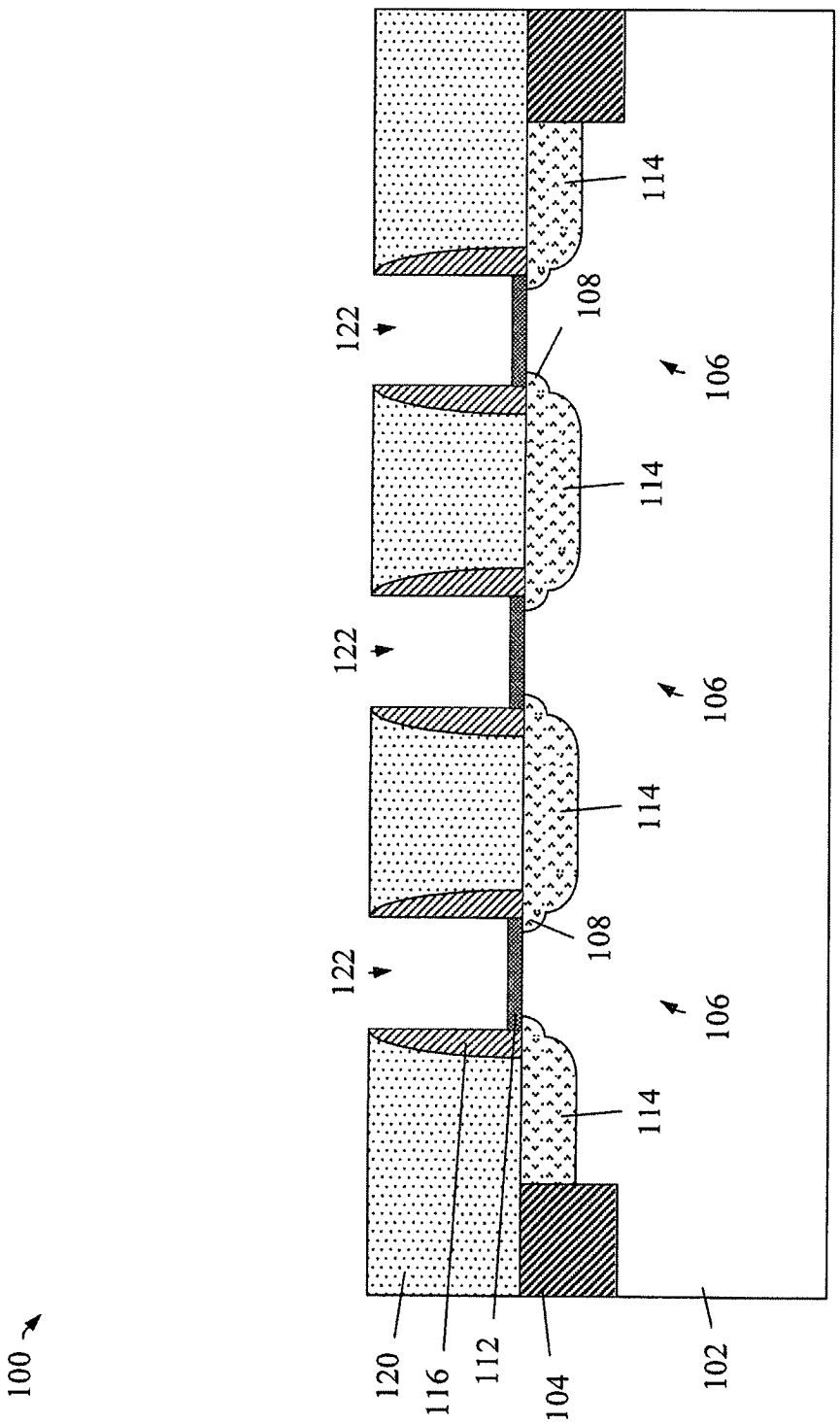
Stand der Technik

Figur 1

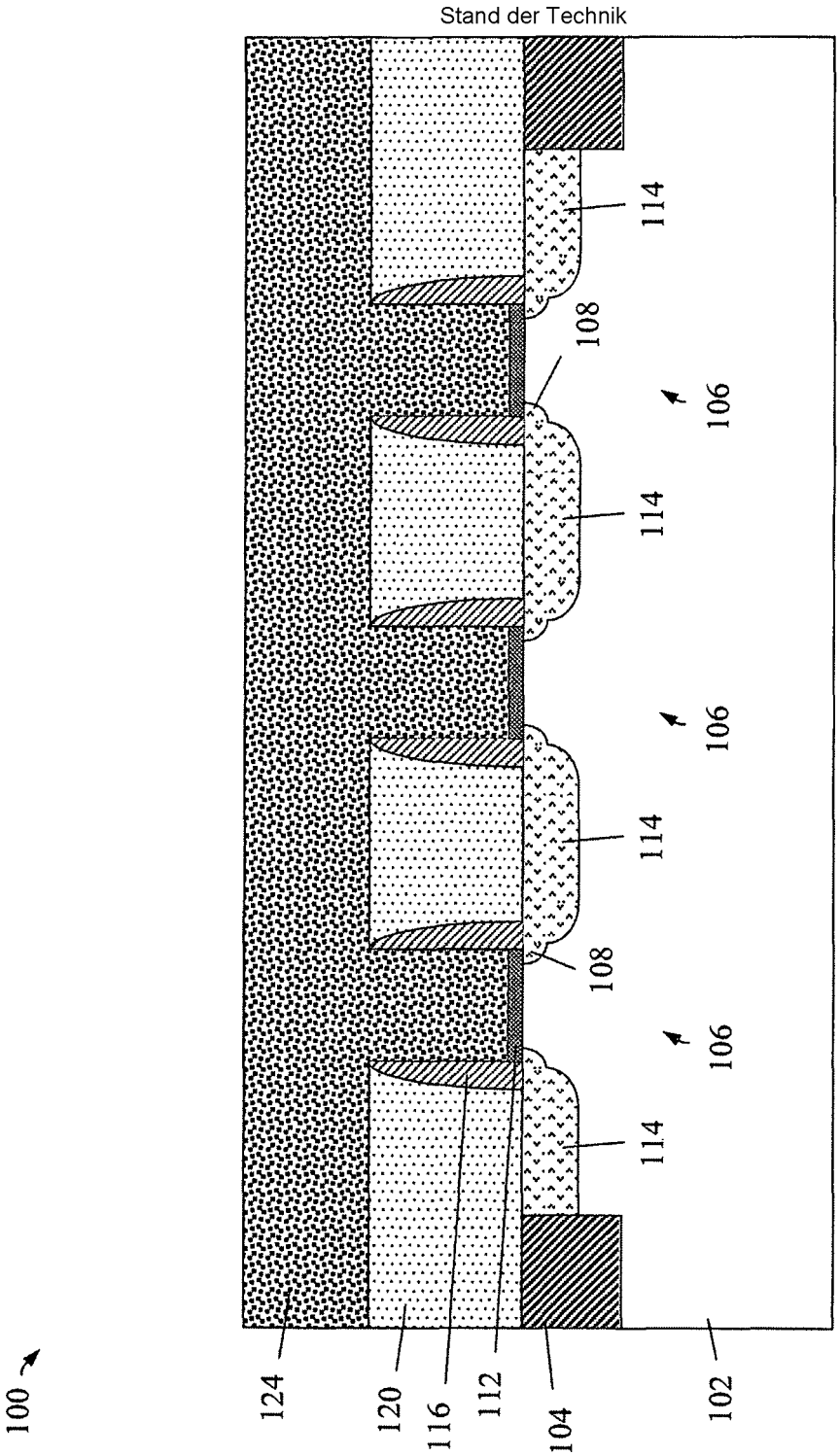


Figur 2

Stand der Technik

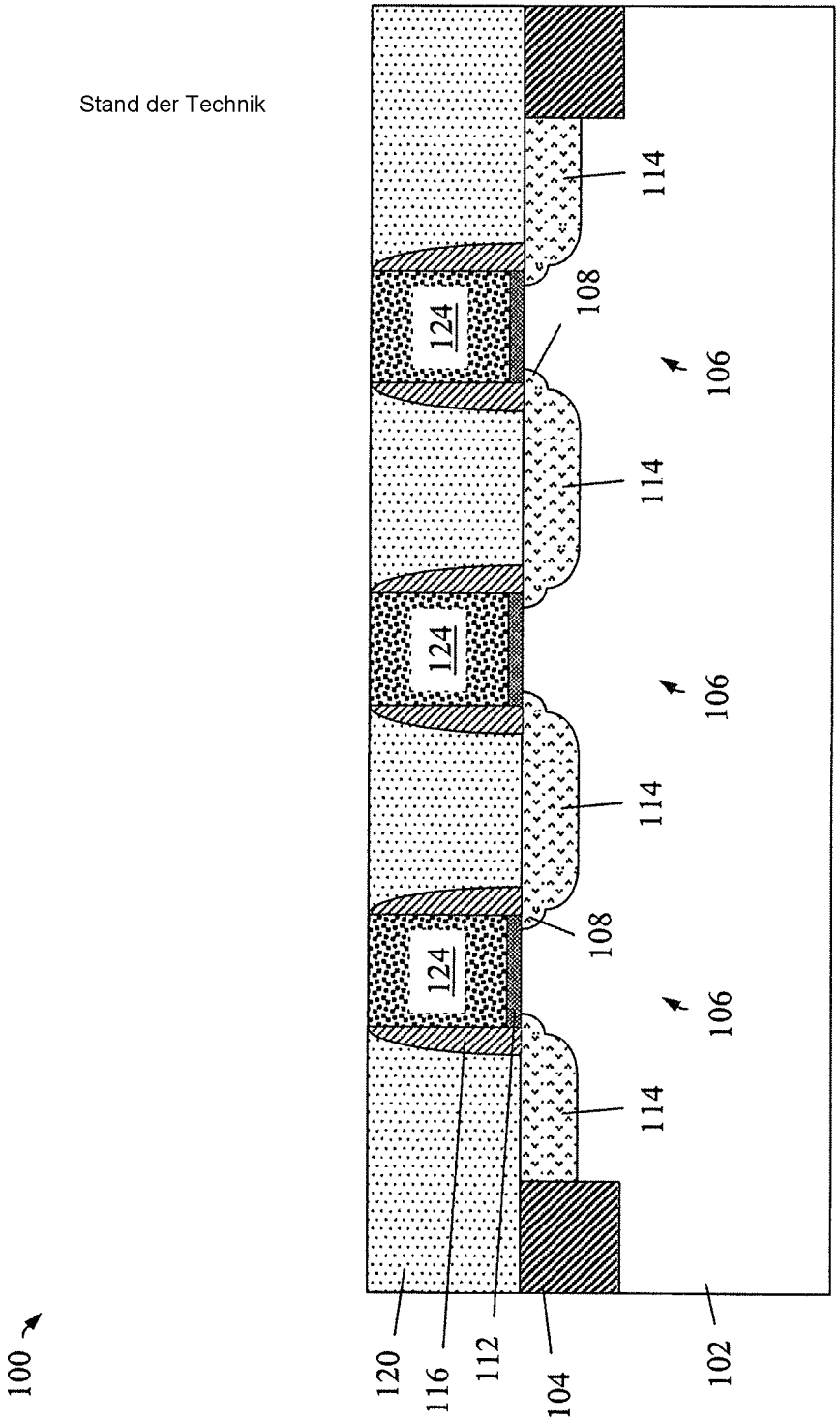


Figur 3

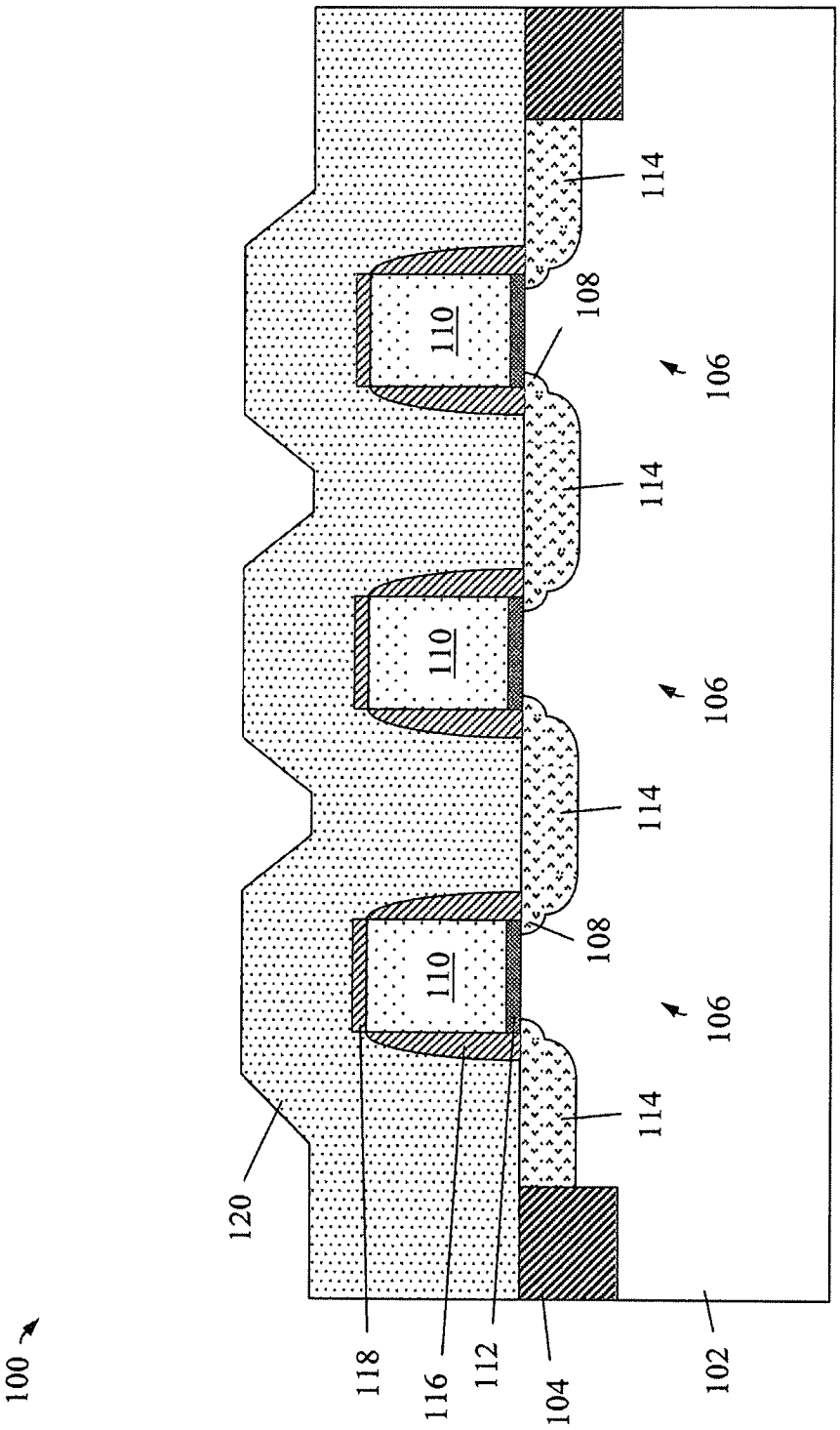

Stand der Technik
100
124
120
116
112
104
102
114
108
106
114
106
114
108
106
114

Figur 4

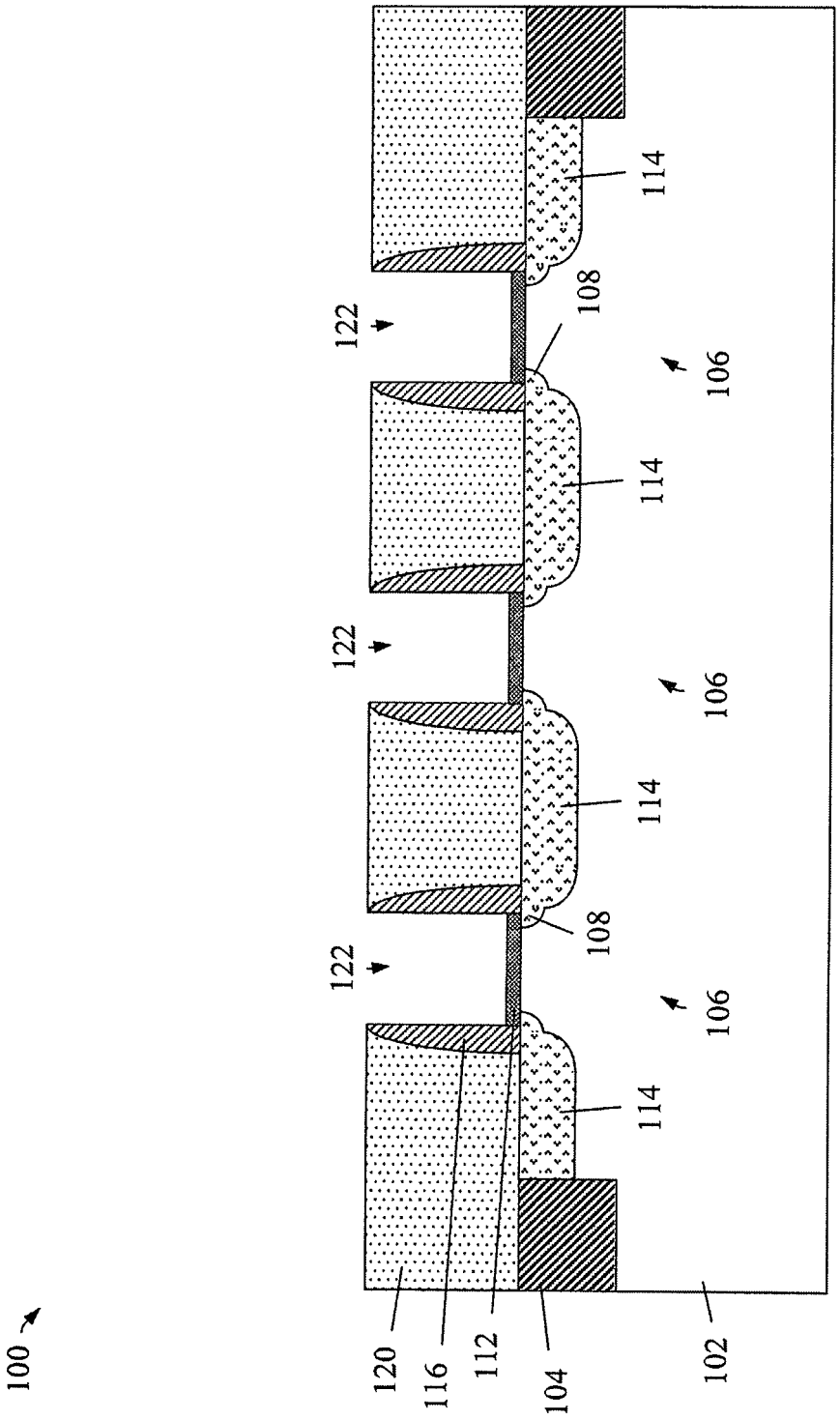
Stand der Technik



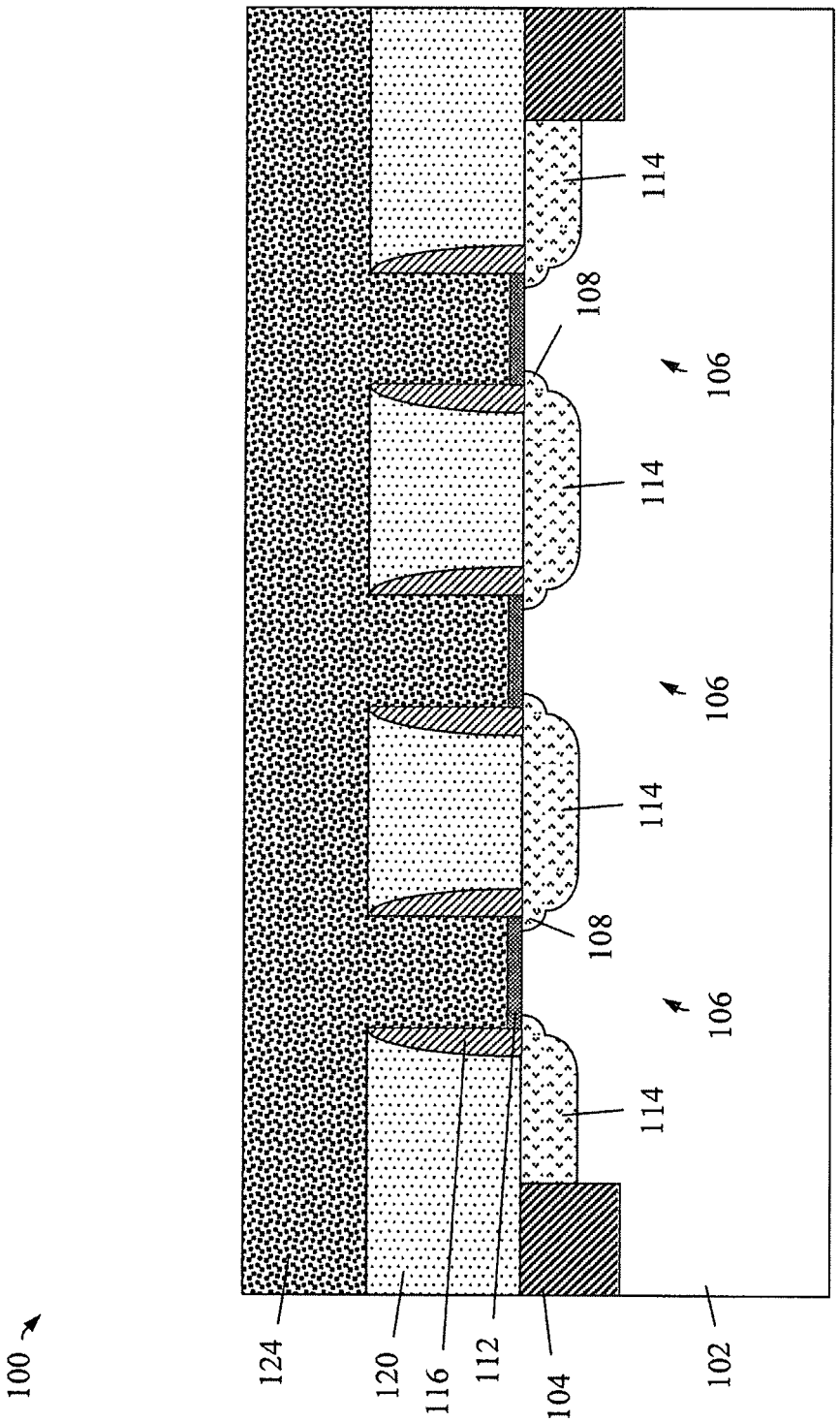
Figur 5


100
120
118
116
112
104
102
110
110
110
108
108
114
114
114
114
106
106
106

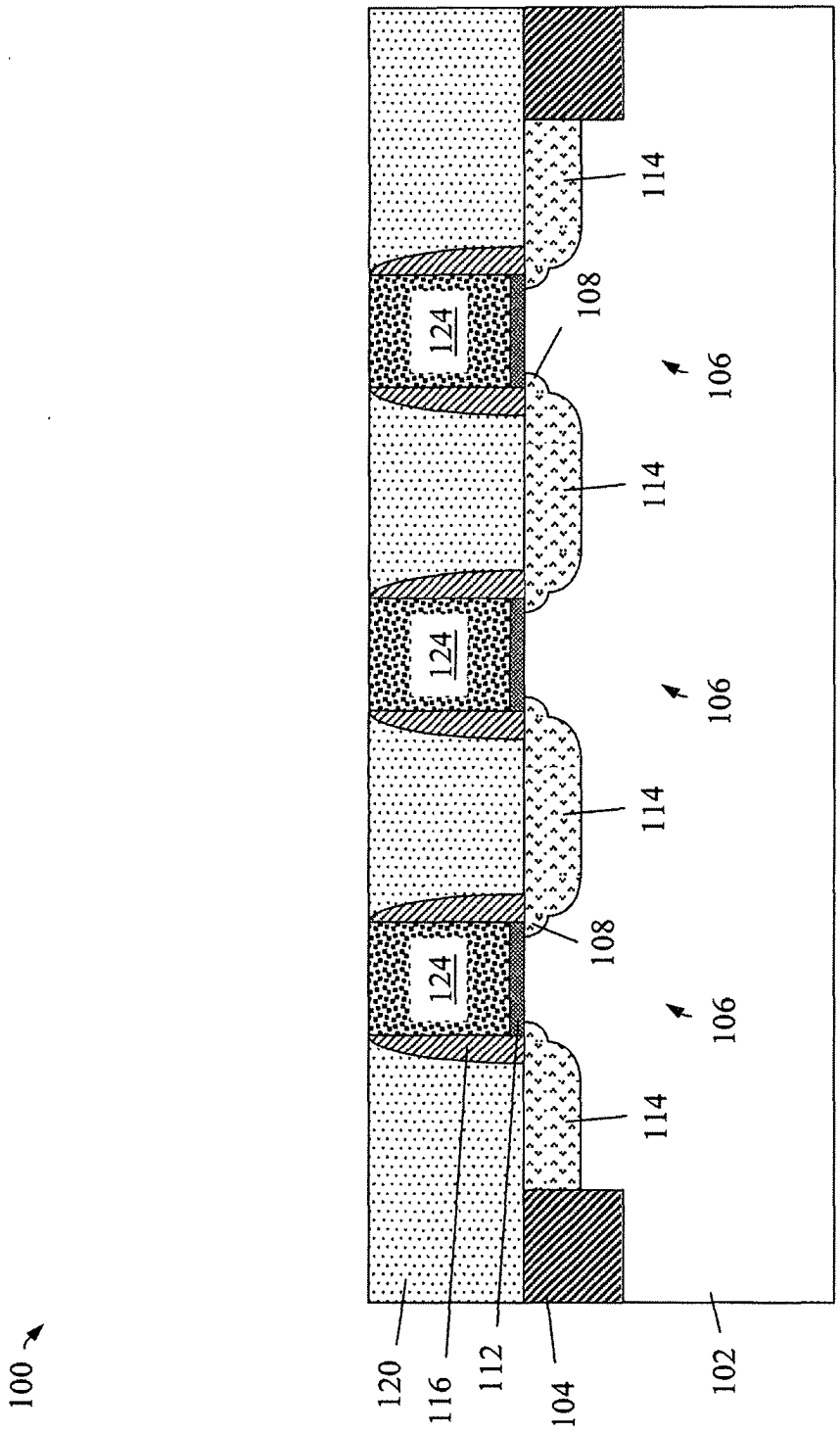
Figur 6



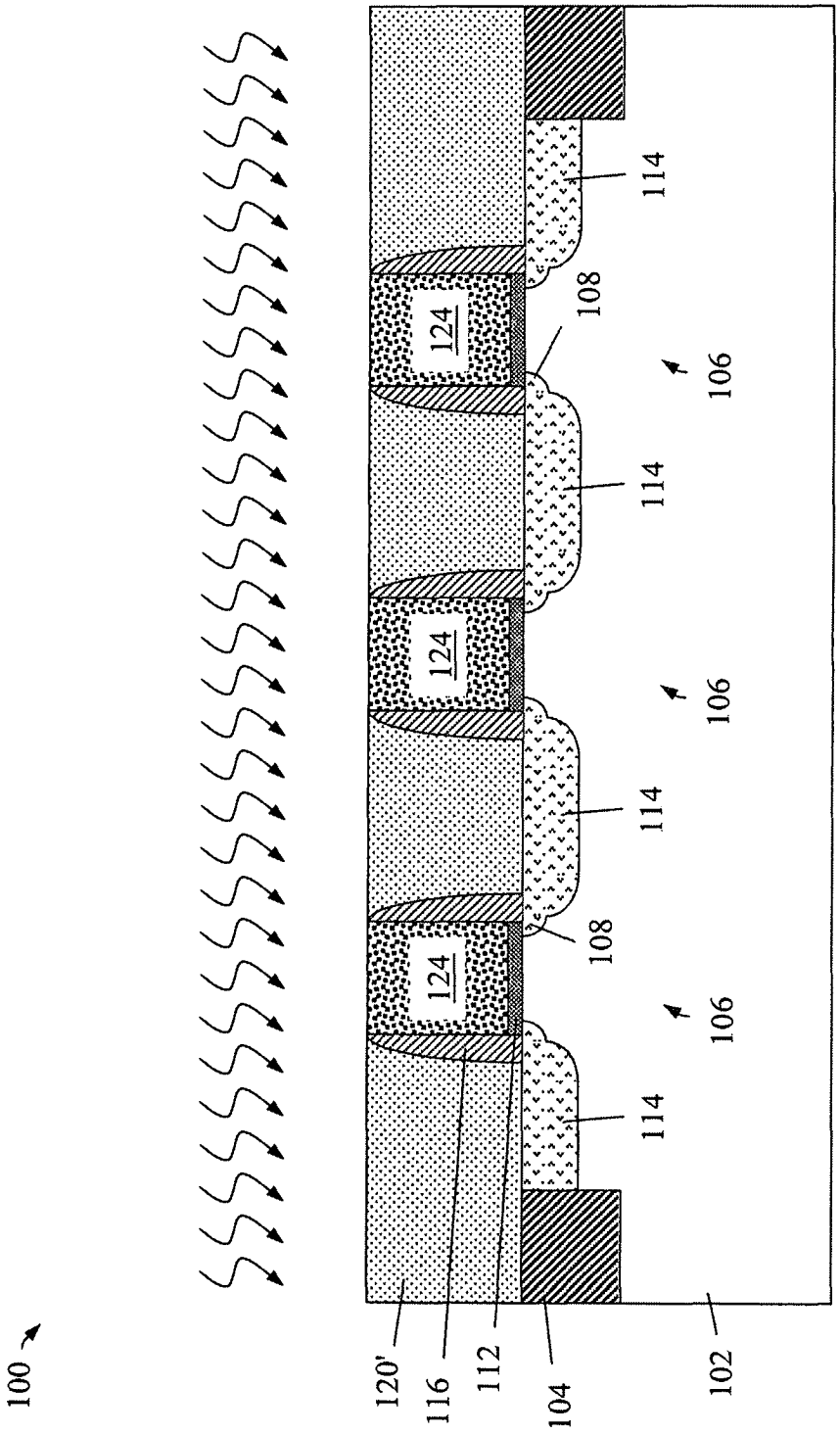
Figur 7



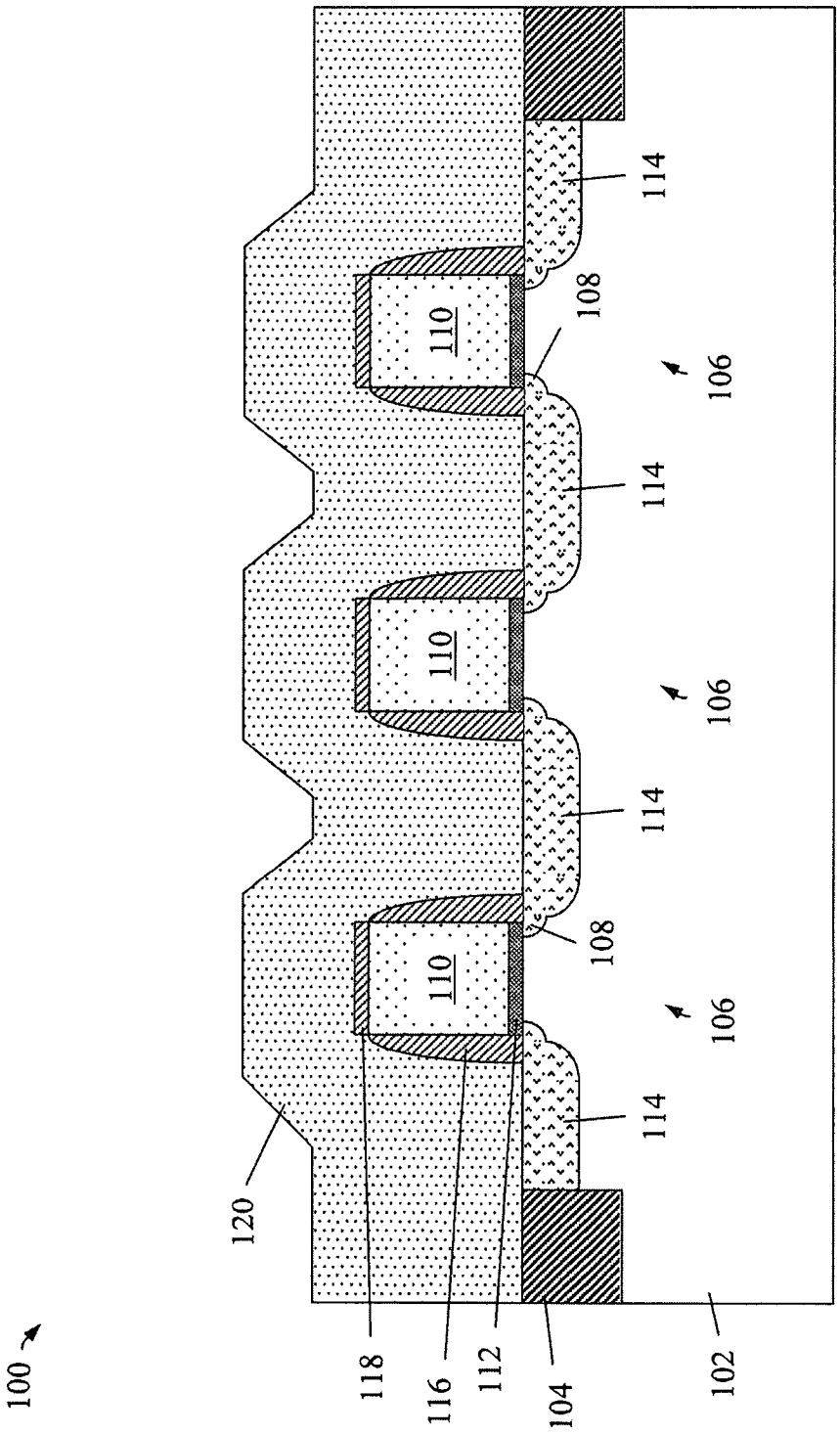
Figur 8


100
120
116
112
104
102
124
124
124
108
108
114
114
114
114
106
106
106

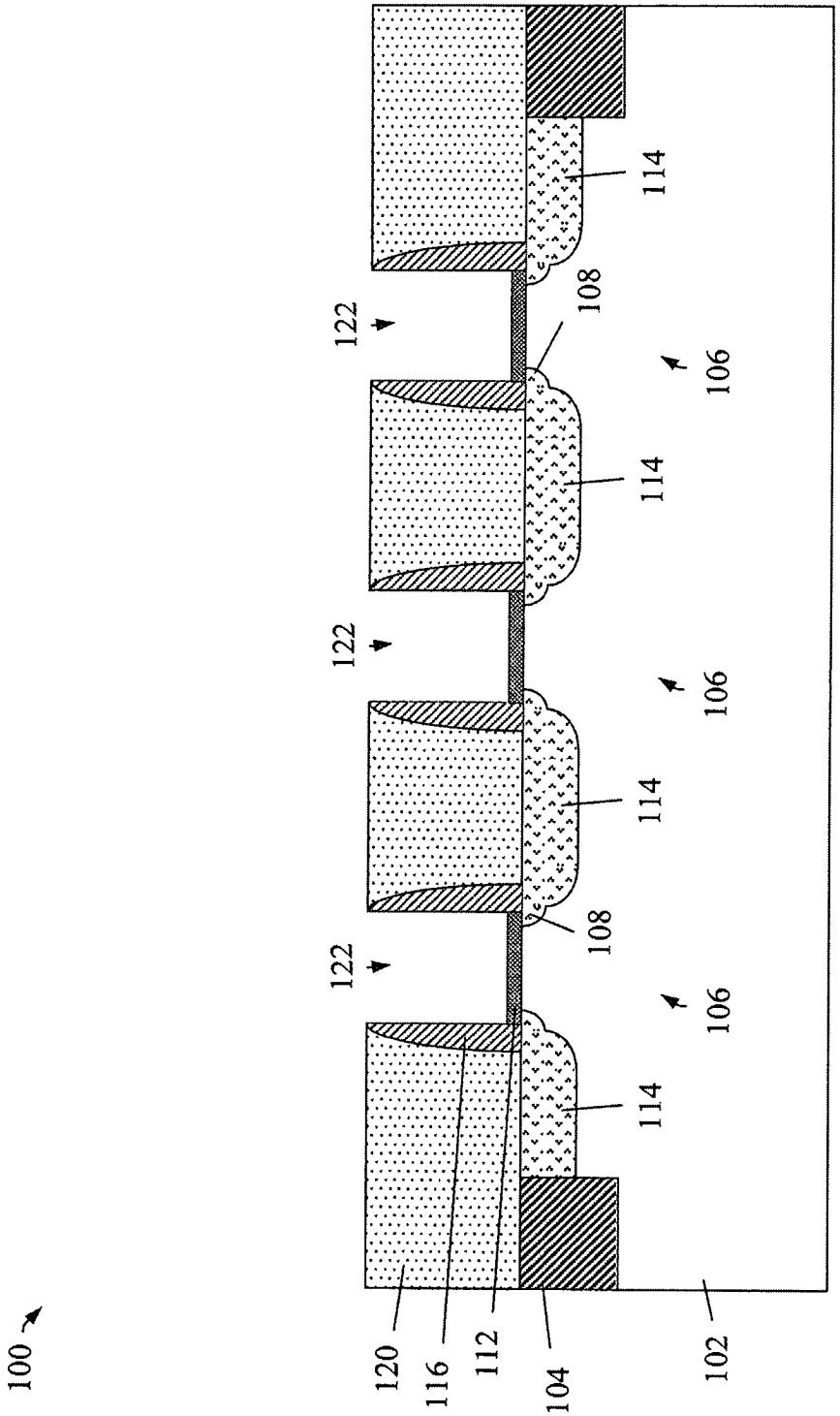
Figur 9


100
120'
116
112
104
102
124
124
124
108
108
114
114
114
114
106
106
106

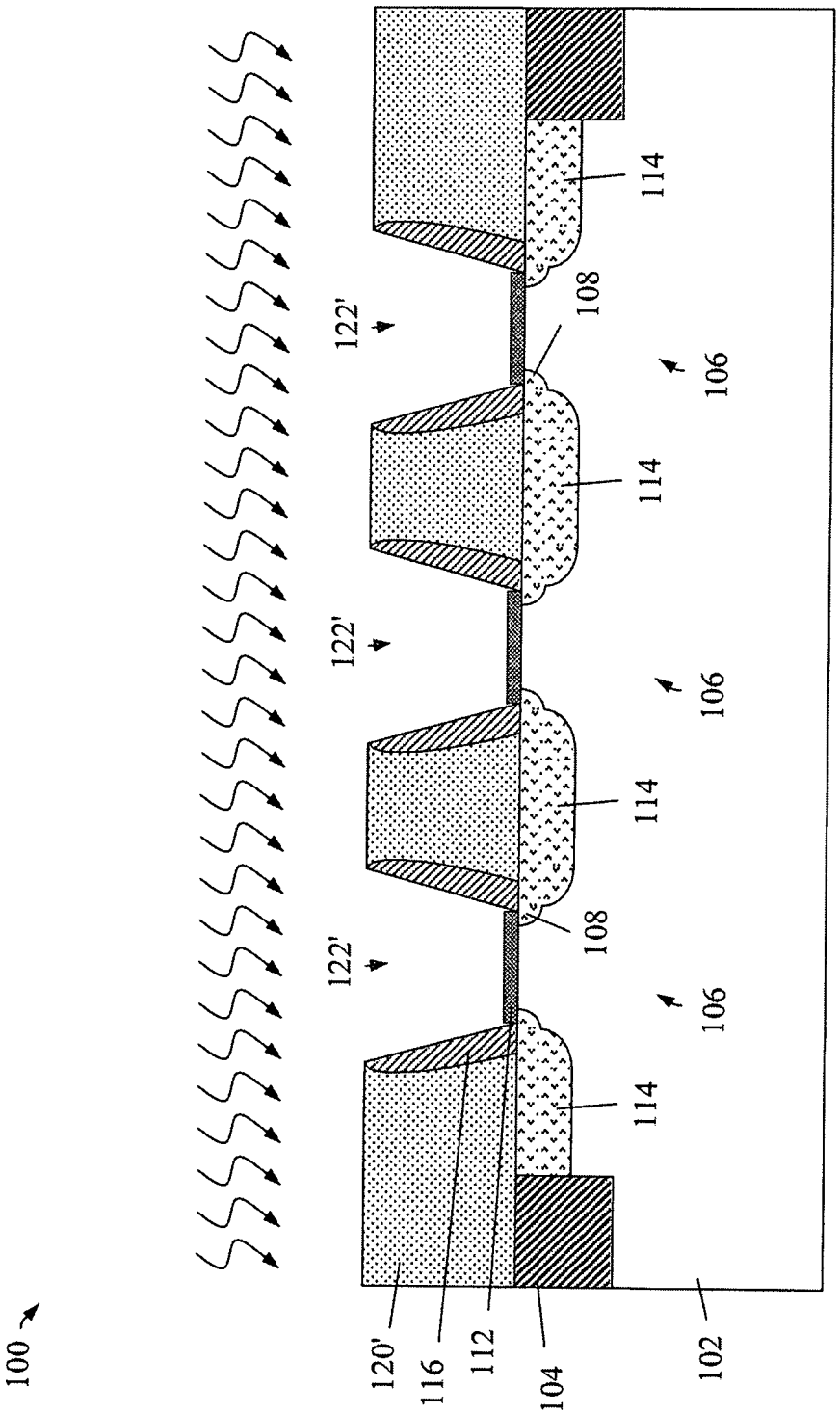
Figur 10


100
120
118
116
112
104
102
110
110
110
108
108
114
114
114
114
106
106
106

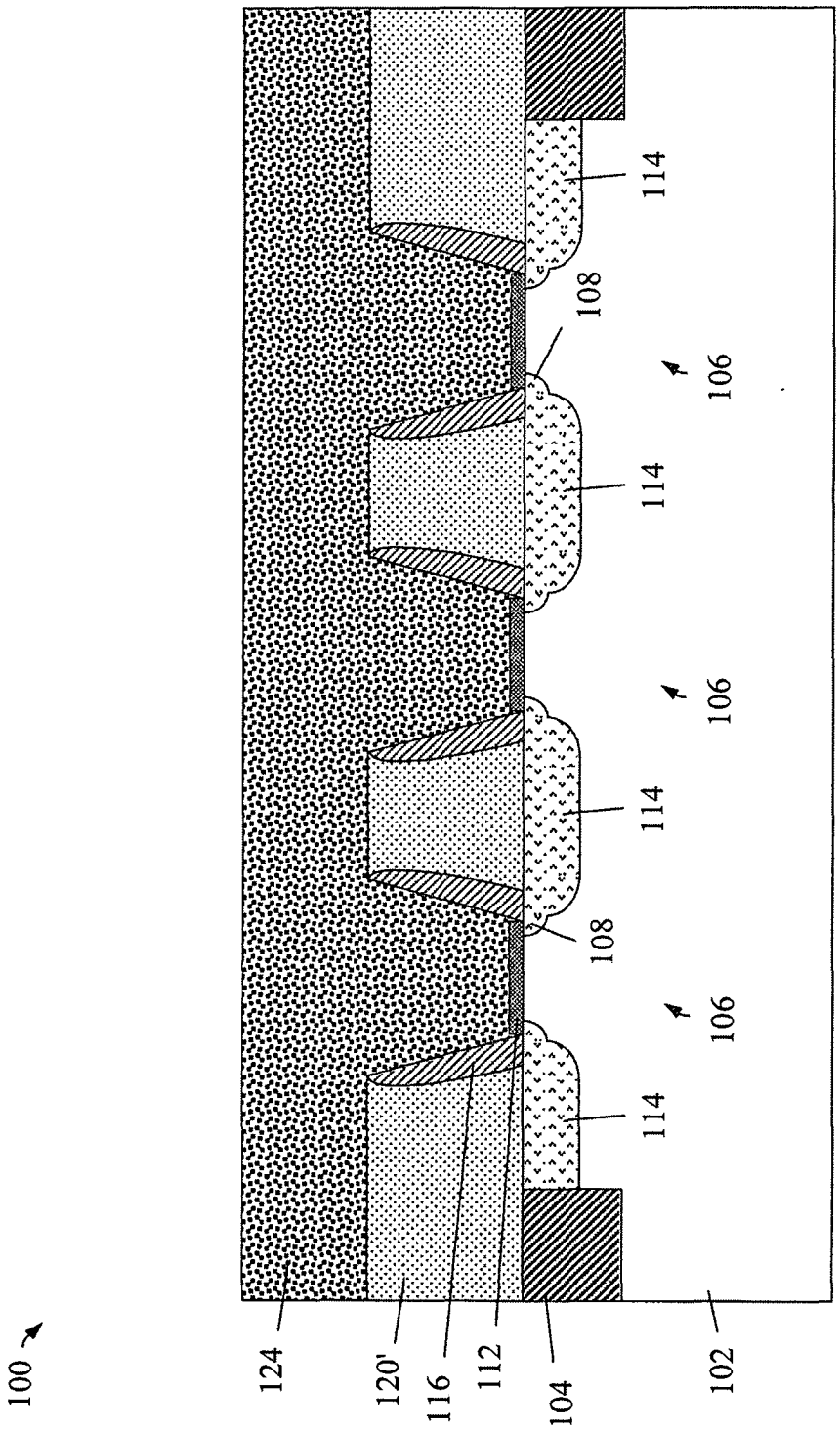
Figur 11



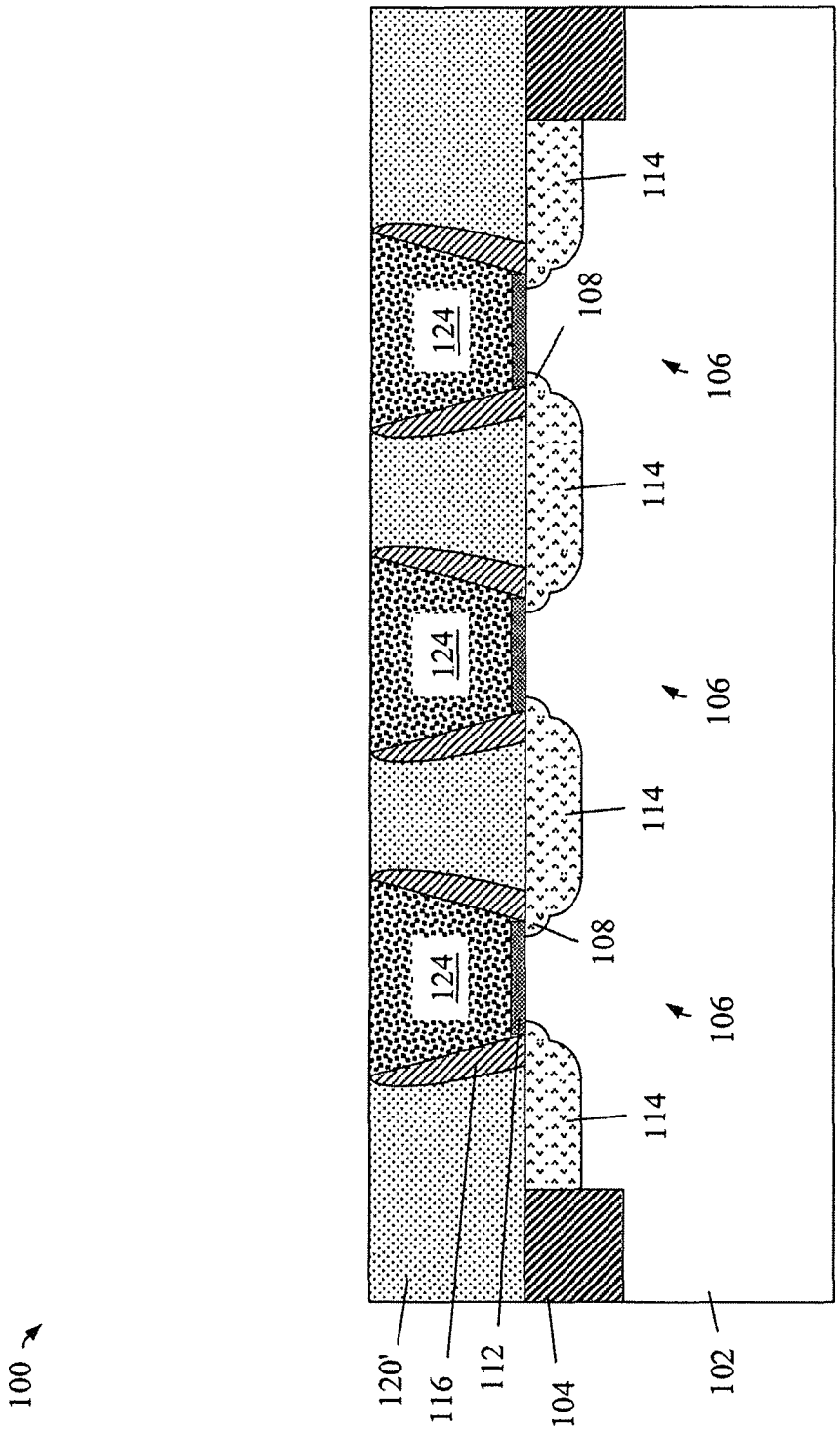
Figur 12


100
120'
116
112
104
102
122'
122'
122'
108
108
114
114
114
114
106
106
106

Figur 13



Figur 14


100
120'
116
112
104
102
124
124
124
108
108
114
114
114
114
106
106
106

Figur 15