[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
*G06F 13/12 (2006.01)*

[12] 发明专利说明书

专利号 ZL 200480012216.4

[45] 授权公告日 2008 年 11 月 19 日

[11] 授权公告号 CN 100435122C

[22] 申请日 2004.4.16
[21] 申请号 200480012216.4
[30] 优先权
[32] 2003. 5. 7 [33] US [31] 10/431,285
[86] 国际申请 PCT/US2004/011874 2004.4.16
[87] 国际公布 WO2004/102402 英 2004.11.25
[85] 进入国家阶段日期 2005.11.7
[73] 专利权人 飞思卡尔半导体公司
地址 美国得克萨斯
[72] 发明人 威廉姆·C.·莫耶
[56] 参考文献
WO00/38077A1 2000.6.29
CN1306246A 2001.8.1
CN1410893A 2003.4.16
审查员 刘 慧

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 李德山

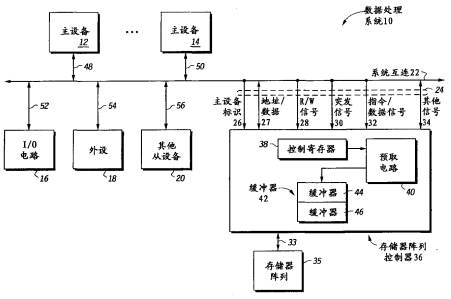
权利要求书 3 页 说明书 12 页 附图 3 页

[54] 发明名称

# 具有外设访问保护的数据处理系统

[57] 摘要

一种数据处理系统(10)包括互连(22)；第一互连主设备(12)；第二互连主设备(14)，且第一互连主设备和第二互连主设备与互连相连；共享存储设备(35)，与互连相连，由第一互连主设备和第二互连主设备使用。 数据处理系统还包括对应第一互连主设备的第一控制存储电路(60，64)和对应第二互连主设备的第二控制存储电路(62，66)。 在一个实施例中，预取电路(40)与第一控制存储电路和第二控制存储电路相连，并基于第一和第二互连主设备中哪一个正请求对共享存储设备的访问而在第一和第二控制存储电路中选择其中之一。 然后，预取电路能够使用选出的控制存储电路来确定由对共享存储设备的访问所触发的预取操作。



1. 一种数据处理系统，包括:

互连;

第一互连主设备，与互连相连;

第二互连主设备，与互连相连;

共享存储设备，与互连相连，由第一互连主设备和第二互连主设备使用;

对应于第一互连主设备的第一控制存储电路;

对应于第二互连主设备的第二控制存储电路，和

预取电路，与第一控制存储电路和第二控制存储电路相连，所述预取电路基于是第一互连主设备还是第二互连主设备正请求对共享存储设备的访问而选择第一和第二控制存储电路之一，且所述预取电路使用选出的控制存储电路来选择性地限制由对共享存储设备的访问所触发的从共享存储设备的预取。

2. 根据权利要求 1 的数据处理系统，其中，第一互连主设备执行指令，且其中，第一控制存储电路和预取电路选择性地限制对指令访问的预取。

3. 根据权利要求 1 的数据处理系统，其中，第一互连主设备执行直接存储器存储，且其中，第一控制存储电路和预取电路选择性地限制对数据访问的预取。

4. 根据权利要求 1 的数据处理系统，其中，第一互连主设备执行调试操作，且其中，第一控制存储电路和预取电路通过阻止预取而选择性地限制预取。

5. 根据权利要求 1 的数据处理系统，其中，第一控制存储电路和预取电路通过阻止非突发访问的预取而选择性地限制预取。

6. 一种提供预取控制的方法，所述方法包括:

接收用于访问存储设备的访问请求;

提供预取控制存储电路，以便对预取突发访问控制信息进行存储;

和

基于突发访问控制信息以及访问请求是否为突发访问，选择性地启动对存储设备的预取。

7. 根据权利要求 6 的方法，还包括:

提供第一互连主设备；和

提供第二互连主设备;

其中，提供预取控制存储电路的步骤包括，基于访问请求是来自第一互连主设备还是第二互连主设备，从多个预取控制存储电路中选择其中之一，来提供突发访问控制信息。

8. 一种用于在数据处理系统中提供预取控制的方法，所述方法包括:

提供第一互连主设备;

提供第二互连主设备;

接收用于访问共享存储设备的访问请求;

基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路；和

使用存储在该预取控制存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作，

其中，使用存储在预取控制存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作的步骤包括，基于访问请求是否为突发访问而选择性地启动对共享存储设备的预取。

9. 一种用于在数据处理系统中提供预取控制的方法，所述方法包括:

提供第一互连主设备;

提供第二互连主设备;

接收用于访问共享存储设备的访问请求;

基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路；和

使用存储在该预取控制存储电路中的控制信息来控制由对于共享存

储设备的访问请求所触发的预取操作，其中，使用存储在预取控制存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作的步骤包括，基于访问请求是指令访问还是数据访问而选择性地启动对共享存储设备的预取。

**10.** 一种用于在数据处理系统中提供预取控制的方法，所述方法包括:

提供第一互连主设备;

提供第二互连主设备;

接收用于访问共享存储设备的访问请求;

基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路; 和

使用存储在该预取控制存储电路中的控制信息，基于访问请求的至少一个访问属性来选择性地启动对共享存储设备的预取。

# 具有外设访问保护的数据处理系统

## 技术领域

本发明涉及数据处理系统，更具体而言，涉及数据处理系统内的预取控制。

## 背景技术

预取常用于在数据处理系统内访问信息。通过在请求信息之前预取该信息，可缩减因访问总线主设备所请求的信息而导致的等待时间。然而，在普通预取方案中，由于总线主设备可能未请求访问预取的信息，从而使许多预取被浪费。普通预取方案的另一缺点在于，预取操作需要一定部分的可用存储器带宽，这可能干扰总线主设备所请求的要求获取（demand fetch）。因此，需要有一种预取方法，其减少被浪费的预取的数量，避免发生与数据处理功能的不必要干扰，导致功耗量降低以及优化数据处理性能。

## 发明内容

针对现有技术的上述缺点，本发明提供了一种数据处理系统和预取控制方法，其减少被浪费的预取的数量，避免发生与数据处理功能的不必要干扰，导致功耗量降低以及优化数据处理性能。

根据本发明的一个方面，提供了一种数据处理系统，包括：互连；第一互连主设备，与互连相连；第二互连主设备，与互连相连；共享存储设备，与互连相连，由第一互连主设备和第二互连主设备使用；对应于第一互连主设备的第一控制存储电路；对应于第二互连主设备的第二控制存储电路，和预取电路，与第一控制存储电路和第二控制存储电路相连，所述预取电路基于是第一互连主设备还是第二互连主设备正请求对共享存储设备的访问而选择第一和第二控制存储电路之一，且所述预

取电路使用选出的控制存储电路来选择性地限制由对共享存储设备的访问所触发的从共享存储设备的预取。

根据本发明的另一方面，提供了一种提供预取控制的方法，所述方法包括：接收用于访问存储设备的访问请求；提供预取控制存储电路，以便存储预取突发访问控制信息；和基于突发访问控制信息以及访问请求是否为突发访问，选择性地启动对存储设备的预取。

根据本发明再一方面，提供了一种用于在数据处理系统中提供预取控制的方法，所述方法包括：提供第一互连主设备；提供第二互连主设备；接收用于访问共享存储设备的访问请求；基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路；和使用存储在该预取存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作，其中，使用存储在预取存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作的步骤包括，基于访问请求是否为突发访问而选择性地启动对共享存储设备的预取。

根据本发明的一个方面，提供了一种用于在数据处理系统中提供预取控制的方法，所述方法包括：提供第一互连主设备；提供第二互连主设备；接收用于访问共享存储设备的访问请求；基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路；和使用存储在该预取存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作，其中，使用存储在预取存储电路中的控制信息来控制由对于共享存储设备的访问请求所触发的预取操作的步骤包括，基于访问请求是指令访问还是数据访问而选择性地启动对共享存储设备的预取。

根据本发明另一方面，提供了一种用于在数据处理系统中提供预取控制的方法，所述方法包括：提供第一互连主设备；提供第二互连主设备；接收用于访问共享存储设备的访问请求；基于访问请求是来自第一互连主设备还是第二互连主设备，选择预取控制存储电路；和使用存储在该预取存储电路中的控制信息，基于访问请求的至少一个访问属性来选择性地启动对共享存储设备的预取。

附图说明

本发明以示例方式进行说明，且不受附图的限制，其中，同样的附图标记表示相同的元件，且其中：

图 1 以框图形式表示根据本发明的一个实施例的数据处理系统；

图 2 根据本发明的一个实施例以框图形式表示图 1 所示数据处理系统的控制寄存器；

图 3 根据本发明的一个实施例以表格形式表示图 2 所示控制寄存器的字段描述；以及

图 4 根据本发明的一个实施例以流程图表示图 1 所示数据处理系统的操作。

本领域技术人员应该理解，图中的元件是出于便于简单和清楚的目的来说明的，且没有必要按照比例画出。例如，可使得图中某些元件的尺寸相对于其他元件而扩大，以便有利于理解本发明的实施例。

具体实施方式

如此处所使用的，术语“总线”指可用于传输一个或多个各种类型信息（例如，数据、地址、控制，或状态）的多个信号或导体。此处所述的导体可作为单个导体、多个导体、单向导体，或双向导体进行表示或描述。然而，不同的实施例可具有不同的导体实现方式。例如，可以使用分离的单向导体而非双向导体，反之亦然。此外，可使用串行或以时间复用方式传递多个信号的单个导体来代替多个导体。同样，可将携载多个信号的单个导体分离成多个携载这些信号的子集的不同导体。因此，存在有传递信号的多种选择。

本发明的一个实施例涉及数据处理系统内的选择性预取控制。例如，在多主设备数据处理系统内，基于诸如作出访问请求的主设备的标识以及访问请求的类型（例如，访问请求是访问数据还是访问指令，或者，访问请求是突发的还是非突发的访问）的属性，可由主设备的访问请求（例如，读访问请求，也称为要求获取）来触发预取操作。通过使

用能存储与例如数据处理系统内每个主设备相关的预取控制信息的预取控制寄存器(或其它预取控制存储电路)，能够确定或控制预取操作。在某些实施例中，预取操作可包括禁止预取，以便不发生任何预取。通过在数据处理系统内选择性地控制预取，能够制止消耗过多功率并导致更低性能的被浪费预取。

本发明的一个实施例涉及一种数据处理系统，该数据处理系统具有互连，与互连相连的第一互连主设备，与互连相连的第二互连主设备，与互连相连以便由第一互连主设备和第二互连主设备使用的共享存储设备，对应于第一互连主设备的第一控制存储电路，对应于第二互连主设备的第二控制存储电路，和与第一控制存储电路和第二控制存储电路相连的预取电路。预取电路基于第一和第二互连主设备中哪一个正请求对共享存储设备的访问而选择第一和第二控制存储电路之一，且所述预取电路使用选出的控制存储电路来确定由对共享存储设备的访问所触发的预取操作。

本发明的另一实施例涉及用于在数据处理系统中提供预取控制的方法。在该实施例中，接收访问存储设备的访问请求，提供预取控制存储电路以存储预取突发访问控制信息，基于突发访问控制信息以及访问请求是否为突发访问，选择性地启动对存储设备的预取。

本发明的又一实施例涉及在数据处理系统中提供预取控制的方法，其中，提供第一互连主设备，提供第二互连主设备，接收用于访问共享存储设备的访问请求，基于访问请求是来自第一互连主设备还是第二互连主设备来选择预取控制存储设备，使用存储在预取存储电路中的控制信息来控制由对共享存储设备的访问请求所触发的预取操作。

图 1 表示数据处理系统 10 的一个实施例。数据处理系统 10 包括，主设备 12（也称为互连主设备 12），主设备 14（也称为互连主设备 14），存储器阵列控制器 36，系统互连 22，I/O 电路 16，外围设备 18，其他从设备 20，和存储器阵列 35。主设备 12 通过导体 48 与系统互连 22 双向连接，主设备 14 通过导体 50 与系统互连 22 双向连接，I/O 电路通过导体 52 与系统互连 22 双向连接，外围设备 18 通过导体 54 与系

统互连 22 双向连接，其他从设备 20 通过导体 56 与系统互连 22 双向连接，以及存储器阵列控制器 36 通过导体 24 与系统互连 22 双向连接。导体 24 包括用于传递主设备标识 26、地址／数据 27、R/W 信号 28、突发信号 30、指令／数据信号 32 以及其他信号 34 的导体。存储器阵列控制器 36 包括控制寄存器 38、预取电路 40 和缓冲器 42，并通过导体 33 与存储器阵列 35 双向连接。控制寄存器 38 与预取电路 40 相连，预取电路 40 与缓冲器 42 相连。缓冲器 42 包括缓冲器 44 和缓冲器 46。尽管在图 1 中仅示出一个外围设备 18，但数据处理系统 10 可包括与系统互连 22 相连的任何数量的外围设备。同样，可有任何数量的主设备和从设备与系统互连 22 相连，它们并不受限于如图 1 所示的那些。还应注意，在一个实施例中，可使数据处理系统 10 的所有部分处在单个集成电路上或在同一器件内。或者，数据处理系统 10 可包括彼此互连的任何数量的分立集成电路或分立器件。例如，在一个实施例中，可使存储器和存储器控制器（例如，存储器阵列 35 和存储器阵列控制器 36）处在一个或多个集成电路上，而与数据处理系统 10 的其他部分分立。

在一个实施例中，总线主设备 12 和总线主设备 14 可以是能够执行指令的处理器，例如，微处理器、数字信号处理器等，或可为任何类型的互连主设备，例如，直接存储器存取（DMA）电路或调试电路。外围设备 18 可为任何类型的外围设备，例如，通用异步收发器（UART）、实时时钟（RTC）、键盘控制器等。注意，其他从设备 20 可包括任何类型的互连从设备，例如，可为主设备 12 和 14 访问的存储器，以及驻留在系统总线上的任何类型外围设备，包括与外围设备 18 同类型的外围设备。I/O 电路 16 可包括接收或向数据处理系统 10 外部提供信息的任何类型的 I/O 电路。

在所示实施例中，存储器阵列控制器 36 和存储器阵列 35 对应于与系统互连 22 相连的另一从设备。注意，在可选实施例中，存储器阵列 35 可包括任何数量的阵列。还应注意，在可选实施例中，存储器阵列 35 可称为共享存储设备 35，这是由于它是由与系统互连 22 相连的至少两个主设备（例如，主设备 12 和 14）共享的存储设备。存储器阵列 35

可与主设备 12 和 14 处在同一集成电路上，或处在不同的集成电路上。此外，存储器阵列 35 可为任何类型的存储器，例如，只读存储器（ROM），随机存取存储器（RAM），非易失性存储器（例如，闪存）等。此外，存储器阵列 35 可为处在另一外围设备或从设备内的存储器或其他存储设备。

系统互连 22 将主设备 12、主设备 14、I/O 电路 16、外围设备 18、其他从设备 20 和存储器阵列控制器 36 互连。在一个实施例中，如图 1 所示，将系统互连 22 实现为根据系统总线协议操作的系统总线。或者，可使用互连电路，例如交换电路（在各种设备之间路由信息），实现系统互连 22。

在操作中，主设备 12 和 14 请求访问系统互连 22，以请求对其他从设备 20，外围设备 18，或通过存储器阵列控制器 36 对存储器阵列 35 的访问。请求主设备能够通过系统互连 22 向存储器阵列控制器 36 提供访问请求。访问请求例如可为对数据或指令的读取请求或写入请求。响应读取访问请求，存储器阵列控制器 36 通过系统互连 22 反过来向请求主设备提供被请求信息（数据或指令）。注意，也可将来自请求主设备的读取访问请求称为要求获取。在一个实施例中，对于一访问请求，向存储器阵列控制器 36 提供主设备标识 26，其标识出哪个主设备正在请求当前的访问。此外，还向存储器阵列控制器 36 提供 R/W 信号 28，以表示当前请求是读出还是写入类型的访问。向存储器阵列控制器 36 提供突发信号 30，以表示当前访问请求是突发还是非突发类型的访问。例如，非突发类型的访问可包括单拍（single beat）读出或写入。向存储器阵列控制器 36 提供指令／数据信号 32，以表示当前访问请求是请求指令还是数据。通过地址／数据 27，存储器阵列控制器 36 还接收对应于当前访问请求的地址信息以及提供被请求信息。在其他信号 34 内，可提供需传递到以及来自存储器阵列控制器 36 的任何其他信号。

在一个实施例中，存储器阵列 35 与存储器阵列控制器 36 之间导体 33 的宽度大于系统互连 22 的宽度。例如，在一个实施例中，系统互连 22 仅为导体 33 的宽度的四分之一，这意味着，在从存储器阵列 35 的单

个访问中能够获得有 4 个数据或指令项的单个突发事务。例如，导体 33 可为 256 位宽，而系统互连 24 和数据或指令项仅为 64 位宽。然而，应注意到，一般而言，与连接到系统互连 22 的其他外围设备、从设备，或主设备相比，从存储器阵列 35 检索信息的访问时间更多（例如，多 4 至 5 倍）。因此，为减少访问时间，存储器阵列控制器 36 可从存储器阵列 35 预取信息，并将其存储在缓冲器 42 内。

例如，在一个实施例中，预取电路 40 可将信息从存储器阵列 35 预取到缓冲器 42，例如缓冲器 44 和缓冲器 46 中，在实施例中，它们均为 256 位宽。因此，响应来自请求主设备的访问请求，存储器阵列控制器 36 可以从缓冲器 42 提供被请求信息（如果已预取该信息的话），而不必从存储器阵列 35 预取信息，后者与从缓冲器 42 提供被请求信息相比具有更长访问时间。在一个实施例中，预取电路包括对应于每个缓冲器 44 和 46 的标记部分（未示出），和用于确定在当前访问请求中被请求的信息是否已处于缓冲器 44 和 46 之一中的比较电路（未示出）。例如，预取电路能够将经由地址／数据 27 的与当前访问请求相对应的输入地址和标记部分进行比较，以确定是否已预取信息。如果没有，存储器阵列控制器 36 能够从存储器阵列 35 提供被请求信息。

在所示实施例中，示出两个缓冲器（缓冲器 44 和缓冲器 46）。然而，在可选实施例中，缓冲器 42 可包括任何数量（一或多个）缓冲器。在一个实施例中，预取电路可将信息从存储器阵列 35 预取到缓冲器 44 和缓冲器 46 之一中，同时从缓冲器 44 和缓冲器 46 的另一个向一个请求主设备提供信息。也就是，使用多于一个的缓冲器允许对存储器阵列 35 的预取至少部分地与为来自请求主设备的访问请求提供服务的操作同时发生。此外，应注意，在一个实施例中，缓冲器可与导体 33 具有相同的宽度，但在可选实施例中，它们的宽度可以不同。

由于从缓冲器 42 提供信息与响应来自请求主设备的访问请求而访问存储器阵列 35 相比缩减了访问时间，从而期望将信息从存储器阵列 35 预取到将随后被请求的缓冲器 42 中。然而，应注意，由于并不确定预取的信息实际是否将被主设备请求，从而，预取具有投机性。如果随后

未请求预取的信息，则预取成为耗费过多功率且降低性能的浪费预取。在一个实施例中，预取还可能对要求获取（非投机性的，例如，由主设备实际请求的获取）造成干扰。例如，在预取期间，来自请求主设备的要求获取在其能够得到服务之前，可能要等待预取完成，从而，延长要求获取的等待时间，以及延长平均访问等待时间。此外，如果该预取被证明为浪费的预取，则不必要地浪费了用于预取的时间，从而，进一步延长平均访问等待时间。因此，本发明的一个实施例对投机性数据到缓冲器 42 的预取进行控制，以便缩减平均访问等待时间。

仍参照图 1，预取电路 40 能够基于控制寄存器 38 有选择地控制到缓冲器 42 的预取。例如，在一个实施例中，预取电路 40 基于控制寄存器 38 确定由来自请求主设备（例如，主设备 12 或 14）的对存储器阵列 35 的访问请求所触发的预取操作。因此，不同类型的访问属性能够触发不同类型的预取操作，这些访问属性例如可包括哪个主设备正在请求访问，访问请求是否针对突发访问，访问请求是请求数据还是指令，或它们的任意组合。因此，基于对应于当前访问请求（即，当前要求获取）和控制寄存器 38 的主设备标识 26、R/W 信号 28、突发信号 30、指令／数据信号 32 的值，预取电路 40 确定由当前访问请求所触发的预取操作。

图 2 表示控制寄存器 38 的一个实施例，该控制寄存器 38 对于每个主设备包括一个数据预取使能（DPEN）字段和一个指令预取使能（IPEN）字段。例如，如图 2 所示，控制寄存器 38 包括主设备 12 DPEN 字段 60、主设备 14 DPEN 字段 62、主设备 12 IPEN 字段 64 和主设备 14 IPEN 字段 66。因此，在可选实施例中，控制寄存器 38 按照需要可包括或多或少的字段，以存储所需预取控制信息。还应注意，可通过来自与系统互连 22 相连的主设备（例如，主设备 12 或 14）的指令对控制寄存器 38 进行编程。这些值例如可由用户提供，或在设计时对其进行编程。

图 3 表示图 2 所示控制寄存器 38 的字段定义的一个实施例。例如，在一个实施例中，每个字段 60，62，64 和 66 为 2 位字段，其中每个字

段可具有 4 个值（00，01，10 和 11）。如图 3 所示，DPEN 字段 60 和 62 用于基于哪个主设备请求访问来控制是否触发数据预取操作，此外还使能或禁止由数据读取访问所启动的预取。主设备标识（可用于确定哪个主设备请求访问）例如通过图 1 所示主设备来提供。在一个实施例中，主设备 12 可具有 0 的标识，主设备 14 具有 1 的标识。因此，可对每个主设备指派惟一的标识。在可选实施例中，一些主设备可共享同一标识。此外，还注意，在可选实施例中，可采用与提供诸如主设备标识 26 之类的信号不同的方式来确定哪个主设备正在请求访问。

在图 3 所示示例中，DPEN 字段 60 和 62 均为 2 位字段，其中，00 的值表示来自相应主设备的数据读取访问不触发任何预取。也就是，如果将主设备 12 DPEN 字段 60 设置为 00，则来自主设备 12 的数据读取访问不触发任何预取。同样，如果将主设备 14 DPEN 字段 62 设置为 00，则来自主设备 14 的数据读取访问不触发任何预取。注意，通过 R/W 信号 28 可向预取电路 40 表示当前访问请求是读取请求还是写入请求，以及通过指令／数据信号 32 表示当前访问请求是请求数据还是指令。DPEN 字段 60 和 62 的 01 值表示可仅由来自相应主设备的数据突发读取访问来触发预取。也就是，如果将主设备 12 DPEN 字段 60 设置为 01，则可仅由来自主设备 12 的数据突发读取访问触发预取。通过突发信号 30，可向预取电路 40 表示当前访问是突发读取访问还是非突发读取访问。对于 DPEN 字段 60 和 62，11 的值表示可由来自相应主设备的任何数据读取访问触发预取。也就是，如果将主设备 12 DPEN 字段 60 设置成 11，则可由来自主设备 12 的任何数据读取访问触发预取。（注意，在该实施例中，预留出 10 的值，且不将其用于设置预取操作）。因此，基于 DPEN 字段 60，能够确定和控制由来自主设备 12 的数据访问请求所触发的从存储器阵列 35 预取数据的操作。此外，还注意，此处所述数据预取操作可包括有选择地执行预取或不执行预取。

在图 3 所示示例中，IPEN 字段 64 和 66 均为 2 位字段，其中，00 的值表示来自相应主设备的指令读取访问不触发任何预取。也就是，如果将主设备 12 IPEN 字段 64 设置为 00，则来自主设备 12 的指令读取

访问不触发任何预取。另外，如上所示，R/W 信号 28 和指令／数据信号 32 可用于向预取电路 40 表示当前访问是读取访问还是写入访问，以及当前访问是请求指令还是数据。对于 IPEN 字段 64 和 66，01 的值表示，可仅由来自相应主设备的指令突发读取访问触发预取。也就是，如果将主设备 12 IPEN 字段 64 设置为 01，则可仅由来自主设备 12 的指令突发读取访问触发预取。对于 IPEN 字段 64 和 66，11 的值表示可由来自相应主设备的任何指令读取访问触发预取。也就是，如果将主设备 12 IPEN 字段 60 设置成 11，则可由来自主设备 12 的指令读取访问触发预取。因此，基于 IPEN 字段 64，能够确定和控制由来自主设备 12 的指令访问请求所触发的从存储器阵列 35 预取指令的操作。此外，还注意，此处所述指令预取操作可包括有选择地执行预取或不执行预取。

在可选实施例中，应注意，对于具有或多或少位的每个主设备，控制寄存器 38 可根据需要包括或多或少的字段。此外，在图 3 中对于控制寄存器 38 字段的所述设置是出于示例性说明的目的。可选实施例可基于除图 3 所示属性之外的不同属性，比图 3 所示属性更多的属性，或图 3 所示属性的子集，来确定由数据访问请求，指令访问请求，或以上二者所触发的预取操作。例如，在一个实施例中，可仅基于当前正请求访问的主设备的标识来触发预取。或者，可以仅基于访问请求是突发的还是非突发的访问来触发预取，而不管当前正请求访问的主设备的标识。此外，还应注意，在可选实施例中，可采用除图 1 所示信号 28，30 和 32 之外的多种方式向预取电路 40 表示当前访问请求的特定属性。

图 4 以流程图表示根据本发明一个实施例的数据处理系统 10 的操作。流程 70 于开始 72 处开始，进行到方框 74，在此接收来自主设备的访问请求。该访问请求可为多种不同类型的请求，例如，读取请求，写入请求，突发请求，非突发请求，对于数据的请求，对于指令的请求等。然后，流程进行到方框 76，在此确定请求主设备的标识。例如，在图 1 所示实施例中，这是通过提供主设备标识 26 来实现。然后，流程进行到方框 78，在此确定访问请求是请求数据还是指令（在一个实施例中，这是通过提供指令／数据信号 32 来实现）。然后，流程进行到方框

80，在此确定访问请求是突发的还是非突发的访问（在一个实施例中，这是通过提供突发信号 30 来实现）。然后，流程进行到方框 82，在此基于在方框 76，78 和 80 中确定的访问属性来确定预取操作。也就是，在方框 82 中，基于在控制寄存器 38 中对应于请求主设备的至少一个字段，有选择地执行预取。例如，如果确定访问请求来自于主设备 12，并且访问请求是请求指令，则如主设备 12 IPEN 字段 64 内控制信息所确定的，执行由访问请求所触发的预取操作。然后，流程在结束部分 84 结束。

注意，在可选实施例中，流程 70 可只包括方框 76，78 和 80 中的一或两个方框。例如，可仅出现方框 76，78 和 80 中的方框 76 或方框 80，使得预取仅基于请求主设备的标识或访问是突发的还是非突发的访问。或者，流程 70 可包括更多确定，使得选择性预取基于除对应于方框 76，78 和 80 的那些属性之外的更多属性。

因此能够理解如何基于各种类型的访问属性来触发预取操作，以便能够提高性能，并使浪费的预取最少。此处所示实施例可用于以各种不同方式和应用对访问请求所触发的预取操作进行控制。例如，在一个实施例中，由于数据获取可能是随机分布的，而指令获取通常是连续的，从而，对由执行指令的处理器(例如中央处理器（CPU）)所作出的指令访问请求限制预取触发会是有益的。因此，在该示例中，由于因指令通常是连续的而使得预取可能不被浪费，因此能够如此设置控制寄存器 38，使得只有来自处理器的指令访问请求触发预取。此外，在许多控制代码应用中（例如，在自动应用中），由于均匀分支（even branches）通常为仍在缓冲器预取尺寸（在一个实施例中，为 256 位）范围内的短前向分支，这些分支通常表现为顺序的。因此，可使用在控制寄存器 38 内的字段实现这种选择性预取策略。

在另一示例中，其中，直接存储器存取（DMA）设备为请求主设备，数据预取可能是有益的，这是由于 DMA 通常执行诸如连续数据块移动之类的数据传递。因此，可如此设置控制寄存器 38 内的字段，使得来自 DMA 的数据访问请求触发对存储器阵列 35 的预取。在另一示

例中，其中，能够执行调试操作的调试电路为请求主设备（其中，调试电路可为与系统互连 22 相连的主设备，或者驻留在与系统互连 22 相连的主设备内），由于通常不希望与其他主设备或系统相干扰，从而可能要同时禁止所有预取。也就是，为了进行调试，对系统的最小影响通常导致更精确的调试。此外，在调试操作期间的性能通常无关紧要。

在又一示例中，如果当前读取访问为单拍读取，可能期望禁止预取，这是由于，在缓冲器（例如缓冲器 44 和 46）比操作数或数据尺寸更宽的情形中，初始要求获取将导致获取多个数据或指令项。也就是，例如，在一个实施例中，缓冲器的宽度为 256 位，能容纳多个指令或数据项，从而，用于容纳载入缓冲器中的原始信息的缓冲器将适合连续的访问（例如，连续的单拍读取）。在此情形中，预取将造成浪费，既然这样，就不必进行下一个预取行。

在上述说明中，参照具体实施例描述了本发明。不过，本领域普通技术人员应该理解，在不偏离后面权利要求中所给出的本发明范围的条件下，可进行多种修改和变化。因此，说明书和附图是出于说明的目的，而非具有限定意义，并且将所有这样的修改均视为包含在本发明的范围内。

以上参照具体实施例描述了益处，其他优点和解决问题的方法。然而，益处，优点，解决问题的方法以及可使任何益处，优点或解决方法被想到或更加显著的任何要素，都不构成任何或所有权利要求的关键、所需或必要特征或要素。此处使用的术语“一个”定义为一个或多个。此处使用的术语包括和/或具有定义为包括（即开放表达方式）。如此处所使用的，术语“包括”或者其任何变型，意在涵盖非排它性包括，使包括要素列表的工艺、方法、产品或设备不仅包括这些要素，还包括未明确列出的或者这种工艺、方法、产品或设备固有的其他要素。

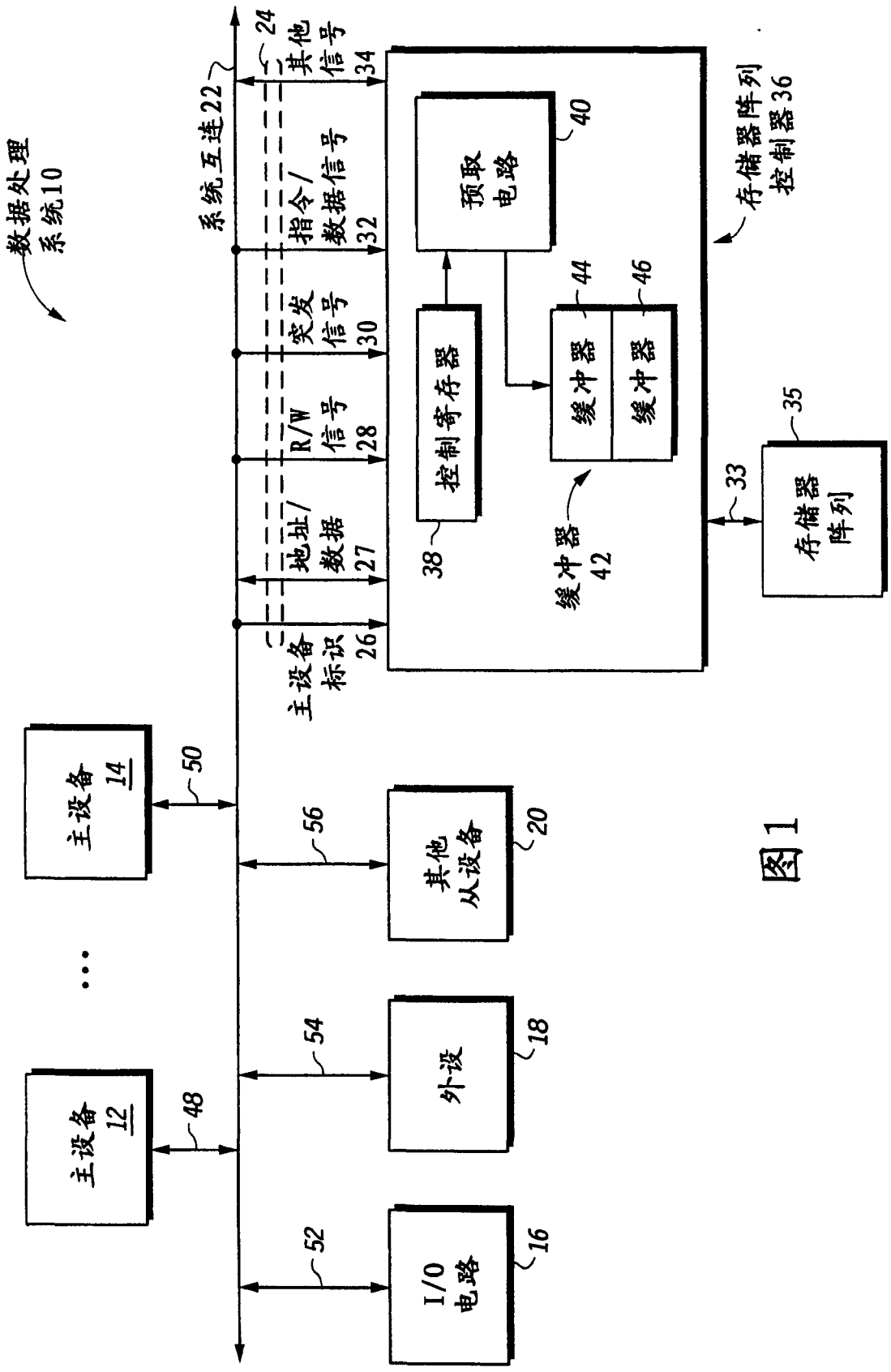

数据处理系统10
系统互连22
主设备标识 26
地址/数据 27
R/W信号 28
突发信号 30
指令/数据信号 32
其他信号 34
24
存储器阵列控制器36
预取电路 40
控制寄存器 38
缓冲器 42
缓冲器 44
缓冲器 46
33
存储器阵列 35
主设备 14
主设备 12
其他从设备 20
外设 18
I/O电路 16
50
56
48
54
52

图1

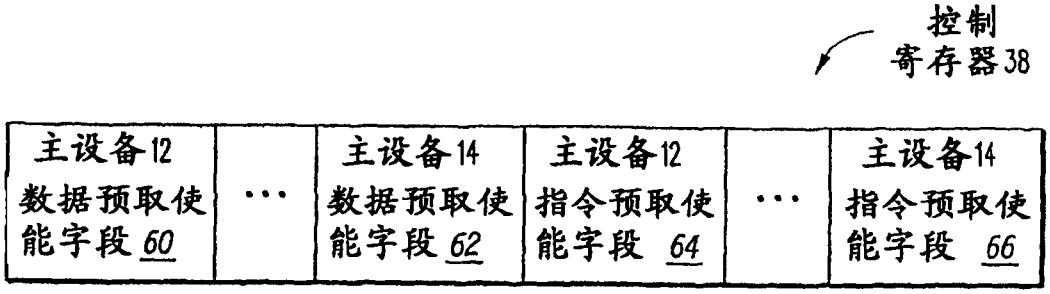



图2

| 名称 | 描述 | 设置 |
|---|---|---|
| 数据预取使能(DPEN)字段 60 和 62 | 主设备X数据预取使能-这些字段用于控制是否可基于请求主设备的主设备ID来触发预取。<br>该字段使能或禁止数据读取访问所启动的预取。 | 00 - 来自该主设备的数据读取访问没有触发任何预取<br>01 - 可仅由来自该主设备的数据突发读取访问触发预取<br>10 - 预留<br>11 - 来自该主设备的任何数据读取访问可触发预取 |
| 指令预取使能(IPEN)字段 64 和 66 | 主设备X数据预取使能-这些字段用于控制是否可基于请求主设备的主设备ID来触发预取。<br>该字段使能或禁止指令读取访问所启动的预取。 | 00 - 来自该主设备的指令读取访问没有触发任何预取<br>01 - 可仅由来自该主设备的指令突发读取访问触发预取<br>10 - 预留<br>11 - 来自该主设备的任何指令读取访问可触发预取 |

图3

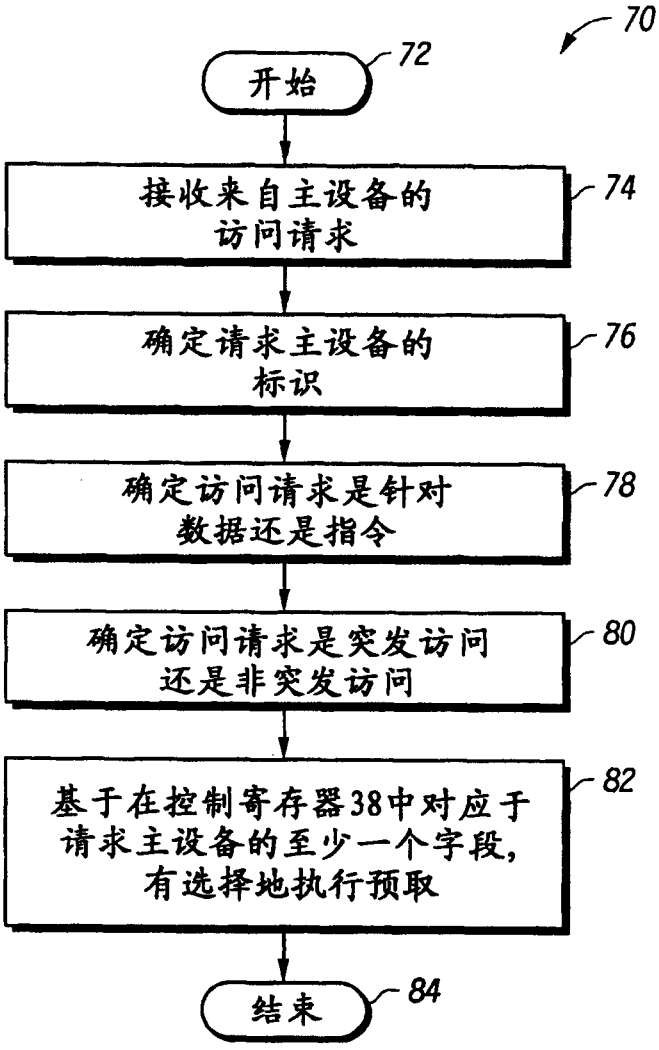

70
开始
72
接收来自主设备的访问请求
74
确定请求主设备的标识
76
确定访问请求是针对数据还是指令
78
确定访问请求是突发访问还是非突发访问
80
基于在控制寄存器38中对应于请求主设备的至少一个字段，有选择地执行预取
82
结束
84

图4