



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 10 2005 030 563 B4 2009.07.09**

(12)

## Patentschrift

(21) Aktenzeichen: **10 2005 030 563.6**

(22) Anmeldetag: **30.06.2005**

(43) Offenlegungstag: **04.01.2007**

(45) Veröffentlichungstag  
 der Patenterteilung: **09.07.2009**

(51) Int Cl.<sup>8</sup>: **H03M 1/66 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:  
**PAe Reinhard, Skuhra, Weise & Partner GbR,**  
**80801 München**

(72) Erfinder:  
**Draxelmayr, Dieter, Villach, AT**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

<b>DE</b>	<b>196 44 772</b>	<b>C2</b>
<b>DE</b>	<b>100 38 372</b>	<b>C2</b>
<b>US</b>	<b>63 46 901</b>	<b>B1</b>
<b>US</b>	<b>52 93 166</b>	
<b>US</b>	<b>51 55 488</b>	
<b>US</b>	<b>47 12 091</b>	
<b>US</b>	<b>45 93 390</b>	
<b>JP</b>	<b>04-0 16 024</b>	<b>A</b>
<b>JP</b>	<b>01-0 99 323</b>	<b>A</b>
<b>US</b>	<b>66 21 437</b>	<b>B2</b>

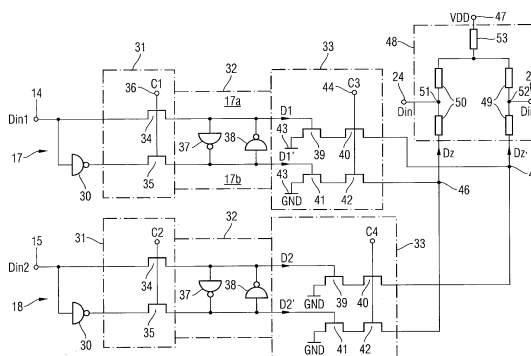
**Clara, M., et.al.: A 350 MHz low-OSR  $\Delta\Sigma$  Current-Steering DAC with Active Termination in 0,13 $\mu$ m CMOS. ISSCC 2005, S.118-119**

(54) Bezeichnung: **Mehrkanal-Digital/Analog-Wandlernordnung**

(57) Hauptanspruch: Mehrkanal-Digital/Analog-Wandlernordnung (13) zum Wandeln mehrerer digitaler Dateneingangssignale (Din1, Din2) in ein analoges Ausgangssignal (Dout),

mit zumindest zwei, mit jeweils einer Datenquelle verbundenen oder verbindbaren Datenkanälen (17, 18), wobei ein jeweiliger Datenkanal dazu ausgelegt ist, von der ihm zugeordneten Datenquelle ein jeweiliges digitales Dateneingangssignal (Din1, Din2) aufzunehmen und weiterzuleiten, mit einem digitalen Multiplexer (19), der die in den Datenkanälen (17, 18) weitergeleiteten mindestens zwei digitalen Dateneingangssignale (D1, D1'; D2, D2') an einem ausgangsseitig angeordneten gemeinsamen Knoten (45, 46) zu einem digitalen Zwischensignal (Dz, Dz') zusammenführt,

wobei der Multiplexer (19) eine Abstimmvorrichtung (32, 33) aufweist, mittels der das zeitliche Verhalten der mindestens zwei in den Datenkanälen (17, 18) weitergeleiteten digitalen Dateneingangssignale (D1, D1'; D2, D2') aufeinander abstimmbare ist, mit einem dem Multiplexer (19) nachgeschalteten Digital/Analog-Wandler (20), der das zusammengeführte digitale Zwischensignal (Dz, Dz') in das analoge Ausgangssignal (Dout) wandelt, wobei die Abstimmvorrichtung (32, 33) eine Synchronisationseinrichtung (32) aufweist,...



## Beschreibung

**[0001]** Die Erfindung betrifft eine Mehrkanal-Digital/Analog-Wandleranordnung zum Wandeln mehrerer digitaler Dateneingangssignale in ein analoges Ausgangssignal.

**[0002]** Ein Digital/Analog-Wandler, nachfolgend auch kurz als D/A-Wandler oder D/A-Konverter bezeichnet, ist dazu ausgelegt, ein digitales, beispielsweise binäres Eingangssignal, in ein analoges Ausgangssignal, beispielsweise eine Ausgangsspannung oder einen Ausgangsstrom, umzusetzen. Zum allgemeinen Hintergrund von D/A-Wandlern wird auf die US 6,346,901 B1, die US 4,712,091 und die US 5,293,166 verwiesen.

**[0003]** D/A-Wandler werden vor allem in der digitalen Signalverarbeitung eingesetzt. Anwendungen für die digitale Signalverarbeitung sind zum Beispiel Computer- und Software-basierte Anwendungen, beispielsweise in einem Mikroprozessor, oder Telekommunikationsanwendungen, beispielsweise Breitbandanwendungen oder Mobilfunkanwendungen. Bei modernen Systemen der digitalen Signalverarbeitung besteht zunehmend der Bedarf, immer größere Datenmengen in immer kürzerer Zeit zu verarbeiten. Mit der fortschreitenden Entwicklung auf dem Gebiet der integrierten Schaltungen und mit der Weiterentwicklung moderner Kommunikationssysteme steigt auch die Fähigkeit dieser Systeme, Daten mit hoher Datenrate zu verarbeiten. Moderne Datenkommunikationssysteme werden beispielsweise mit einer Betriebsfrequenz von etwa 4 GHz und mehr betrieben. Für eine effektive Datenverarbeitung ist es aber sehr wesentlich, die verarbeiteten Daten entsprechend schnell weiterzuleiten und in analoge Ausgangssignale umzuwandeln.

**[0004]** Für die Realisierung dieser sehr hochwertigen Systeme der digitalen Signalverarbeitung werden daher zunehmend D/A-Wandler verwendet, die eine möglichst hochbitratige Digital/Analog-Wandlung mit einer sehr hohen Abtastrate und bestmöglichen analogen Eigenschaften bereit stellen. Dabei spielt insbesondere die Qualität und Genauigkeit der D/A-Wandlung eine entscheidende Rolle. Solche D/A-Wandler werden nachfolgend als Hochgeschwindigkeits-D/A-Wandler bezeichnet.

**[0005]** Die von dem Hochgeschwindigkeits-D/A-Wandler in ein analoges Ausgangssignal umzuwandelnden digitalen Daten stammen von einer Datenquelle, beispielsweise von einem Speicherbaustein, einer Logikschaltung, einem Mikroprozessor oder dergleichen. Um die zu verarbeitenden großen Datenmengen verarbeiten zu können, werden häufig mehrere Datenquellen verwendet. Die Daten werden dabei parallel aus den verschiedenen Datenquellen ausgelesen und einer entsprechenden Verarbeitungsein-

richtung zur Umsetzung in ein analoges Ausgangssignal zugeführt. Jeweils eine dieser Datenquellen und der entsprechende nachgeschaltete Datenpfad definieren einen Datenkanal, wobei die unterschiedlichen Datenkanäle parallel zueinander angeordnet sind. Der entsprechende D/A-Wandler wird nachfolgend als Mehrkanal-D/A-Wandler (engl: multi-channel D/A converter) bezeichnet. Für ein Zusammenführen der verschiedenen Datenkanäle ist eine Multiplexervorrichtung vorgesehen, die aus den Daten der verschiedenen Datenkanäle einen einzigen digitalen Datenstrom erzeugt, welcher dann dem nachgeschalteten Digital/Analog-Wandler zugeführt wird. Bei einer sehr hohen Datengeschwindigkeit sind dabei sehr hohe Anforderungen an das Multiplexen der Daten der verschiedenen Datenkanäle gestellt.

**[0006]** In der JP 01099323 und JP 04016024 sind jeweils Digital/Analog-Wandlerschaltungen beschrieben, bei denen die Daten mehrerer paralleler Datenkanäle in eine entsprechende Verknüpfungsschaltung, wie zum Beispiel einen Multiplexer, eingekoppelt werden und als serieller digitaler Datenstrom ausgegeben werden, der dann dem Digital/Analog-Wandler zugeführt wird. Durch die Verwendung mehrerer paralleler Datenkanäle, die jeweils eine vergleichsweise niedrige Datenrate aufweisen, lässt sich zwar dort die Datenverarbeitung einfacher gestalten. Allerdings besteht nach wie vor das Problem, dass insbesondere in dem Multiplexer sowie in dem Datenpfad zwischen dem Multiplexer und dem digitalen Eingang des nachgeschalteten Digital/Analog-Wandlers die dort anliegenden Daten eine sehr hohe Datenrate aufweisen und somit auch mit einer entsprechend hohen Geschwindigkeit weiter verarbeitet werden müssen. Eine hohe Datenverarbeitungsgeschwindigkeit in diesen Elementen geht einher mit einer entsprechend hohen Leistungsaufnahme. Bei sehr hohen Datenverarbeitungsgeschwindigkeiten muss ferner nach dem Multiplexer eine Signalaufbereitung vorgenommen werden, bei der ein sogenanntes Retiming vorgenommen wird. Dabei werden die Schaltflanken des durch Multiplexen zusammengeführten Datensignals auf die entsprechenden Anforderungen der Stromschalter des nachgeschalteten Digital-Analog-Wandlers abgestimmt. Insbesondere bei sehr hohen Datenraten beziehungsweise bei sehr hohen zu verarbeitenden Datenmengen ist es bei vielen Anwendungen zudem nicht mehr möglich, diese Datenmengen im Multiplexer zusammenzuführen.

**[0007]** Eine weitere Möglichkeit zur Verarbeitung einer großen Datenmenge ist die Bereitstellung mehrerer paralleler Digital/Analog-Wandler, die jeweils einem Datenkanal zugeordnet sind. Diese Vielzahl an Digital/Analog-Wandler sind dazu ausgelegt, die Daten eines jeweils zugeordneten Datenkanals in ein analoges Signal umzuwandeln, so dass eine der Vielzahl an Digital/Analog-Wandler entsprechende An-

zahl an analogen Ausgangssignalen vorhanden sind. Diese Ausgangssignale können dann in einem eigens dafür vorgesehenen analogen Multiplexer in ein einziges analoges Signal zusammengeführt werden. Eine solche Anordnung, die also mehrere Digital/Analog-Wandler und einen analogen Multiplexer aufweist, ist zum Beispiel in dem Artikel von M. Clara et al: „A 350 MHz low-OSR SD Current-Steering DAC with Active Termination in 0.13  $\mu\text{m}$  CMOS“, ISSCC 2005, Seiten 118–119, insbesondere in [Fig. 1](#) dargestellt. Der Nachteil der dort beschriebenen Anordnung besteht darin, dass für die D/A-Wandlung eine Vielzahl von einzelnen Digital/Analog-Wandler bereitgestellt werden muss, was insbesondere bei vielen Datenkanälen einen erheblichen schaltungstechnischen Aufwand mit sich bringt.

**[0008]** Die US 5,155,488 beschreibt eine Schaltung zur Digital/Analog-Wandlung, bei der ein Dateneingangssignal in differentielle Eingangssignale aufgetrennt wird, indem von dem Dateneingangssignal die Polarität umgekehrt wird und dadurch differentielle Dateneingangssignale gewonnen werden. Die so gewonnenen Dateneingangssignale unterschiedlicher Polarität werden mittels eines Multiplexers, in dem auch eine Datensynchronisation erfolgt, zusammengeführt und einem ausgangsseitigen D/A-Wandler zugeführt. Das im D/A-Wandler gewonnene analoge Ausgangssignal wird in zwei Abtasthaltegliedern wieder aufgetrennt, wobei diese aufgetrennten analogen Signale durch Subtraktion in ein einziges analoges Ausgangssignal zusammengeführt werden.

**[0009]** Die US 6,621,437 B2 beschreibt eine Schaltungsanordnung, bei der Daten aus mehreren Datenquellen gemultiplext werden und in einem dem Multiplexer nachgeschalteten D/A-Wandler gewandelt werden. Dem Multiplexer und dem D/A-Wandler nachgeschaltet ist ein Demultiplexer, über den eine anschließende Auftrennung des zusammengeführten analogen Signals erfolgt. Diese Schaltungstopologie wird verwendet, um mehrere Digital/Analog-Wandler durch einen einzigen Digital/Analog-Wandler zu ersetzen und um dadurch den Hardwareaufwand dieser Schaltungsanordnung zu reduzieren.

**[0010]** Der vorliegenden Erfindung liegt nun die Aufgabe zugrunde, eine für Hochgeschwindigkeitsanwendungen ausgelegte Mehrkanal-Digital/Analog-Wandleranordnung bereitzustellen.

**[0011]** Erfindungsgemäß wird diese Aufgabe durch eine Mehrkanal-Digital/Analog-Wandleranordnung mit den Merkmalen des Patentanspruchs 1 gelöst.

**[0012]** Die vorliegende Erfindung basiert auf einem Digital/Analog-Wandler, bei dem mittels eines einzigen digitalen Hochgeschwindigkeits-Multiplexers mehrere Datenkanäle zur Erzeugung eines einzigen

seriellen digitalen Datenstroms zusammengeführt werden, welcher anschließend in dem eigentlichen Digital/Analog-Wandler weiterverarbeitet wird. Der Erfindung liegt die Erkenntnis zugrunde, dass die Behandlung und Verarbeitung einer sehr großen Datenmenge in einem einzigen Datenpfad außerordentlich schwierig ist und sehr häufig Probleme bei den entsprechenden Verarbeitungseinrichtungen, wie zum Beispiel einem Multiplexer oder einem Digital/Analog-Wandler, mit sich bringt. Eine weitere Erkenntnis besteht darin, dass die Behandlung und Verarbeitung der Daten in verschiedenen Datenpfaden demgegenüber eher unkritisch ist, da dort – je nachdem wie viel Datenpfade vorhanden sind und welche Menge an Daten zu verarbeiten sind – die Daten mit einer signifikant reduzierten Datenrate und/oder Datenmenge vorliegen, was im Allgemeinen eine geringere Anforderung an die entsprechenden Verarbeitungseinrichtungen stellt.

**[0013]** Die Idee der vorliegenden Erfindung besteht nun darin, die Datenpfade mit der reduzierten Datenrate bzw. der reduzierten Datenmenge so lange wie möglich voneinander zu trennen. Diese Trennung beinhaltet auch, dass die Datenkanäle auch innerhalb des Hochgeschwindigkeits-Multiplexers, der einem Digital/Analog-Wandler vorgeschaltet ist, so lang wie möglich voneinander getrennt werden und erst unmittelbar vor dem Datenausgang des Multiplexers und damit unmittelbar vor der eingangsseitigen Strom- bzw. Spannungsschalter des nachgeschalteten Digital/Analog-Wandlers zusammenzuführen. Auf diese Weise werden die Verarbeitungsschritte, die hinsichtlich einer hohen Datenrate kritisch sind, auf ein Mindestmaß reduziert.

**[0014]** Ein Retiming der digitalen Datensignale, das bei bekannten Lösungen erst nach dem Multiplexer erfolgt, wird bei der erfindungsgemäßen Lösung durch den Multiplexer selbst durchgeführt. Das Retiming, welches ein Synchronisieren und damit Abstimmen der Datensignale untereinander vorsieht, wird hier vor dem eigentlichen Zusammenführen dieser Datensignale vorgenommen. Die Datensignale der verschiedenen Datenkanäle liegen somit bei dem eigentlichen Zusammenführen (Multiplexen) bereits in zueinander abgestimmter, synchronisierter Form vor. Hierzu ist lediglich ein einfaches Latch sowie eine dem Latch nachgeschaltete Abstimmenschaltung, die durch Zuschalten der Datensignale auf den verschiedenen Datenkanälen auf einen gemeinsamen ausgangsseitigen Knoten das Retiming vornimmt, erforderlich.

**[0015]** Bei der erfindungsgemäßen Lösung werden ferner die von dem Hochgeschwindigkeits-Multiplexer ausgangsseitig erzeugten zusammengeführten Datensignale, die somit eine hohe Datenrate aufweisen, direkt in den nachgeschalteten Digital/Analog-Wandler eingekoppelt. Eine wie auch immer aus-

gebildete Verarbeitung oder Behandlung dieser digitalen Daten mit hoher Datenrate (z. B. in Form eines Retiming) zwischen dem Hochgeschwindigkeits-Multiplexer und dem Digital/Analog-Wandler erfolgt nicht oder wird zumindest auf ein Mindestmaß reduziert.

**[0016]** Diese Verarbeitung bzw. Behandlung von Datensignalen mit sehr hoher Datenrate stellt einen außerordentlich hohen Aufwand für die entsprechende Verarbeitungseinrichtung dar. Insbesondere mit steigender Datenrate besteht zunehmend die Gefahr, dass die entsprechenden Datensignale hinsichtlich ihrer Signalform verfälscht werden können, was insgesamt dazu führen kann, dass eine eindeutige Zuordnung eines Datensignals zu einem logischen Pegel (logische Null (LOW, "0") oder logische Eins (HIGH, "1")) nicht oder nur sehr schwer möglich ist. Die vorliegende Erfindung reduziert diese Gefahr, da der zu verarbeitende serielle digitale Datenstrom, der eine sehr hohe Datenrate aufweist, einem Minimum an Schaltungsteilen ausgesetzt wird, was insgesamt die eben genannte Gefahr eines Datenverlustes signifikant reduziert.

**[0017]** Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen sowie aus der Beschreibung der Zusammenschau mit den Figuren der Zeichnung.

**[0018]** Die Abstimmvorrichtung, die dem Retiming der Dateneingangssignale auf den verschiedenen Datenkanälen dient, weist eine Synchronisationseinrichtung auf, mittels der die digitalen Dateneingangssignale der verschiedenen Datenkanäle mittels takt-synchronem Steuersignal möglichst exakt aufeinander synchronisierbar sind. Die Synchronisationseinrichtung weist hierzu vorzugsweise ein einfaches Latch auf.

**[0019]** In einer bevorzugten Ausgestaltung weist die Abstimmvorrichtung ausgangsseitig eine steuerbare Ausgangsschaltvorrichtung auf, die dem Latch bzw. der Synchronisationseinrichtung nachgeschaltet ist und die dem takt-synchronen Auslesen der Dateneingangssignale aus dem Latch bzw. der Synchronisationseinrichtung dient. Vorzugsweise ist ferner eine steuerbare Eingangsschaltvorrichtung vorgesehen, die eingangsseitig dem Latch bzw. der Synchronisationseinrichtung vorgeschaltet ist und die dem taktgesteuerten Einlesen der Dateneingangssignale in das Latch bzw. der Synchronisationseinrichtung dient.

**[0020]** Typischerweise weisen die Eingangsschaltvorrichtung und/oder die Ausgangsschaltvorrichtung jeweils zumindest einen steuerbaren Schalter je Datenkanal auf, deren gesteuerte Strecken in einem Datenpfad eines der Datenkanäle angeordnet sind und die jeweils über ein Steuersignal ansteuerbar sind. Die Steuersignale zur Ansteuerung der steuerbaren Schalter der Eingangsschaltvorrichtung und die

Steuersignale zur Ansteuerung der steuerbaren Schalter der Ausgangsschaltvorrichtung sind vorzugsweise zueinander takt-synchron. Für die Bereitstellung der takt-synchronen Steuersignale ist dabei vorzugsweise eine eigens dafür vorgesehene Ansteuerschaltung vorgesehen. Die steuerbaren Schalter können beispielsweise als MOSFET- oder JFET-Transistoren ausgebildet sein, die sich besonders gut für ein schnelles Schalten eignen.

**[0021]** In einer typischen und auch sehr zweckmäßigen, da sehr störungssicheren Ausgestaltung sind der Multiplexer und/oder der nachgeschaltete Digital/Analog-Wandler voll differentiell ausgebildet.

**[0022]** In einer sehr vorteilhaften Ausgestaltung ist eine Einrichtung zur Pegelumsetzung vorgesehen, die zwischen dem Ausgang des Multiplexers und dem gemeinsamen Knoten angeordnet ist und die dazu ausgelegt ist, vorgegebene logische Pegel des Zwischensignals festzulegen. Auf diese Weise lässt sich der bzw. die verschiedenen logischen Pegel des Ausgangssignals gezielt definieren und insbesondere gezielt auf die nachgeschaltete Schaltungsanordnung anpassen. Da der Ausgang des Multiplexers typischerweise direkt mit entsprechenden Strom- oder Spannungsschaltern des nachgeschalteten Digital/Analog-Wandlers verbunden ist, die einen entsprechenden Schaltpegel aufweisen, kann mittels der Einrichtung zur Pegelumsetzung der bzw. die Pegel der zusammengeführten digitalen Zwischensignale gezielt auf diese Schaltpegel und somit den Arbeitspunkt der Strom- oder Spannungsschalter gelegt werden. Die Einrichtung zur Pegelumsetzung kann zum Beispiel als einfaches Widerstandsnetzwerk ausgebildet sein.

**[0023]** Der Digital/Analog-Wandler weist in bekannter Weise eingangsseitige Stromschalter zum Schalten der eingangsseitigen Stromquellen auf. Die Stromquellen dienen dem Zweck, das analoge Ausgangssignal aus dem zusammengeführten digitalen Zwischensignal zu generieren. Im Unterscheid zu bekannten Lösungen sind erfindungsgemäß die Stromschalter steuerseitig direkt mit dem Ausgang des vorgeschalteten Multiplexers verbunden. Ebenfalls denkbar wäre, wenn der Digital/Analog-Wandler eingangsseitig Spannungsschalter zum Generieren des analogen Ausgangssignals aufweist. Direkt bedeutet in diesem Zusammenhang, dass zwischen dem digitalen Multiplexer und dem nachgeschalteten Digital/Analog-Wandler keine weitere Abstimm-schaltung zum Abstimmen bzw. Retiming der Signalform des zusammengeführten digitalen Zwischensignals vorgesehen ist. Denkbar wäre allerdings, dass dort zum Beispiel eine Treiberschaltung vorgesehen ist, die das zusammengeführte Zwischensignal verstärkt, beispielsweise wenn der durch den Multiplexer bzw. dessen ausgangsseitige Einrichtung zur Pegelumsetzung bereitgestellte Signalhub des zusammenge-

fürten Zwischensignale für die Ansteuerung der nachgeschalteten Strom- oder Spannungsschalter nicht ausreicht.

**[0024]** Die Erfindung wird nachfolgend anhand des in den schematischen Figuren der Zeichnung angegebenen Ausführungsbeispiels näher erläutert. Es zeigen dabei:

**[0025]** [Fig. 1](#) ein Blockschaltbild zur Darstellung eines Systems mit einer erfindungsgemäßen Digital/Analog-Wandleranordnung;

**[0026]** [Fig. 2](#) ein besonders vorteilhaftes Ausführungsbeispiel eines Multiplexers für die in [Fig. 1](#) gezeigte Digital/Analog-Wandleranordnung;

**[0027]** [Fig. 3](#) Signal-Zeit-Diagramme für die Steuersignale zur Ansteuerung der Schaltelemente des Multiplexers sowie die Ausgangssignale des Multiplexers.

**[0028]** In allen Figuren der Zeichnung sind gleiche und funktionsgleiche Elemente, Merkmale und Signale – sofern nichts Anderes angegeben ist – mit denselben Bezugszeichen versehen worden.

**[0029]** [Fig. 1](#) zeigt anhand eines Blockschaltbildes ein allgemeines System mit einer erfindungsgemäßen Digital/Analog-Wandleranordnung. Das System in [Fig. 1](#), welches dort mit Bezugszeichen **10** bezeichnet ist, kann beispielsweise ein beliebiges Kommunikationssystem oder ein Computer- oder Software-basiertes System sein. Das System **10** enthält im vorliegenden Ausführungsbeispiel zwei Datenquellen **11**, **12** sowie eine erfindungsgemäße n-Bit Digital/Analog-Wandleranordnung **13**. Die Digital/Analog-Wandleranordnung **13** weist zwei Dateneingänge **14**, **15** sowie einen Datenausgang **16** auf. Jeweils eine der Datenquellen **11**, **12** ist mit einem der Dateneingänge **14**, **15** verbunden.

**[0030]** Jede der Datenquellen **11**, **12** ist dazu ausgelegt, ausgangsseitig digitale Datensignale Din1, Din2 der Bitbreite n bereitzustellen, die jeweils über einen der Dateneingänge **14**, **15** in die nachgeschaltete Digital/Analog-Wandleranordnung **13** einkoppelbar ist. Bei diesen digitalen Datensignalen Din1, Din2 handelt es sich zum Beispiel um serielle Datenströme, auf die die umzuwandelnden digitalen Daten in binärer Form oder im Thermometercode aufcodiert sind.

**[0031]** Die Datenquellen **11**, **12** können in beliebiger Art und Weise ausgebildet sein, beispielsweise als herkömmliche Speicher, wie zum Beispiel als DRAM-Speicher, als SRAM-Speicher oder dergleichen. Besonders vorteilhaft ist es, wenn die beiden Datenquellen **11**, **12** beispielsweise Bestandteil eines so genannten DDR-DRAM-Halbleiterspeichers sind, der dazu ausgelegt ist, ausgangsseitig die doppelte

Datenrate bereitzustellen. Denkbar wäre selbstverständlich auch, dass die Datenquellen **11**, **12** Bestandteil einer Logikschaltung sind, die ausgangsseitig die entsprechenden digitalen Datensignale Din1, Din2 bereitstellen. Denkbar wäre ferner, dass die Datenquellen **11**, **12** Bestandteil einer programmgesteuerten Einrichtung, wie ein Mikroprozessor oder Mikrocontroller, oder eine fest verdrahtete Logikschaltung, wie zum Beispiel eine PLD oder FPGA, sind.

**[0032]** Die von den jeweiligen Datenquellen **11**, **12** über die Dateneingänge **14**, **15** in die Digital/Analog-Wandleranordnung **13** eingekoppelten digitalen Datenströme Din1, Din2 definieren einen jeweiligen Datenkanal **17**, **18**. In dem Ausführungsbeispiel in [Fig. 1](#) sind zwei Datenkanäle **17**, **18** der Bitbreite n vorgesehen, die parallel zueinander angeordnet sind. Jeweils ein Kanal weist dabei eine der Bitbreite n entsprechende Anzahl an Datenpfaden auf, was in der [Fig. 1](#) entsprechend angedeutet ist.

**[0033]** Die Digital/Analog-Wandleranordnung **13** umfasst einen digital ausgebildeten Multiplexer **19** sowie einen dem Multiplexer **19** nachgeschalteten Digital/Analog-Wandler **20**. Der digitale Multiplexer **19** ist eingangsseitig mit den Dateneingängen **14**, **15** verbunden, so dass dem Multiplexer **19** die digitalen Datenströme Din1, Din2 über die beiden Datenkanäle **17**, **18** zugeführt werden. Der Multiplexer **19** ist – wie nachfolgend anhand der [Fig. 2](#) und [Fig. 3](#) noch ausführlich dargelegt wird – dazu ausgelegt, diese parallelen Datenströme Din1, Din2 zusammenzuführen und daraus einen einzigen seriellen digitalen Datenstrom Din zu erzeugen, der an dem Ausgang **21** des Multiplexers **19** bereitsteht. Dabei ist die Datenrate des zusammengeführten digitalen Datensignals Din größer, typischerweise um den Faktor 2 größer, als die Datenrate der digitalen Datenströme Din1, Din2 der Datenkanäle **17**, **18**. Der Digital/Analog-Wandler **20** ist mit dem Ausgang **21** des Multiplexers **19** verbunden. Der so in dem Multiplexer **19** zusammengeführte digitale Datenstrom Din wird im Digital/Analog-Wandler **20** in ein analoges Ausgangssignal Dout umgesetzt, welches am Ausgang **16** des Digital/Analog-Wandlers **20** und somit der Digital/Analog-Wandleranordnung **13** abgreifbar ist.

**[0034]** Im Falle binär codierter Dateneingangssignale sind die entsprechenden Stromschalter des nachgeschalteten Digital/Analog-Wandlers **20** typischerweise ebenfalls für eine binäre Ansteuerung ausgelegt. In diesem Falle bietet es sich an, wenn der Multiplexer **19** zum Beispiel skaliert ausgebildet ist.

**[0035]** Zur Steuerung des digitalen Multiplexers **19** weist die Digital/Analog-Wandleranordnung **13** ferner eine Steuereinrichtung **22** auf. Die Steuereinrichtung **22** erzeugt ausgangsseitig Steuersignale C1–C4, über welche der Multiplexer **19** angesteuert wird und über welche die verschiedenen Datenströme Din1,

Din2 der Datenkanäle **17**, **18** zusammengeführt werden. Typischerweise ist auch ein Taktgenerator **23** vorgesehen, der ein Taktsignal CLK für die Steuereinrichtung **22** erzeugt.

**[0036]** Im vorliegenden Ausführungsbeispiel wurde der Taktgenerator **23** und die Steuereinrichtung **22** als Bestandteil der Digital/Analog-Wandleranordnung **13** dargestellt. Diese Elemente **22**, **23** können selbstverständlich auch außerhalb der Digital/Analog-Wandleranordnung **13** angeordnet sein und beispielsweise Bestandteil einer programmgesteuerten Einrichtung, wie sie bei herkömmlichen Kommunikationssystemen typischerweise vorhanden sind, sein.

**[0037]** Nachfolgend sei die Funktionsweise der erfindungsgemäßen Digital/Analog-Wandleranordnung **13** und insbesondere des digitalen Multiplexers **19** anhand der Schaltungsanordnung in [Fig. 2](#) und der Signal-Zeit-Diagramme in [Fig. 3](#) näher erläutert.

**[0038]** [Fig. 2](#) zeigt ein bevorzugtes Ausführungsbeispiel für einen Multiplexer, wie er in der erfindungsgemäßen Digital/Analog-Wandleranordnung in [Fig. 1](#) verwendet werden kann. Der digitale Multiplexer **19** ist eingangsseitig mit den beiden Dateneingängen **14**, **15** verbunden. Der Multiplexer **19** weist ferner zwei Datenausgänge **24**, **25** auf, an denen die über die beiden Datenpfade **17**, **18** eingekoppelten Datensignale Din1, Din2 in zusammengeführter Form ausgegeben werden. Am Datenausgang **24** ist dabei das zusammengeführte Datensignal Din abgreifbar. Ferner ist ein weiterer differentieller Datenausgang **25** vorgesehen, über den das dazu invertierte Datensignal Din' ausgegeben werden kann.

**[0039]** Im Beispiel in [Fig. 2](#) ist der Multiplexer **19** der besseren Anschaulichkeit halber als 1-Bit Multiplexer dargestellt worden, dass heißt jeder der Datenkanäle **17**, **18** ist dazu ausgelegt, jeweils ein Bit aufzunehmen, zu verarbeiten und weiterzuleiten. Die Erfindung bezieht sich jedoch allgemein auf einen n-Bit Multiplexer, bei dem also jeder Datenkanal **17**, **18** eine Anzahl von n Dateneinzelkanälen aufweist und dazu ausgelegt ist, n-Bits der entsprechenden Datenquelle parallel aufzunehmen, zu verarbeiten und weiterzuleiten. Die schaltungstechnische Ausgestaltung eines solchen n-Bit Multiplexers sieht vor, dass der die Multiplexerschaltung, wie sie zum Beispiel in der [Fig. 2](#) dargestellt ist, entsprechend der Anzahl n der Bits entsprechend vervielfacht ist.

**[0040]** Die in [Fig. 2](#) dargestellten Datenkanäle **17**, **18** setzen sich in dem Multiplexer **19** fort und werden erst unmittelbar vor dessen Datenausgängen **24**, **25** zusammengeführt. Im vorliegenden Ausführungsbeispiel sei angenommen, dass die beiden Datenkanäle **17**, **18** sowie die darin angeordneten Elemente in gleicher Weise bei beiden Datenkanälen **17**, **18** ausgebildet sind. Nachfolgend wird für die Beschreibung

lediglich beispielhaft der Datenkanal **17** herangezogen, wenngleich der Datenkanal **18** in gleicher Weise ausgebildet ist.

**[0041]** Der Datenkanal **17** weist zwei differentielle Datenpfade **17a**, **17b** auf, die beide eingangsseitig mit dem Dateneingang **14** verbunden sind und die ausgangssseitig jeweils mit einem der Ausgänge **24**, **25** gekoppelt sind. Dabei weist einer der Datenpfade, im vorliegenden Ausführungsbeispiel der jeweils untere Datenpfad **17b**, einen eingangsseitig mit dem Dateneingang **14** verbundenen Inverter **30** auf. Über die beiden Datenpfade **17a**, **17b** lassen sich somit zueinander invertierte Datensignale D1, D1' weiterleiten und zusammenführen, so dass an den beiden Ausgängen **24**, **25** differentielle Datensignale Dz, Dz', also Datenströme mit zueinander invertierter Signalform abgreifbar sind.

**[0042]** Der Datenkanal **17** weist eine Einleseschaltvorrichtung **31**, eine Synchronisationsvorrichtung **32** sowie eine Ausleseschaltvorrichtung **33** auf. Die Einrichtungen **31**, **32**, **33** dienen der Vorbereitung und dem zeitlichen Abstimmen der in den verschiedenen Datenkanälen **17**, **18** weitergeleiteten Datensignalen D1, D1'; D2, D2'.

**[0043]** Die Einleseschaltvorrichtung **31** weist zwei steuerbare Schalter **34**, **35** auf. Die beiden steuerbaren Schalter **34**, **35** weisen jeweils denselben Steueranschluss **36** auf, an dem ein Steuersignal C1 anlegbar ist. Mittels der steuerbaren Schalter **34**, **35**, die mit ihrer gesteuerten Strecke im jeweiligen Datenpfad **17a**, **17b** angeordnet sind, lässt sich dieser unterbrechen. Der Eingangsschaltvorrichtung **31** ist die Synchronisationseinrichtung **32** nachgeschaltet. Die Synchronisationseinrichtung ist hier als einfaches Latch ausgebildet und enthält zwei zueinander antiparallel geschaltete Inverter **37**, **38**, die zwischen den beiden Datenpfaden **17a**, **17b** angeordnet sind. Der Synchronisationseinrichtung **32** ist die Ausleseschaltvorrichtung **33** nachgeschaltet. Die Ausleseschaltvorrichtung **33** weist für jeden Datenpfad **17a**, **17b** jeweils zwei steuerbare Schalter **39–42** auf, deren gesteuerte Strecken im jeweiligen Datenpfad **17a**, **17b** und zueinander in Reihe angeordnet sind. Die ersten steuerbaren Schalter **39**, **41** sind mit dem Ausgang der Synchronisationseinrichtung **32** verbunden und lassen sich somit über die in dem Latch **32** gespeicherte Information auf- und zusteuern. Die zweiten steuerbaren Schalter **40**, **42** der Reihenschaltungen sind steuerseitig mit einem gemeinsamen Steueranschluss **44** verbunden, über welchen sie mit einem Steuersignal C3 auf- und zusteuerbar sind.

**[0044]** Die Reihenschaltungen der beiden steuerbaren Schalter **39**, **40**; **41**, **42** eines jeweiligen Datenpfades **17a**, **17b** sind einerseits mit einem ersten Versorgungsanschluss **43** verbunden. An diesem Versorgungsanschluss **43** liegt ein erstes Versorgungspo-

tenzial, beispielsweise das Potenzial der Bezugsmasse GND, an. Ausgangsseitig sind diese Reihenschaltungen jeweils mit einem gemeinsamen Knoten **44**, **45** verbunden. An den gemeinsamen Knoten **44**, **45** werden die verschiedenen Datenkanäle **17**, **18** bzw. die in den Datenkanälen **17**, **18** weitergeleiteten Dateneingangssignale D1, D1'; D2, D2' zu einem digitalen Zwischensignal Dz, Dz' zusammengeführt. Funktional bilden die steuerbaren Schalter **40**, **42** sowie die gemeinsamen Knoten **45**, **46** den eigentlichen Bestandteil des Multiplexers, da dort gesteuert über die Steuersignale C3, C4 ein Zusammenführen der weitergeleiteten Datensignale D1, D1'; D2, D2' der beiden Datenkanäle **17**, **18** erfolgt.

**[0045]** Die steuerbaren Schalter **34**, **35**; **39–42** können als herkömmliche MOS-FETs oder J-FETs ausgebildet sein. Dies ist insbesondere bei der Ausgestaltung der erfindungsgemäßen Digital-Analog-Wandler-Anordnung **13** in CMOS-Technologie besonders vorteilhaft, da sich dadurch schnelle Schaltzeiten gewährleisten lassen.

**[0046]** Zwischen den beiden gemeinsamen Knoten **45**, **46** und einem zweiten Versorgungsanschluss **47** ist eine Einrichtung zur Pegelumsetzung **48** vorgesehen. Die Einrichtung zur Pegelumsetzung **48** ist im vorliegenden Ausführungsbeispiel als Widerstands-Netzwerk **48** ausgebildet. Das Widerstands-Netzwerk **48** weist für jeden Datenpfad einen resistiven Spannungsteiler **49**, **50** auf, deren Mittelabgriffe **51**, **52** jeweils mit einem der Ausgänge **24**, **25** verbunden sind. Die beiden Spannungsteiler **49**, **50**, die hier jeweils zwei in Reihe zueinander angeordnete Widerstände aufweisen, sind parallel zueinander angeordnet und über einen weiteren Widerstand **53** mit einem zweiten Versorgungsanschluss **47** verbunden. Der zweite Versorgungsanschluss **47** weist ein zweites Versorgungspotenzial VDD, beispielsweise ein positives Potenzial, auf.

**[0047]** Die beiden Ausgangsanschlüsse **24**, **25** sind typischerweise direkt mit entsprechenden differenziellen Dateneingängen des nachgeschalteten Digital-/Analog-Wandlers **20** verbunden. Dieser Digital-/Analog-Wandler **20** erzeugt aus den an den Anschlüssen **24**, **25** anliegenden differentiellen Datensignalen Din, Din' das analoge Ausgangssignal Dout. Hierzu weist der Digital-Analog-Wandler **20** in der Zeichnung nicht gezeigte eingangsseitige Strom- oder Spannungsschalter auf, die über die zusammengeführten digitalen Datensignale Din, Din' angesteuert werden und abhängig davon einen analogen Ausgangsstrom bzw. eine analoge Ausgangsspannung bereitstellen, aus der das analoge Ausgangssignal Dout erzeugt wird.

**[0048]** Nachfolgend sei die Funktionsweise der in **Fig. 2** dargestellten Multiplexer-Anordnung **19** anhand des Signal-Zeit-Diagramms in **Fig. 3** näher er-

läutert:

Das Einlesen der Datensignale Din1, Din2 in den Multiplexer **19** erfolgt über die Einleseschaltvorrichtungen **31** mittels der Steuersignale C1, C2. Die beiden Steuersignale C1, C2 sind zueinander synchronisiert und typischerweise invertiert zueinander. Durch Schließen der beiden steuerbaren Schalter **34**, **35** mittels der Steuersignale C1, C2 lässt sich taktgesteuert über die Steuersignale C1, C2 ein jeweiliges Datenbit der Datensignale Din1, Din2 in das Latch der Synchronisationseinrichtung **32** einlesen und dort speichern. Nach dem Einlesen eines jeweiligen Datenbits **32** in die Synchronisationseinrichtung werden die steuerbaren Schalter **34**, **35** über die Steuersignale C1, C2 wieder geöffnet. Typischerweise, jedoch nicht notwendigerweise, gleichzeitig dazu werden die steuerbaren Schalter **40**, **42** der Ausleseschaltvorrichtung **33** über die Steuersignale C3, C4 geschlossen. Die Steuersignale C3, C4 sind zu den Steuersignalen C1, C2 synchron und invertiert zueinander. Über die Steuersignale C3, C4 wird das Auslesen der in der Synchronisationseinrichtung **32** gespeicherten Daten gesteuert, indem die zweiten steuerbaren Schalter **40**, **42** angesteuert werden. Die ersten steuerbaren Schalter **39**, **41** werden über die in dem Latch **32** gespeicherten Information angesteuert. Auf diese Weise werden die gemeinsamen Knoten **45**, **46** mit der Versorgungsspannung (VDD – GND) verbunden und es werden synchron zu dem Takt der Steuersignale C3, C4 die digitalen Zwischensignale Dz, Dz' erzeugt. Damit erfolgt die Aktivierung der Ausgänge **24**, **25** des Multiplexers **19**.

**[0049]** Typischerweise, jedoch nicht notwendigerweise gilt, dass die beiden Taktsignale C1, C4 und die beiden Taktsignale C2 und C3 jeweils identisch sind. Dies ist insbesondere zur Reduzierung des Aufwands für die Ansteuerung vorteilhaft, was sich auch in einer signifikanten Reduzierung der schaltungstechnischen Ausgestaltung der Ansteuerschaltung **22**, **23** des Multiplexers **19** zeigt.

**[0050]** In jedem Datenpfad **17a**, **17b** wird über ein Steuertaktsignal C1, C2 das Latch der Synchronisationseinrichtung **32** geladen und beim nächsten Takt des Steuertaktsignals C3, C4 wieder aus dem Latch **32** der Synchronisationseinrichtung **32** ausgelesen und über die gemeinsamen Knoten **45**, **46** den Ausgängen **24**, **25** zur Verfügung gestellt. Um den richtigen Schaltpegel der an den Ausgängen **24**, **25** anliegenden Datensignale Din, Din' bereitzustellen, ist das Widerstands-Netzwerk **48** vorgesehen. Dieses Widerstands-Netzwerk **48** ermöglicht einen beliebigen differentiellen Signalhub ("Swing") und kann auf einfache Weise durch die Wahl der geeigneten Widerstandswerte des Widerstands-Netzwerkes **48** passend eingestellt werden.

**[0051]** Für die Funktion des digitalen Multiplexers **19** ist die Ansteuerung der steuerbaren Schalter **34**,

**35** mittels der Steuersignale C1, C2 weniger kritisch als dies bei der Ansteuerung der steuerbaren Schalter **40**, **42** über die Steuersignale C3, C4 ist, da die letzteren beiden Steuersignale C3, C4 einen direkten Einfluss auf die Signalqualität der zusammengeführten digitalen Zwischensignale Dz, Dz', welche an den gemeinsamen Knoten **45**, **46** anliegen, haben können.

**[0052]** Obgleich die vorliegende Erfindung vorstehend anhand eines bevorzugten Ausführungsbeispiels beschrieben wurde, sei sie nicht darauf beschränkt, sondern lässt sich auf mannigfaltige Art und Weise modifizieren, ohne von der Idee der Erfindung abzuweichen.

**[0053]** So wurde in dem vorstehenden Ausführungsbeispiel stets von einer Digital/Analog-Wandleranordnung mit genau zwei Datenkanälen ausgegangen. Es versteht sich von selbst, dass diese Anzahl lediglich beispielhaft zu verstehen ist und die Digital/Analog-Wandleranordnung auch für eine beliebige größere Anzahl von Datenkanälen ausgebildet sein kann. Hierzu ist lediglich der Multiplexer und dabei insbesondere die Ansteuerung der Datenkanäle in entsprechender Weise zu modifizieren.

**[0054]** Darüber hinaus versteht es sich von selbst, dass die Digital/Analog-Wandleranordnung neben der Verwendung in einem Kommunikationssystem oder einem Speichersystem auch für beliebig andere Anwendungen von Vorteil ist, bei denen eine sehr hohe Datenmenge innerhalb kürzester Zeit mit einer hohen Datenqualität umgesetzt werden muss.

**[0055]** Es versteht sich von selbst, dass statt eines Widerstands-Netzwerkes eine beliebige Einrichtung zur Pegelumsetzung bereitgestellt werden, beispielsweise durch geschaltete Transistoren oder dergleichen. In einer Minimalvariante kann darauf auch verzichtet werden.

**[0056]** Auch müssen die Steuersignale zur Ansteuerung der steuerbaren Schalter nicht notwendigerweise identisch sein, sondern können vielmehr auch voneinander verschieden sein. Auch müssen die jeweiligen Steuersignale eines jeweiligen Datenkanals nicht notwendigerweise zueinander taktsynchron sein, sondern können ebenfalls asynchron zueinander ausgebildet sein.

**[0057]** Unter einem digitalen Signal sei in der gesamten Patentanmeldung ein solches Signal zu verstehen, welches logische, also digitale Informationen aufweist. Eine logische "0" bzw. "1" muss nicht notwendigerweise einen 0 Volt-Pegel bzw. einen VDD-Pegel aufweisen. Vielmehr bedeutet dies lediglich, dass der eine logische Pegel ("0") niedriger sein soll als der andere logische Pegel ("1").

**[0058]** Wenngleich in dem Ausführungsbeispiel in der [Fig. 2](#) der dort dargestellt Multiplexer für  $n = 1$  Bit dargestellt ist, sei die Erfindung nicht darauf beschränkt, sondern lässt sich durch entsprechende Vervielfachung der dort beschriebenen Schaltungsanordnung für einen Multiplexer auf eine entsprechende Bitzahl erweitern.

#### Bezugszeichenliste

<b>10</b>	System, Kommunikationssystem
<b>11, 12</b>	Datenquellen
<b>13</b>	Digital/Analog-Wandleranordnung
<b>14, 15</b>	Dateneingänge
<b>16</b>	Datenausgang
<b>17, 18</b>	Datenkanäle
<b>19</b>	digitaler Multiplexer
<b>20</b>	Digital/Analog-Wandler
<b>21</b>	Ausgang des Multiplexers
<b>22</b>	Steuereinrichtung
<b>23</b>	Taktgenerator
<b>30</b>	Inverter
<b>31</b>	Einleseschalteinrichtung
<b>32</b>	Synchronisationseinrichtung, Latch
<b>33</b>	Ausleseschalteinrichtung
<b>34, 35</b>	steuerbare Schalter
<b>36</b>	Steueranschluss
<b>37, 38</b>	Inverter
<b>39-42</b>	steuerbare Schalter
<b>43</b>	erster Versorgungsanschluss
<b>44</b>	Steueranschluss
<b>45, 46</b>	gemeinsame Knoten
<b>47</b>	zweiter Versorgungsanschluss
<b>48</b>	Widerstands-Netzwerk
<b>49, 50</b>	Spannungsteiler, Widerstände
<b>51, 52</b>	Abgriffe
<b>53</b>	Widerstand
<b>n</b>	Bitbreite, Bitanzahl
<b>C1-C4</b>	Steuersignale, Taktsignale
<b>CLK</b>	Taktsignal
<b>Din, Din'</b>	zusammengeführter digitaler Datenstrom, digitales Datenausgangssignal (mit erhöhter Datenrate)
<b>Din1, Din2</b>	digitale Datenströme, Dateneingangssignale (mit geringer Datenrate)
<b>D1, D1', D2, D2'</b>	in den Datenkanälen weitergeleitete digitale Dateneingangssignale (mit geringer Datenrate)
<b>Dout</b>	analoges Ausgangssignal
<b>Dz, Dz'</b>	digitale Zwischensignale

#### Patentansprüche

1. Mehrkanal-Digital/Analog-Wandleranordnung (**13**) zum Wandeln mehrerer digitaler Dateneingangs-



signale (Din1, Din2) in ein analoges Ausgangssignal (Dout),

mit zumindest zwei, mit jeweils einer Datenquelle verbundenen oder verbindbaren Datenkanälen (**17**, **18**), wobei ein jeweiliger Datenkanal dazu ausgelegt ist, von der ihm zugeordneten Datenquelle ein jeweiliges digitales Dateneingangssignal (Din1, Din2) aufzunehmen und weiterzuleiten,

mit einem digitalen Multiplexer (**19**), der die in den Datenkanälen (**17**, **18**) weitergeleiteten mindestens zwei digitalen Dateneingangssignale (D1, D1'; D2, D2') an einem ausgangsseitig angeordneten gemeinsamen Knoten (**45**, **46**) zu einem digitalen Zwischensignal (Dz, Dz') zusammenführt,

wobei der Multiplexer (**19**) eine Abstimmvorrichtung (**32**, **33**) aufweist, mittels der das zeitliche Verhalten der mindestens zwei in den Datenkanälen (**17**, **18**) weitergeleiteten digitalen Dateneingangssignale (D1, D1'; D2, D2') aufeinander abstimmbare ist,

mit einem dem Multiplexer (**19**) nachgeschalteten Digital/Analog-Wandler (**20**), der das zusammengeführte digitale Zwischensignal (Dz, Dz') in das analoge Ausgangssignal (Dout) wandelt, wobei die Abstimmvorrichtung (**32**, **33**) eine Synchronisationseinrichtung (**32**) aufweist, mittels der die weitergeleiteten digitalen Dateneingangssignale (D1, D1'; D2, D2') der verschiedenen Datenkanäle (**17**, **18**) mittels takt synchroner Steuersignale (C3, C4) aufeinander synchronisierbar sind.

2. Mehrkanal-Digital/Analog-Wandleranordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Synchronisationseinrichtung (**32**) ein Latch (**32**) aufweist.

3. Mehrkanal-Digital/Analog-Wandleranordnung nach Anspruch 2, dadurch gekennzeichnet, dass die Abstimmvorrichtung (**32**, **33**) ausgangsseitig eine steuerbare Ausgangsschaltvorrichtung (**33**) aufweist, die dem Latch (**32**) nachgeschaltet ist und die dem takt synchronen Auslesen der weitergeleiteten digitalen Dateneingangssignale (D1, D1'; D2, D2') aus dem Latch (**32**) dient.

4. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der Ansprüche 2 oder 3, dadurch gekennzeichnet, dass eine steuerbare Eingangsschaltvorrichtung (**31**) vorgesehen ist, die eingangsseitig dem Latch (**32**) vorgeschaltet ist und die dem takt gesteuerten Einlesen der Dateneingangssignale (Din1, Din2) in das Latch (**32**) dient.

5. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, dass die Eingangsschaltvorrichtung (**31**) und/oder die Ausgangsschaltvorrichtung (**33**) jeweils zumindest einen steuerbaren Schalter (**34**, **35**; **39–42**) je Datenkanal (**17**, **18**) aufweisen, deren gesteuerte Strecken in einem Datenpfad (**17a**, **17b**) eines der Datenkanäle (**17**, **18**) angeordnet sind und

die jeweils über ein Steuersignal (C1–C4)) ansteuerbar sind.

6. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass der Multiplexer (**19**) und/oder der nachgeschaltete Digital/Analog-Wandler (**20**) voll differentiell ausgebildet sind.

7. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass eine Einrichtung zur Pegelumsetzung (**48**) vorgesehen ist, die zwischen dem Ausgang (**21**) des Multiplexers (**19**) und dem gemeinsamen Knoten (**45**, **46**) angeordnet ist und die dazu ausgelegt ist, vorgegebene logische Pegel des Zwischensignals (Dz, Dz') festzulegen.

8. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass die Einrichtung zur Pegelumsetzung (**48**) als Widerstandsnetzwerk (**48**) ausgebildet ist.

9. Mehrkanal-Digital/Analog-Wandleranordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass der Digital/Analog-Wandler (**20**) eingangsseitige Stromschalter aufweist, die steuerseitig direkt mit dem Ausgang des vorgeschalteten Multiplexers (**19**) verbunden sind.

Es folgen 2 Blatt Zeichnungen

FIG 1

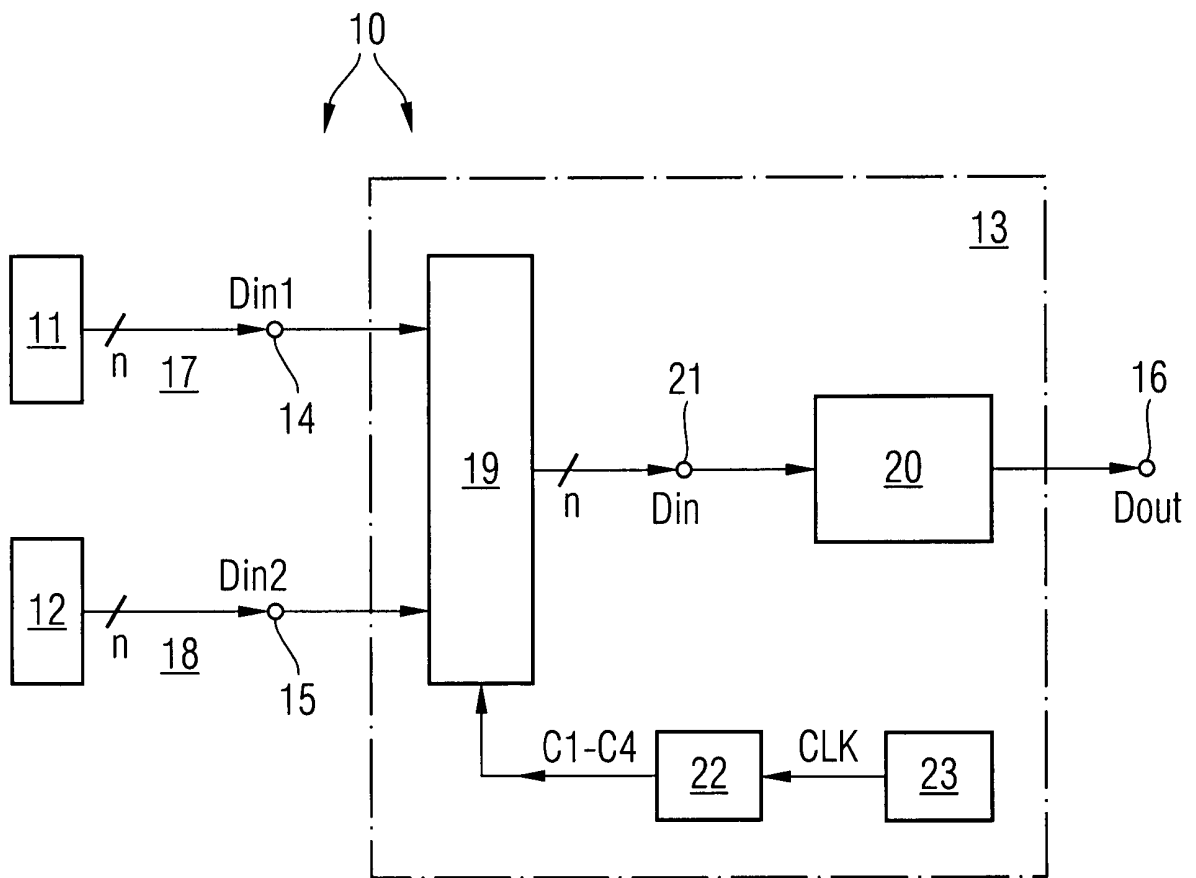
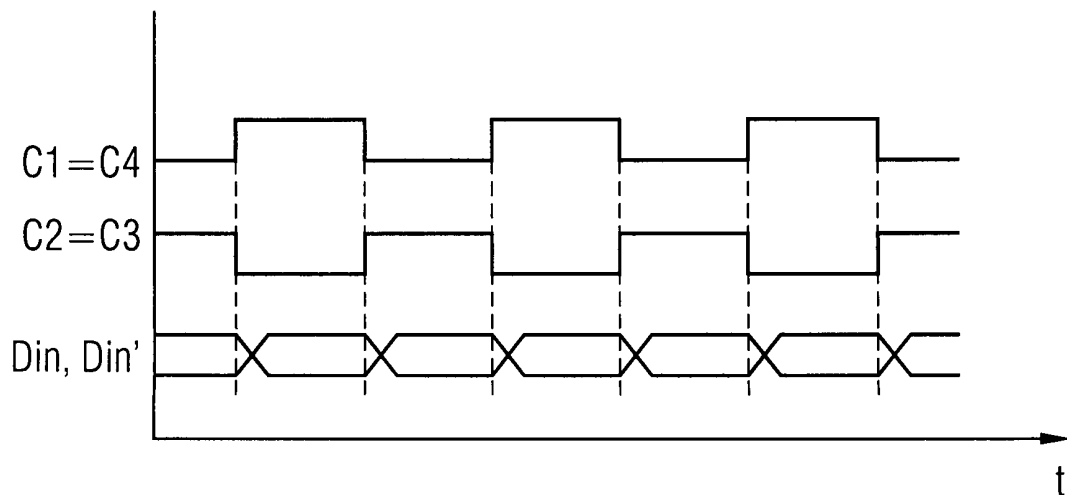


FIG 3



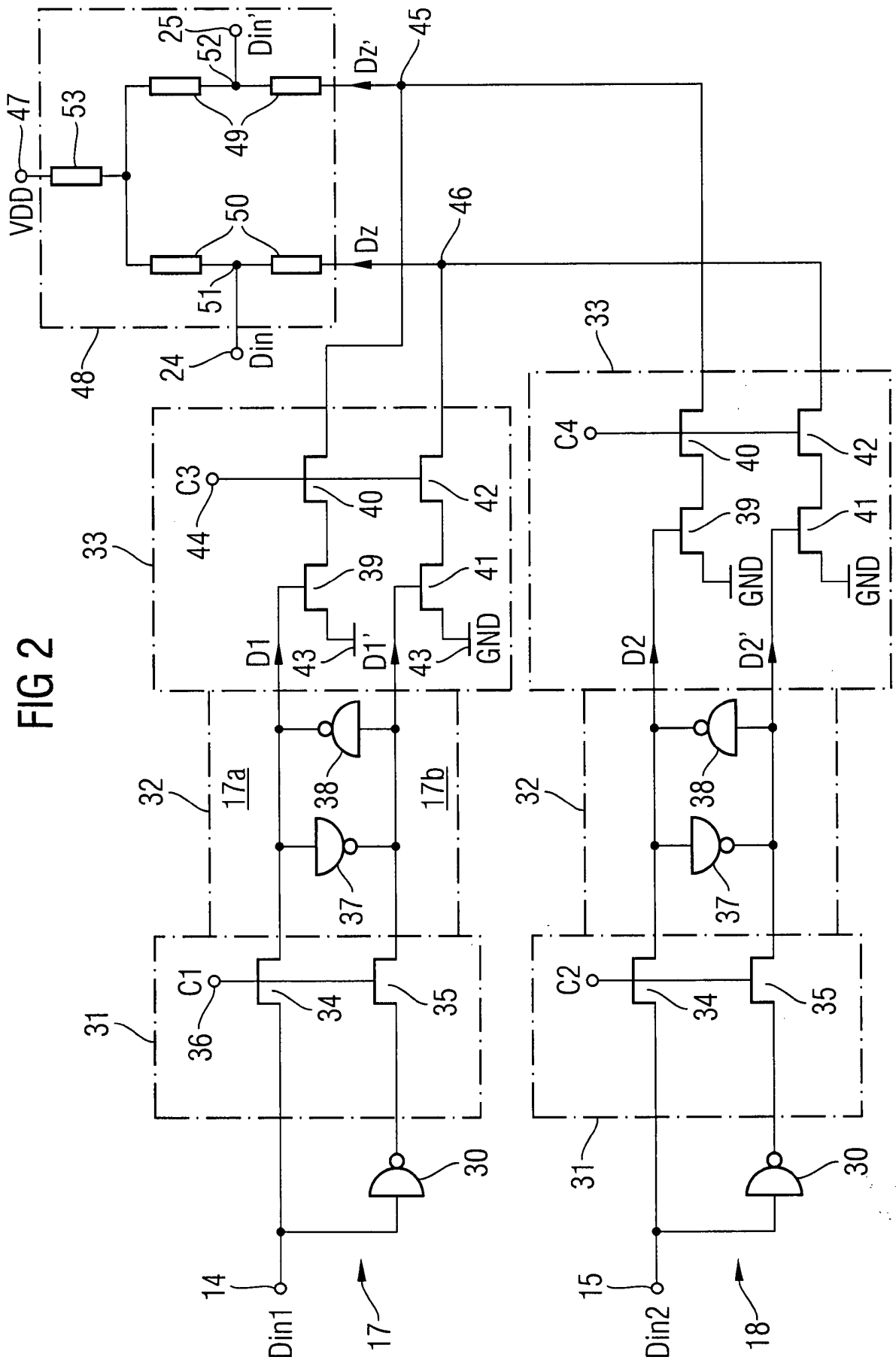


FIG 2