(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/10

(45) 공고일자 1999년08월02일
(11) 등록번호 10-0214813
(24) 등록일자 1999년05월20일

(21) 출원번호	10-1995-0037237	(65) 공개번호	특1996-0043183
(22) 출원일자	1995년10월26일	(43) 공개일자	1996년12월23일
(30) 우선권주장	95-125175 1995년05월24일 일본(JP)		

(73) 특허권자 샤프 가부시끼가이샤 쯔지 하루오
일본국 오사까후 오사까시 아베노꾸 나가이께쪼 22반 22고
(72) 발명자 하세가와 마사히로
일본국 히로시마껜 후쿠야마시 마쿠야마다이 2-쪼메 16-5
타니모토 쥬니치
일본국 나라껜 이꼬마시 타와라구치쪼 2613-1407
(74) 대리인 이병문, 백덕열, 이태희

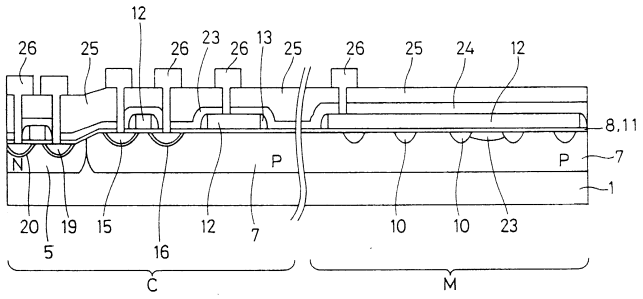
심사관 : 김근모

(54) 반도체 장치,마스크 롬 및 그의 제조방법

요약

반도체 장치는 제 1도전형 또는 제2도전형의 불순물 이온들을 포함하는 적어도 하나의 웰을 가지도록 형성된 반도체 기판; 상기 웰상에 형성된 게이트 절연막, 상기 게이트 절연막상에 형성된 게이트 전극 및 상기 웰내에 형성된 한쌍의 확산층을 가진 복수의 트랜지스터들; 및 상기 웰내의 상기 확산층의 외주부에서 그 확산층들 각각에 대해 자기정합적으로 그리고 상기 웰과 동일한 도전형으로 형성되며, 소망하는 접합내압을 얻기에 충분한 불순물 농도를 가지며 상응하는 트랜지스터에 동작전압이 인가될 때 발생되는 공지층의 폭과 거의 동일한 폭을 가진 외측 확산층을 포함하며; 상기 웰의 불순물 농도가 인접한 트랜지스터간을 접속하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 설정됨에 의해, 상기 인접한 트랜지스터들이 서로 분리된다.

대표도



명세서

[발명의 명칭]

반도체 장치, 마스크 ROM 및 그의 제조방법

[도면의 간단한 설명]

제1도는 주변회로에 본 발명의 반도체 장치를 가진 예시적인 마스크 ROM주요부를 나타낸 단면도.

제2도는 엘의 표면 불순물 농도 및 채널반전 전압 사이의 관계를 나타낸 그래프.

제3도는 접합분리의 표면 불순물농도 및 채널반전 전압 사이의 관계를 나타낸 그래프.

제4a도 및 제4b도는 확산층 둘레의 불순물 농도의 프로라일 및 외측 확산층의 불순물 농도, 외측 확산층의 폭 및 접합내압 사이의 관계를 각각 나타낸 그래프.

제5도는 소자분리용 마스크폭과 실효소자간 거리 사이의 관계를 나타낸 그래프.

제6도는 실효 소자간 거리와 접합내압 사이의 관계를 나타낸 그래프.

제7도는 본 발명의 반도체 장치를 주변회로에 포함하는 마스크 ROM의 데이터기입를 위한 인 이온 주입량과 임계전압 사이의 관계를 나타낸 그래프.

제8도는 본 발명의 반도체 장치를 주변회로에 포함하는 마스크 ROM에 데이터 기입 동작이 실행될 때 관찰된 웰의 표면 불순물 농도와 임계전압 사이의 관계를 나타낸 그래프.

제9도 내지 16도는 본 발명의 반도체 소자를 주변회로에 포함하는 마스크 ROM의 제조단계들을 나타낸 단면도들.

제17도는 종래의 마스크 ROM의 주요부를 나타낸 단면도.

제18도 내지 20도는 종래의 반도체 장치에서 접합분리를 얻기위한 단계들을 나타낸 단면도들.

제21도는 종래 기술에 따른 PN접합분리와 확산층간의 거리 및 접합내압 사이의 관계를 나타낸 그래프.

제22도는 종래 기술에서 오버랩 마진 및 분리확산층에서 측방으로의 불순물 확산이 고려될 때 PN접합분리와 확산층간의 거리 및 접합내압 사이의 관계를 나타낸 그래프이다.

* 도면의 주요부분에 대한 부호의 설명

1, 40, 70 : 반도체 기판　　2 : 산화막

3 : 실리콘 질화막　　4, 9 : 레지스트 패턴

5, 41 : N-웰　　6, 47 : LOCOS막

7, 42 : P-웰　　8 : 게이트 절연막

12, 52 : 게이트 전극　　15, 19, 56, 57, 71, 73 : 확산층

16, 20 : 외측 확산층　　24, 25 : 층간 절연막

72 : 포토레지스트

[발명의 상세한 설명]

본 발명은 반도체 장치, 마스크 ROM 및 그의 제조방법에 관한 것이다. 더 구체적으로, 본 발명은 LOCOS막을 사용하지 않고 소자분리가 이루어지는 반도체 장치, 및 주변회로에 상기 반도체 장치를 포함하는 마스크 ROM에 관한 것이다. 또한, 본 발명은 이러한 반도체장치 마스크 ROM의 제조방법에 관한 것이다. MOS장치에서는, PN접합 및/또는 저유전체막을 사용함에 의해 소자분리가 이루어 진다. 이 소자분리 기술은 펀치-스루 (punch-through)에 의한 소자내압의 저하, 게이트 배선 또는 메탈 배선에 의한 기생 트랜지스터의 채널 형성을 방지하도록 사용된다.

제17도에 도시된 바와 같이, 종래의 마스크 ROM은 PN접합분리를 이용하는 메모리 셀 어레이 (플래트 셀)(M) 및 LOCOS분리막 (47)을 이용하는 주변회로 (C)를 포함한다. 제17도를 참조하여, 종래의 마스크 ROM제조방법을 설명한다.

각각 약 $1 \times 10^{17}/cm^3$ 정도의 표면 불순물 농도를 가진 N-웰(41) 및 P-웰 (42)이 실리콘 기판 (40)에 형성된다. 그 다음, 실리콘 기판 (40)의 전체 표면에 산화막과 실리콘 질화막이 형성된다. LOCOS막이 형성되어질 영역에 원도우를 가진 레지스트 패턴이 통상의 포토리터그라피법 및 에칭 기술에 의해 기판 (40)상에 형성된다. 그후, 실리콘 질화막이 레지스트 패턴을 마스크로 이용하여 패터닝된다.

레지스트 패턴이 제거된 후에, N-웰 (41)만을 피복하도록 기판 (40)상에 레지스트패턴이 형성된다. 레지스트 패턴과 실리콘 질화막을 마스크로 이용하여, 보론 이온을 약 15KeV 주입 에너지, 약 $7 \times 10^{13}/cm^2$의 주입량으로 실리콘 기판 (40)으로 주입함에 의해 LOCOS막의 형성을 위해 제공된 영역 바로 아래에 채널 스토퍼를 형성한다.

레지스트 패턴이 제거된 후에, 실리콘 질화막을 마스크로 이용하여 약 950^0C의 온도에서 파이로리틱(PYROLYTIC)산화를 실행함에 의해 약 600nm의 두께를 가진 LOCOS막 (47)을 형성한다. 이때 P-웰 (41)내의 LOCOS막 (47) 바로 아래에 채널 스토퍼 (48)가 형성된다. 그후, 열인산을 이용하여 실리콘 질화막을 제거한다. N-웰 (41)을 피복하도록 레지스트 패턴이 형성된 다음, 그 레지스트 패턴을 마스크로 하여, 보론 이온을 20KeV 하여금 주입 에너지, $2.5 \times 10^{12}/cm^2$주입량으로 기판에 주입하여 N-웰 (41)내에 형성되는 N-채널 트랜지스터의 임계 전압을 조정한다.

상기 레지스트 패턴이 제거된 후에, P- 웰 (42)을 피복하도록 레지스트 패턴이 형성되고, 보론 이온이 약 20KeV의 주입 에너지, 약 $3 \times 10^{12}/cm^2$ 주입량으로 기판에 주입되어 N-웰 (41)내에 형성되는 P-채널 트랜지스터의 임계전압을 조정한다. 다음에, 상기 레지스트 패턴이 제거되고, 별도의 레지스트 패턴을 마스크로 하여 비소 이온을 약 40KeV 의 주입 에너지, 약 $2.0 \times 10^{15}/cm^2$ 의 주입량으로 기판에 주입한다. 상기 레지스트 패턴이 제거된 후에, 기판이 약 30분동안 약 900^0C 의 온도로 어닐링되어 메모리 셀 어레이 (M)내에 비트라인 확산배선을 형성한다.

다음, 통상의 방법에 의해 게이트 전극 (52)이 형성된다. 주변회로 (C)에서는 포토레지스트를 그리고 메모리 셀 어레이 (M)에서는 게이트 전극 (52)을 마스크로 하여, 보론 이온을 약 20KeV 의 주입 에너지, 약 $3 \times 10^{13}/cm^2$의 주입량으로 기판에 주입하여 비트라인 확산배선을 서로 분리시키는 접합분리를 형성한다.

포토레지스트를 제거한 후에, 산화막이 약 250nm의 두께로 퇴적되어, 게이트 전극 (52)의 측벽에 스페이서 (55)를 형성하도록 에칭 백 (etched back)된다. N-웰(41) 및 P-웰 (42)를 각각 마스크하도록 포토레지스트를 이용하여, 주년회로 (C)에 P^+ 확산층 (56)과 N^+ 확산층 (57)이 형성된다.

다음에, 포토레지스트를 마스크로 하여, 보론 이온을 약 180KeV의 주입 에너지,약 2× $10^{14}/_{cm}^{2}$의 주입량으로 메모리 셀 어레이의 소망하는 채널영역으로 주입하여 ROM의 프로그램밍을 실행한다. 따라서, 높은 임계전압을 가진 트랜지스터들이 형성된다.

포토레지스트가 제거된 후에, 통상의 방법에 의해 층간 절연막 (60,61), 접촉 구멍 및 메탈배선 (62)이 형성된다. 따라서 마스크 ROM이 완성된다.

전술한 바와같이 , 마스크 ROM의 주변회로 (C)의 LOCOS 분리의 공정은 전체 마스크 ROM제조공정의 약 10 내지 15%를 차지하며, 3-4일 징도 소요되어, 결과적으로 제조기간을 길게하며 제조비용을 증대시킨다. 또한, LOCOS분리는 기판표면을 거칠게 한다. 따라서, 미세제조를 어렵게 함으로써 수율이 감소된다.

이 문제를 해결하도록, 미국 특허 제 4,458,262호는 접합분리를 기초로 한 소자분리 방법을 제안하였다. 이 방법은 다음과 같이 실행된다. 제 18도에 도시된 바와 같이 , N^{+}확산층 (71)이 P형 실리콘 기판 (70)에 형성된다. 다음에, 제 19도에 도시된 바와같이 그 기판(70)상에 포토레지스트 (72)가 형성되고, 상기 포토레지스트(72)를 마스크로 하여 보론 이온을 약 2 × $10^{14}/_{cm}^{2}$의 주입량으로 기판에 주입함에 의해 P^{+}확산층 (73)을 형성한다. 제 20도에 도시된 바와 같이 포토레지스트 (72)가 제거된 후에, 불순물의 활성화 및 실리콘 기판 (70)의 결정성 회복을 위해 기판이 열처리되어, 접합 분리가 이루어진다.

전술한 PN 접합분리에 의해, 확산된 비트 라인들 사이의 펀치-스루에 의한 내압의 저하, 및 메탈 베선에 의해 발생하는 기생 트랜지스터의 채널반전을 억제할 수 있다. 그러나 기생 트랜지스터의 채널반전을 억제하는 게이트 전극 바로 아래의 영역에 형성된 게이트 절연막은 매우 얇다. 따라서, 게이트 전극에의해 발생되는 기생트랜지스터의 채널반전은 상기 웰 또는 PN접합분리에서 현재 사용되는 불순물 농도의 레벨로는 억제할 수 없다. 그러므로 주변회로의 소자분리를 위해 PN 접합분리가 사용될 수 없다. 상기 PN 접합 분리는 게이트 전극에 의해 발생되는 기생 트랜지스터의 채널반전을 억제하기 위해서는 높은 불순물 농도를 가질 필요가 있다. 그러나, 확산층과 접촉하도록 배치되는 게이트 전극은 접합용량의 증가 및 접합내압의 감소를 야기한다.

예컨대, 제3도에 도시된 바와 같이, PN접합 분리 표면의 불순물 농도의 증가에 대응하여 접합내압은 감소한다. 따라서, 5V의 전압으로 동작가능한 장치에서 PN접합분리 표면의 불순물 농도가 약 3 × $10^{17}/_{cm}^{3}$ 이상으로 되는 경우에, 6v이상의 접합내압을 제공하는 것은 불가능하다. pn접합 분리표면의 불순물 농도를 비교적 높게, 예컨대 1 × $10^{18}/_{cm}^{3}$정도로 유지하면서 적어도 6V의 접합내압을 확보하기 위해서는 제21도에 도시된 바와 같이, PN 접합 분리가 확산층에서 0.4_{um}이상 떨여져 있어야한다. 필요한 오버랩 마진과 접합 분리에서의 불순물이 측방 확산을 고려하면, PN접합 분리 및 확산층 사이의 거리는 제22도에 도시된 바와 같이 0.6_{um}이상으로 되어야 한다. 따라서, 소자의 미세화에 제한을 받게 된다. 본 발명의 일 양태에 따르면 제 1도전형 또는 제 2도전형의 불순을 이온들을 포함하는 적어도 하나의 웰을 가지도록 형성된 반도체 기판; 상기 웰상에 형성된 게이트 절연막, 상기 게이트 절연막상에 형성된 게이트 전극 및 상기 웰내에 형성된 한쌍의 확산층을 가진 복수의 트랜지스터들; 및 상기 웰내의 상기 확산층의 외주부에서 그 확산층들 각각에 대해 자기정합적으로 그리고 상기 웰과 동일한 도전형으로 형성되며, 소망하는 접합내압을 얻기에 충분한 불순물 농도를 가지며 상응하는 트랜지스터에 동작전압이 인가될 때 발생되는 공지층의 폭과 거의 동일한 폭을 가진 외측 학산층을 포함하며; 상기 웰의 불순물 농도가, 인접한 트랜지스터간을 접속하는 게이트전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 설정됨에의해, 상기 인접한 트랜지스터들이 서로 분리되어지는 반도체 장치가 제공된다.

본 발명의 다른 양태에 따르면, (i) 반도체 기판에, 후공정에서 형성하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원 전압 이상으로 되도록 불순물 농도를 갖는 적어도 하나의 제1도전형 또는 제2도전형 웰을 형성하는 단계; (ii)상기 웰상에 게이트 절연막과 게이트 전극을 형성하고, 소망하는 형상을 갖는 레지스트 패턴을 이용하여 상기 게이트 전극에 대해 자기정합적으로 확산층을 형성함에 의해 복수의 트랜지스터를 구성하는 단계; 및 (iii) 상기 레지스트 패턴을 마스크로서 이용하여 상기 웰의 도전형과 다른 도전형의 불순물 이온을 상기 반도체 기판으로 주입함에 의해 상기 웰내의 상기 확산층의 외주부에, 그 확산층들 각각에 대해 자기정합적으로 제 1도전형 또는 제 2도전형의 외측 확산층을 형성함으로써, 인접한 상기 트랜지스터간을 서로 분리하고 상기 확산층이 소망하는 접합내압을 가지도록 하는 단계들로 구성되는 반도체 장치 제조 방법이 제공된다.

본 발명의 또 다른 양태에 따르면 (i) 반도체 기판에, 후공정에서 형성하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 불순물 농도를 갖는 제1도전형 또는 제2도전형 웰을 형성하는 단계; (i') 메모리셀 어레이 영역의 웰내에만 복수의 확산층들을 서로 평행하게 형성하는 단계; (ii) 상기 웰상에 게이트 절연막과 게이트 전극을 형성하고, 소망하는 형상을 갖는 레지스트 패턴을 이용하여 상기 게이트 전극에 대해 자기정합적으로 확산층을 형성함에 의해 복수의 트랜지스터를 구성하는 단계; (iii)상기 레지스트 패턴을 마스크로서 이용하여 상기 웰의 도전형과 다른 도전형의 불순물 이온을 상기 반도체 기판으로 주입함에 의해 상기 웰내의 상기 확산층의 외주부에, 그 확산층들 각각에 대해 자기정합적으로 제1도전형 또는 제2도전형의 외측 확산층을 형성함으로써, 인접한 상기 트랜지스터간을 서로 분리하고 상기 확산층이 소망하는 접합내압을 가지도록 하는 단계 : 및 (iv)상기 메모리 셀 영역내의 소망하는 게이트 전극하의 영역들에 상기 웰과 다른 도전형의 불순물을 주입하여 데이터를 상기 메모리 셀로 기입하는 단계들로 구성되는, 메모리 셀 어레이 영역 및 주변회로영역을 가진 마스크 ROM제조 방법이 제공된다.

따라서, 본 발명에서는 인접한 트랜지스터들을 서로 분리하도록 LOCOS분리를 이용하지 않고 접합 분리를 이용함으로써 접합내압과 접합용량을 실질적으로 동작상의 문제를 야기하지 않고 적절하게 제어할 수 있는 고신뢰성의 반도체 장치, 및 그 반도체 장치를 포함하는 마스크 ROM 및 그의 제조방법을 제공할 수 있다. 상기한 반도체 장치는 저렴한 비용으로 짧은 기간 동안에 고수율을 얻을수 있게 제조될 수 있고, 또한 고밀도 집적화가 가능하다.

본 발명의 전술한 목적과 다른 목적들, 특징들, 및 장점들은 첨부 도면들을 참조하여 바람직한 실시예들을 더욱 상세하게 기재한 하기 설명으로부터 분명해질 것이다.

본 발명의 반도체 장치에 이용되는 반도체 기판은 통상 반도체 장치 및 마스크ROM등을 형성하도록 사용되는 기판들을 포함하며, 그 예로는 실리콘 기판이 바람직하다. 반도체 기판에는 적어도 하나의 P형 도전성 또는 N형 도전성의 불순물 이온을 포함하는 웰이 형성되어 있다. 그 웰의 크기 및 갯수는, 웰에 형성되어질 회로에 따라 적절하게 선택된다. 반도체 기판의 거의 전면을 P 또는 N형 도전성의 1개의 웰로서 채우도록 형성할 수 있다. 이와 다르게, 반도체 기판상에 상보형회로등을 형성하도록 한쌍의 P-웰과 N-웰 또는 2개 이상의 P-웰 및 N-웰들이 형성될 수 있다.

본 발명의 반도체 장치의 웰들은 공지의 방법대로, P형 불순물로서 보론 이온을 또는 N형 불순물로서 비소 이온 또는 인 이온을 반도체 기판에 주입함에 의해 형성할수 있다. 이 경우에, 불순물 농도는 웰내에 형성되어질 후술하는 트랜지스터간을 접속하는 게이트 전극하에 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 설정되도록 선택된다. 즉, 본 발명의 특징들 중 하나는 웰표면의 불순물 농도를 상기한 바와 같이 고레벨로 설정한다는 것이다.

게이트 전극하의 기생 트랜지스터의 채널반전전압 (임계전압)이 전원전압보다 높게, 예컨대 3.3V이상으로 되도록 설정되었다면, 제2도에 도시된 바와 같이, MOS가 동작하고 있는 웰 (P-웰)의 표면영역의 불순물 농도는 $2 \times 10^{18}/_{cm}{}^{3}$이상으로 된다.

임계전압이 6v이상으로 되도록 설정되면, 웰내의 불순물 농도는 $3 \times 10^{18}/_{cm}{}^{3}$ 이상으로 된다. 웰의 불순물 농도는 사용되어질 전원전압에 따라 적절하게 조정될 수 있고, 약 $1 \times 10^{18}/_{cm}{}^{3}$내지 약 $3 \times 10^{18}/_{cm}{}^{3}$정도로 조정되는 것이 바람직하다. 이온주입에너지는 불순물이온들이 웰을 적절하게 동작시킬 수 있는 깊이까지 주입될 수 있도록 선택된다. 더 구체적으로, 이온주입에너지는, 이온주입을 위해 사용되어질 이온의 종에 따라 적절하게 조정할 수 있지만, 약 20KeV 내지 약 180KeV정도가 바람직하다.

따라서, 종래의 웰보다 높은 불순물 농도를 갖는 웰의 형성에 의해 높은 채널 반전전압을 확보할 수 있고, LOCOS 분리막을 형성하지 않고 소자분리를 행할 수 있다.

본 발명의 반도체 장치의 웰은 게이트 절연막, 그 게이트 절연막상에 형성된 게이트전극 및 웰내에 형성된 확산층으로 구성된 복수의 트랜지스터로서 작용한다. 상기 게이트 절연막, 게이트 전극 및 확산층은 공지의 방식대로 잘 알려진 재료를 사용하여 임의의 크기로 형성된다. 게이트 전극에는 측벽 스페이서들이 제공될 수 있고, 확산층은 LDD구조로 될 수 있다.

웰의 타입과 동일한 도전형의 외측 확산층이 확산층에 대해 자기 정합적으로 웰내의 각 확산층의 외주부에 형성된다. 상기 외측 확산층은 소망하는 접합내압을 제공하기에 충분한 불순물농도를 가지며 동작전압이 트랜지스터에 인가될때 발생되는 공지층의 폭과 거의 동일한 폭을 갖는다. 즉, 본 발명의 다른 특징은 웰과 동일한 도전형을 갖는 외측확산층이 높은 불순물농도를 가진 웰내에 제공된다는 것이다.

트랜지스터의 각 확산층의 외주부에 제공된 외측 확산층은, 제4a도에 굵은 선으로 도시된 바와 같이 확산층의 불순물농도 및 폭이 소망하는 레벨로 조정되면, 그 확산층에 대해 소망하는 접합내압을 부여할 수 있다. 외측 확산층의 불순물농도가 예컨대 $1 \times 10^{17}/_{cm}{}^{3}$ 인 경우에 제4a도에 도시된 바와 같이 그 외측확산층의 폭을 적어도 약 0.3㎛로 조정함에 의해 10v의 접합내압이 얻어질수 있다. 또한, 확산층의 폭 (Y)은 트랜지스터를 5V의 전압으로 동작시킴에 의해 외측확산층과 거의 동일한 레벨로 연장될 수 있다. 따라서, 트랜지스터의 동작전압에 따라 적절한 접합내압이 얻어 질 수 있도록 외측확산층의 불순물농도 및 폭을 결정할 필요가 있다. 더 구체적으로, 전원전압이 약 5V인 경우에, 상기 외측확산층은 약 $3 \times 10^{17}/_{cm}{}^{3}$의 불순물농도와 약 0.1㎛의 폭을 갖는 것이 바람직하다. 이때 접합내압은 트랜지스터의 동작을 위해 충분한 6v 이다. 확산층의 폭 (Y)는 트랜지스터가 5v의 전압으로 동작되는 경우에 외측확산층의 폭과 거의 동일하게 된다.

이러한 구성의 반도체 장치는 마스크 ROM의 주변회로에 이용되는 것이 바람직하고 DRAM또는 SRAM의 주변회로에 웰로서 이용될 수 있다. 그외에도, 반도체 장치는 저항 또는 커패시터등과 같은 다른 종류의 장치와 조합되어 사용될 수 있다. 반도체장치가 주변회로에 사용되는 경우에, 메모리 셀 어레이가 형성되어 있는 동일 기판상에, 또는 다른 기판상에 상기 반도체 장치가 형성될 수 있다.

본 발명에 따른 반도체 장치의 제조방법에 있어서, 공정 (i)에서는 전술한 방식으로 적어도 하나의 P-웰 또는 N-웰이 반도체기판에 형성된다.

공정 (ii)에서는, 웰상에 게이트절연막과 게이트전극이 형성된다. 게이트절연막은 SiO_2로 형성됨이 바람직하다. 게이트전극은 통상 배선층이 형성을 위해 사용되는 플리실리콘, 실리사이드 또는 플리사이드등의 재료로써 CVD 또는 스퍼터링법과 같은 공지의 방법에 위해 형성된다. 게이트절연막과 게이트전극의 두께는 형성되어질 트랜지스터의 크기에 따라 적절하게 조정된다.

소망하는 형상의 레지스트 패턴과 마스크로서 게이트전극을 이용하여 게이트전극에 대해 자기정합적으로 확산층을 형성한다. 이 경우의 확산층의 불순물 농도는 약 $1 \times 10^{20}/cm^{3}$내지 $1 \times 10^{21}/_{cm}{}^{3}$이 바람직하다. 확산층이 높은 불순물 농도를 가진 웰내에 형성되기 때문에, 이온주입량은 $2 \times 10^{15}/_{cm}{}^{2}$내지 약 $5 \times 10^{15}/cm^{2}$이 바람직하다. 이때의 주입 에너지는 형성되어질 트랜지스터의 크게 및 확산층의 깊이에 따라 약 20KeV내지 약 50KeV정도로 조정되는 것이 바람직하다. 불순물이온은 반도체 기판에 대해 일반적으로 90^{0}의 각도로 주입됨이 바람직하다. 확산층은 게이트전극에, 예컨대 측벽 스페이서를 제공함에 의해 형성된 LDD 구조로 될 수 있다. 본 발명의 제조방법에서는, 게이트전극을 마스크로 이용하여 확산층이 형성된다. 이와 다르게, 레지스트패턴을 이용하여 복수의 확산층들이 형성될 수 있고, 게이트전극은 그 확산층들을 가

로질러 연장하도록 형성될 수 있다.

공정 (iii)에서는, 전술한 공정에서 확산층을 형성하는 경우에 사용되는 레지스트패턴을 마스크로서 이용하여 웰의 타입과 다른 도전성 타입의 불순물 이온을 기판으로 주입함에 의해, 확산층에 대해 자기정합적으로 외주부에 웰과 동일한 도전성 타입의 외측 확산층을 형성한다. 이 경우의 불순물이온은 상기 기판을 그 기판의 표면 애 대해 수직한 축선을 중심으로 회전시키면서 반도체 기판의 표면의 수직선에 대해 약 45^0내지 60^0의 각도로 기판에 주입함이 바람직하다. 주입 각도가 45^0보다 작으면, 그때의 외측확산층이 확산층의 측방으로 충분하게 연장될 수 없고 따라서 확산층의 외주부 전체에 형성되지 못하므로 바람직하지 않다. 주입 각도가 60^0보다 크면, 마스크 또는 게이트 전극이 기판으로의 이온주입을 방해하게 되어 그때의 외측확산층이 하방으로 소망하는 깊이까지 연장될 수 없으므로 바람직하지 않다. 반도체기판의 회전속도는 특별히 정해져 있지 않다. 이온주입 에너지는 사용되어질 불순물 이온의 종, 웰의 불순물 농도, 확산층의 깊이 및 이온 주입각도에 따라 적절하게 조정될수 있다. N^+ 확산층을 형성하도록 약 30KeV의 주입 에너지로 As가 주입되는 경우에는, 인을 약 160KeV내지 200KeV의 주입에너지로 주입함이 바람직하다. 또한, P^+확산층을 형성하도록 약 30KeV의 주입 에너지로 BF_2가 주입되는 경우에는, 약 80KeV내지 120KeV의 주입 에너지로 보론이 주입됨이 바람직하다. 확산층의 형성후에 게이트전극이 형성되는 경우에는, 먼저 게이트전극을 형성하고, 확산층이 형성될 때 사용된 것과 같은 형태의 레지스트패턴을 형성한 다음에, 그 레지스트패턴을 마스크로 이용하여 이온주입을 함으로써 각 확산층과 자기정합적으로 외측확산층이 형성될 수 있다.

따라서, 상기 반도체 장치를 형성함에 의해, 2개의 인접한 트낸지스터들이 LOCOS분리막을 형성하지 않고 서로 분리될 수 있다.

본 발명의 반도체 장치를 포함하는 마스크 ROM의 제조방법에 있어서, 공정 (i)에 뒤이은 공정 (i')에서 메모리 어레이 영역의 웰내에만 복수의 평행한 확산층들이 형성된다. 상기 확산층들을 웰과 다른 도전형의 불순물이온을 $1 \times 10^{15}/cm^2$내지 $3 \times 10^{15}/_{cm}{}^2$정도의 주입량, 20kev내지 50KeV정도의 주입에너지로 주입함에 의해 약 $1 \times 10^{20}/cm^3$ 내지 $1 \times 10^{21}/cm^3$도의 불순물농도를 가지도록 형성될 수 있다.

전술한 마스크 ROM제조방법에 있어서, 상기 공정 (iii)의 후에 공정 (iv)에서 메모리 셀 어리에로 데이터가 기입된다. 메모리 셀 어레이로의 데이터 기입은 소망하는 메모리 셀의 트랜지스터들의 채널영역으로 제공된 부분에만 구멍들을 가진 레지스트 패턴으로써 기판을 마스킹하고 웰과 다른 도전형의 이온을 게이트 전극을 통해 주입함에 의해 달성된다. 이때, 주입에너지와 불순물농도는 메모리 어레이의 트랜지스터들이 소정임계전암을 가지도록 적절하게 조정될 수 있다. P-웰의 불순물 농도가 $1 \times 10^{18}/cm^3$내지 $3 \times 10^{18}/_{cm}{}^3$정도인 경우에, $5 \times 10^{13}/_{cm}{}^{2s}$내지 $7 \times 10^{13}/_{cm}{}^2$정도의 주입량, 250KeV내지 350KeV정도의 주입 에너지로 주입함에 의해 임계전압이 약 0.2V내지 1.0V정도로 조정될 수 있다.

다음, 본 발명에 따른 반도체 장치, 마스크 ROM 및 그의 제조방법을 실시 예들을 참조하여 설명한다.

제1도는 그의 주변회로에 본 발명의 반도체 장치를 포함하는 마스크 ROM의 단면도이다. 제1도에서, 마스크ROM은 메모리 셀 어레이 (M) 및 주변회로 (C)를 포함한다. 주변회로 (C)에는 P-웰 (7) 및 P-웰 (7) 및 N-웰 (5) 형성되며 각 웰 (5,7)에는 복수의 트랜지스터들이 제공된다. 이 트랜지스터들은 각각 반도체 기판 (1)상에 형성된 게이트 절연막 (8), 측벽들에 스페이서들이 제공된 게이트 전극 (12), 게이트 전극 (12)에 대해 자기정합적으로 형성된 확산층 (15,19)을 갖는다. 확산층(15, 19)의 외주부에는 각각 확산층 (15,19)에 대해 자기정합적으로 형성된 외측 확산층 (16,20)이 형성된다. 각 트랜지스터가 층간절연막 (24,25)을 통해 소망하는 배선층 (26)에 접속되는 한편, 인접한 트랜지스터들은 종래 사용되던 LOCOS막이 없이 PN접합분리에 의해 서로 분리된다. 웰(5,7)하여금 표면에서의 불순물 농도는 약 $2.5 \times 10^{18}/cm^3$정도로 종래보다도 높게 조정된다. 이 불순물 농도는, 게이트 전극과 배선층하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압보다 높게 되도록 조정된다.

제2도는 게이트 절연막의 두께가 200Å, 주위온도가 25℃ 소스-기판간에 인가되는 전압 V_{BS}=0 인 경우에, 게이트 전극하에서 발생하는 기생 트랜지스터의 채널반전전압 (임계전)과 P-웰의 표면에서의 불순물 농도 사이의 관계를 나타낸다. 제 2도에 나타낸 바와 같이, 전원전압이 3.3V일 때, 웰 표면 불순을 농도는 $1.0 \times 10^{18}/_{cm}{}^3$으로 될 필요가 있고, 전원전압이 5v일 때는, $2 \times 10^{18}{}_{cm}{}^3$이상으로 될 필요가 있다.

제3도에서는 웰 표면 불순물 농도와 접합내압 사이의 관계를 나타내며, 종래의 반도체 장치에서는 웰 표면 불순몰 농도가 증가함에 따라 접합내압이 감소한다. 한편, 본 발명의 반도체장치의 접합내압은, 그의 외주부에 확산층 (15,19)에 대해 자기정합적으로 외측 확산층 (16,20)이 각각 형성되어 있기 때문에, 웰 표면 불순물 농도가 증가하여도 거의 일정하게 유지된다.

제4a도는 깊이방향, 예컨대 확산층 (15)에서 외측 확산층 (16)을 통해 P-웰 (7)쪽으로 관찰된 불순물 농도의 프로파일을 나타낸다. 제 4(a)도에 가는 선으로 나타낸 바와 같이 높은 불순물 농도를 가진 P-웰 (7)내에 통상의 트랜지스터가 형성되어 있는 경우에는, 트랜지스터에 동작전압이 인가될 때 발생되는 공지층의 폭 (X)이 작게 되고 따라서 접합내압이 낮아진다. 한편, 제4a도에 굵은 선으로 나타낸 바와 같이 본 발명에 따날 높은 불순물 농도를 갖는 P-웰 (7)과 확산층(15)사이에 외측 확산층 (16)이형성되는 경우에는, 트랜지스터에 동작전압이 인가될 때 발생되는 확산층의 폭 (Y)이 넓어 지게 되고 따라서, 웰의 불순물 농도가 제4a도에 점선으로 나타낸 바와 같이 낮은 경우에 종래와 마찬가지로 소망하는 접합내압이 제공될 수 있다.

또한, 외측 확산층 (16,20)이 확산층 (15,19)에 대해 자기정합적으로 형성됨에 따라확산층 (15,19)과 PN 접합분리 사이의 레이아웃 마진 (layout margin)을 0um까지 감소시킬 수 있다. 즉 확산층 (15,19)이 실질적으로 외측 확산층 (16, 20)을 통해 PN접합 분리와 접촉 할 수 있게 된다. 따라서 제5도에 도시된 바와

같이 , 소자 분리용의 마스크폭과 실효소자간 거리를 동일하게 할 수 있다. 제6도에 도시된 바와 같이 실효 소자간 거리가 약 0.3um정도에서도, 필요한 접합내압을 확보할 수 있다.

전술한 실시예의 반도체 장치에서, 각 웰 (5,7)의 표면 불순물 농도를 높은 레벨로 유지함에의해 펀치-스루에 의해 야기될 수 있는 내압의 저하 및 배선하에서 발생하는 기생 트랜지스터의 동작을 방지할 수 있다. 또한, 확산층 (15,19)의 외주부에 자기정합적으로 외측 확산층 (16,20)이 각각 형성되기 때문에, PN접합 분리에 의한 접합용량을 감소시킬 수 있고 각 웰 (5,7)의 표면 불순물 농도를 높게 할 수 있다. 따라서, PN접합분리의 폭이 감소할때에도 소망하는 접합내압을 확보할 수 있다. 그러므로, LOCOS분리를 사용하지 않고 PN접합분리에 의해 소자분리가 달성될 수 있어서, 마스크 ROM의 제조 공정의 갯수를 감소시킬 수 있다.

마스크 ROM의 메모리 셀 어레이 (M)로의 데이터 기입은 인 이온들을 $6.0 \times 10^{13}/_{cm}{}^{2}$하여금 주입량으로 소망하는 트랜지스터의 채널영역 (23)으로 주입함에 의해 이루어진다. 제7도는 P-웰의 표면 불순물 농도가 $2.5 \times 10^{18}/_{cm}{}^{3}$이고, 마스크 ROM으로의 데이터 기입을 위한 주입 에너지를 280KeV로 하여 인 이온이 P-웰 안으로 주입되는 조건하에서의 주입량과 채널영역의 임계전압 사이의 관계를 나타낸다. 제 7도에 도시된 바와 같이, 트랜지스터의 임계전압은 상기 데이터 기입 동작에의해 약 0.7V정도로 조정된다. 이때, 웰의 표면 불순물 농도는 제 8도에 도시된 바와 같이 약 $0.5 \times 10^{17}/_{cm}{}^{3}$정도로 된다.

이하, 제1도에 도시된 반도체 장치를 포함하는 마스크 ROM의 제조방법에 대해 설명한다.

마스크 ROM의 메모리 셀 어레이 (M) 및 주변회로 (C)를 형성하기 위해서는, 제9도에 도시된 바와 같이 20nm의 두께를 가진 열산화막 (2)을 실리콘 기판 (1)상에 형성한 다음 120nm의 막두께를 가진 실리콘 질화막 (3)을 열산화막(2)상에 형성한다. 실리콘질화막 (3)상에 포토레지스트를 도포하여 레지스트 패턴을 형성한다. 그 다음에, 마스크로서 상기 레지스트 패턴 (4)을 이용하여 포트리터그라피법 및 RIE법에 의해 N-웰형성영역 (5a)상의 실리콘 질화막 (3)이 제거된다. 다음, 실리콘 질화막 (3) 및 레지스트 패턴 (4)을 마스크로 이용하여 N-웰 형성영역 (5a)에, 인 이온들을 150KeV주입 에너지, $4 \times 10^{14}/_{cm}{}^{2}$주입량으로 주입한다.

레지스트 패턴 (4)이 제거된 후에, 360nm하여금 막두께를 가진 LOCOS막(6)이 제 10도에 도시된 바와 같이 파이로리틱 (pyrolytic)산화에 의해 형성되고, 이어서 열인산을 이용하여 실리콘 질화막 (3)을 제거한다. 다음에, LOCOS막 (6)을 마스크로 하여 P-웰 형성영역 (7a)에, 보론 이온을 20KeV의 주입 에너지, $1.38 \times 10^{14}/_{cm}{}^{2}$의 주입량으로 주입한다. 그후, 제 11도에 도시된 바와 같이, N-웰 (5) 및 P-웰 (7)을 형성하도록 웰들의 드라이브-인 (drive-in)을 위해 기판을 1100^{0}C의 온도에서 2시간 동안 어닐링한다. 이때, N-웰 (5) 및 P-웰 (7)의 표면 불순물 농도는 $2,5 \times 10^{18}/_{cm}{}^{3}$으로, 종래보다 높게 조정된다. 그 다음, LOCOS막 (6)과 열산화막 (2)이 불화 수소산에 의해 제거된다.

다음에, 제12도에 도시된 바와같이, 20nm의 두께를 가진 산화막 (8)이 실리콘기판 (1)의 전체 표면에 형성된다. 상기 산화막 (8)상에 레지스트가 도포되어 포토리터그라피법에 의해 레지스트 패턴 (9)으로 형성된다. 그 레지스트 패턴 (9)을 마스크로하여 메모리 셀 어레이 (M)에 비소이온을 40KeV의 주입 에너지, $3 \times 10^{15}/_{cm}{}^{2}$의 주입량으로 주입하여 비트 라인 확산배선 (10)을 형성한다. 레지스트 패턴 (9)이 제거된 후에, 제13도에 도시된 바와 같이 20nm의 두께를 가진 게이트 산화막 (11) 및 350nm의 두께를 가진 폴리실리콘막이 통상적인 방식으로 산화막 (8)상에 연속으로 형성된다. 다음, 인 이온들을 확산시킨 후에, 폴리실리콘막이 소망하는 형태로 패터닝되어 게이트 전극 (12)을 형성한다. 그후, 게이트 전극 (12)상에 산화막이 퇴적되어 스페이서들 (13)을 형성하도록 RIE에 의해 에칭된다.

그후, 제14도에 도시된 바와 같이, 포토레지스트를 이용하여 N^{+}확산층을 형성하도록 마스크 패턴 (14)이 형성된다. 종래의 마스크 패턴은 주변회로의 N-웰만을 피복하고 다른 영역에는 커다란 원도우가 형성되어 있지만, 본 발명에 따른 마스크 패턴 (14)은 각각 트렌지스터가 형성되어 질 P-웰 (7)의 영역에만 원도우를 가진다. 상기 마스크 패턴 (14)을 이용하여, 인 이온을 30KeV의 주입에너지, $3 \times 10^{15}/_{cm}{}^{2}$의 주입량으로 기판에 주입하여 N^{+}확산층 (15)을 형성한다. 상기 마스크 패턴 (14)을 재사용하여, 기판을 웨이퍼의 중앙부를 중심으로 회전시키면서 인 이온들을 $4 \times 10^{14}/_{cm}{}^{2}$의 주입량, 200KeV의 주입 에너지 및 기판 (1) 표면의 법선에 대해 60^{0}의 주입각도로 기판으로 주입하여 외측 확산층 (16)을 형성한다. 트랜지스터의 임계전압을 조정하기 위해서는, 상기 마스크 패턴 (14)을 재사용하여 인 이온들을 280KeV의 주입 에너지, $6 \times 10^{13}/_{cm}{}^{2}$의 주입량으로 게이트 전극 (12)하의 영역에 주입하여 채널영역 (17)을 형성한다. 따라서, N^{+}확산층 (15)을 형성하기 위한 상기 마스크 패턴을 재사용하여 샐프얼라이먼트에 의해 상기 N^{+}확산층 (15)의 외주부에만 외측 확산층 (16)이 형성될 수 있다. 본 발명에서는, P -웰이 종래의 웰보다 불순물 농도를 가질 때에도 향상된접합내압과 감소된 접합용량을 실현할 수 있다.

다음, 제15도에 도시된 바와 같이, 포토레지스트를 이용하여 P^{+}확산층을 형성하도록 마스크 패턴 (18)이 형성된다. 종래의 마스크 패턴은 P-웰만을 피복하고 다른 영역에는 커다란 창이 형성되어 있지만, 본 발명에 따른 마스크 패턴 (18)은 각 트랜지스터가 형성되어질 N-웰 (5)의 영역에만 원도우를 가진다. 상기 마스크 패턴 (18)을 사용하여, 보론 이온들을 50KeV의 주입 에너지, $2 \times 10^{15}/_{cm}{}^{2}$의 주입량으로 기판에 주입하여 P^{+}확산층 (19)을 형성한다. 상기 마스크 패턴 (18)을 재사용하여, 기판을 웨이퍼의 중앙부를 중심으로 회전시키면서, 보론 이온들을 $1.6 \times 10^{14}/_{cm}{}^{2}$의 주입량, 100KeV의 주입에너지 및 기판표면의 법선에

대해 60^{0}의 주입각도로 기판으로 주입하여 N-웰 (5)내에 외측 확산층 (20)을 형성한다. 트랜지스터의 임계전압을 조정하기 위해서는, 상기 마스크 패턴 (18)을 재사용하여, 보론 이온들을 120KeV의 주입 에너지, $4.6 \times 10^{13}/_{cm}{}^{2}$의 주입량으로 기판으로 주입하여 채널영역 (21)을 형성한다. 따라서 N^{+}확산층 (15)을 형성하기 위한 상기 마스크 패턴을 재사용하여 셀프얼라인먼트에 의해 상기 P^{+} 확산층 (19)의 외주부에만 외측 확산층 (20)이 형성될 수 있다. 본 발명에서는 ,N-웰이 종래의 웰보다 높은 불순물 농도를 가질 때에도 향상된 접합내압과 감소된 접합용량을 실현할 수 있다. P-웰 (7)의 경우와 마찬가지로, LOCOS분리를 사용하지 않고 PN접합분리에 의해 소자 분리가 달성됨으로써, 마스크 ROM의 제조 공정의 갯수가 감소된다.

다음 제16도에 도시된 바와 같이, 포토레지스트 (22)를 마스크로 이용하여, 인이온들을 $6 \times 10^{13}/cm^{2}$주입량으로 메모리 셀 어레이내의 소망하는 트랜지스터의 채널영역으로 주입함으로써, 데이터를 메모리 셀 어레이 (M)내로 기입한다.

기판이 이온 주입층의 활성화와 기판의 결정성의 회복을 위해 열처리된후, 층간절연막으로서 NSG막 (24) 및 BPSG막 (25)이 기판상에 퇴적되고, 그 다음에 접촉구멍이 형성되며, 이어서 메탈배선(26)이 형성된다. 이로써, 제1도에 도시된 마스크 ROM이 완성된다.

본 발명에 따르면, 웰의 불순물 농도가 비교적 높게 조정됨으로써 트랜지스터간을 접속하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압보다 높게 설정된다. 따라서, 펀치-스루에 의해 야기될 수 있는 접합 내압의 열화 및 기생 트랜지스터의 동작을 방지할 수 있다. 또한, 외측 확산층이 외주부의 확산층들과 자기정합적으로 선택적으로 형성될 수 있으므로, 웰들이 높은 표면 불순물 농도를 갖는다 하더라도 PN접합 분리의 접합 용량이 감소될 수 있다. 따라서, PN접합분리의 폭이 감소하더라도 소망하는 접합 내압이 확보될 수 있다. 그러므로, 인접한 트랜지스터들의 분리가 LOCOS분리를 이용하지 않고 PN접합 분리에 의해 달성됨으로써, 표면이 평탄하고 미세 집적화가 우수한 고신뢰성의 반도체 장치를 실현할 수 있다.

마스크 ROM의 주변회로에 포함된 본 발명의 반도체 장치는 LOCOS 분리를 제공하지 않고 메모리 셀 어레이를 가진 평탄한 메모리를 실현하게 됨으로써, 미세 집적화가 우수한 고신뢰성의 마스크 ROM을 실현할 수 있다.

본 발명에 따른 반도체 장치 제조 방법은 LOCOS 분리를 이용하지 않고 접합 분리를 실현함으로써, 접합내압과 접합용량을 실질적으로 동작상 문제가 없는 정도로 적절하게 제어할 수 있다.

본 발명에 따라 마스크 ROM에 포함되는 반도체 장치의 제조방법은, 메모리 셀 어레이의 형성을 위한 마스크를 재사용하여 소자분리가 이루어지므로, 제조기간 및 제조 비용을 절감할 수 있다. 제조된 주변회로의 표면은 LOCOS분리가 사용되지 않기 때문에 평탄하게 된다. 따라서, 고밀도 집적화를 이룰수 있는 고신뢰성의 마스크 ROM이 고수율로 제조될 수 있다.

본 명세서에서는 일부 바람직한 실시예들에 대해 기술되었지만, 첨부된 특허청구의 범위에서 한정되는 본 발명의 범위와 정신을 벗어나지 않고 상기한 실시예들을 변경 및 개조할 수 있다.

(57) 청구의 범위

청구항 1

제1도전형 또는 제2도전형의 불순물 이온들을 포함하는 적어도 하나의 웰을 가지도록 형성된 반도체 기판; 상기 웰상에 형성된 게이트 절연막, 상기 게이트 절연막상에 형성된 게이트 전극 및 상기 웰내에 형성된 한쌍의 확산층을 가진 복수의 트랜지스터들; 및 상기 웰내의 상기 확산층의 외주부에서 그 확산층들 각각에 대해 자기정합적으로 그리고 상기 웰과 동일한 도전형으로 형성되며, 소망하는 접합내압을 얻기에 충분한 불순물 농도를 가지며 상응하는 트랜지스터에 동작전압이 인가될 때 발생되는 공지층의 폭과 거의 동일한 폭을 가진 외측 확산층을 포함하며; 상기 웰의 불순물 농도가, 인접한 트랜지스터간을 접속하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 설정됨에 의해, 상기 인접한 트랜지스터들이 서로 분리되어지는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제 1도전형 또는 제 2도전형의 웰이 $1 \times 10^{18}/cm^{3}$내지 $3 \times 10^{18}/_{cm}{}^{3}$정도의 불순물 농도를 가지는 반도체 장치.

청구항 3

제1도전형 또는 제 2도전형의 불순물 이온들을 포함하는 적어도 하나의 웰을 가지도록 형성된 반도체 기판; 상기 웰상에 형성된 게이트 절연막, 상기 게이트 절연막상에 형성된 게이트 전극 및 상기 웰내에 형성된 한쌍의 확산층을 가진 복수하여금 트랜지스터들; 및 상기 웰내의 상기 확산층의 외주부에서 그 확산층들 각각에 대해 자기정합적으로 그리고 상기 웰과 동일한 도전형으로 형성되며, 소망하는 접합내압을 얻기에 충분한 불순물 농도를 가지며 상응하는 트랜지스터에 동작전압이 인가될 때 발생되는 공지층의 폭과 거의 동일한 폭을 가진 외측 확산층을 포함하며; 상기 웰의 불순물 농도가 인접한 트랜지스터간을 접속하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 설정됨에 의해, 상기인접한 트랜지스터들이 서로 분리되어지는 반도체 장치를 내장하고 있는 주변회로 및 메모리 셀 어레이를 포함하는 마스크 ROM.

청구항 4

제3항에 있어서, 상기 제1도전형 또는 제2도전형의 웰이 $1 \times 10^{18}/_{cm}{}^{3}$내지 $3 \times 10^{18}/_{cm}{}^{3}$정도의 불순물 농도

를 가지는 마스크 ROM.

청구항 5

(i)반도체 기판에, 후공정에서 형성하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 불순물 농도를 갖는 적어도 하나의 제1도전형 또는 제2도전형 웰을 형성하는 단계; (ii)상기 웰상에 게이트 절연막과 게이트 전극을 형성하고, 소망하는 형상을 갖는 레지스트 패턴을 이용하여 상기 게이트 전극에 대해 자기정합적으로 확산층을 형성함에 의해 복수의 트랜지스터를 구성하는 단계; 및 (iii)상기 레지스트 패턴을 마스크로서 이용하여 상기 웰의 도전형과 다른 도전형의 불순물 이온을 상기 반도체 기판으로 주입함에 의해 상기 웰내의 상기 확산층의 외주부에, 그 확산층들 각각에 대해 자기정합적으로 제 1 도전형 또는 제 2도전형의 외측 확산층을 형성함으로써, 인접한 상기 트랜지스터간을 서로 분리하고 상기 확산층이 소망하는 접합내압을 가지도록 하는 단계들로 구성되는 반도체 장치 제조 방법.

청구항 6

제5항에 있어서, 상기 제1도전형 또는 제2도전형의 웰이 $1 \times 10^{18}/_{cm}{}^{3}$ 내지 $3 \times 10^{18}/_{cm}{}^{3}$ 정도의 불순물 농도를 가지는 반도체 장치 제조방법.

청구항 7

제5항 또는 제6항에 있어서, 상기 확산층이 상기 단계 (ii)에서 기판의 표면에 대해 약 90° 로 이온주입함에 의해 형성되며; 상기 외측 확산층은 상기 단계 (iii)에서 기판의 표면에 대해 90° 의 각도로 연장하는 축선을 중심으로 기판을 회전시키면서 상기 기판표면의 법선에 대해 약 45° 내지 60° 하여금 각도로 이온주입함에 의해 형성되는 반도체 장치 제조 방법.

청구항 8

(i) 반도체 기판에, 후공정에서 형성하는 게이트 전극하에서 발생하는 기생 트랜지스터의 임계전압이 전원전압 이상으로 되도록 불순물 농도를 갖는 제1도전형 또 는 제2도전형 엘을 형성하는 단계; (i') 메모리 셀 어레이 영역의 웰내에만 복수의 확산층들을 서로 평행하게 형성하는 단계; (ii) 상기 웰상에 게이트 절연막과 게이트 전극을 형성하고, 소망하는 형상을 갖는 레지스트 패턴을 이용하여 상기 게이트 전극에 대해 자기정합적으로 확산층을 형성함에의해 복수의 트랜지스터를 구성하는 단계; (iii) 상기 레지스트 패턴을 마스크로서 이용하여 상기 웰의 도전형과 다른 도전형의 불순물 이온을 상기 반도체 기판으로 주입함에 의해 상기 웰내의 상기 확산층의 외주부에, 그 확산층들 각각에 대해 자기정합적으로 제1도전형 또는 제2도전형의외측 확산층을 형성함으로써, 인접한 상기 트랜지스터간을 서로 분리하고 상기 확산층이 소망하는 접합내압을 가지도록 하는 단계; (iv) 상기 메모리 셀 영역내의 소망하는 게이트 전극하의 영역들에 상기 웰과 다른 도전형의 불순물을 주입하여 데이터를 상기 메모리 셀로 기입하는 단계들로 구성되는, 메모리 셀 어레이 및 주변회로를 가진 마스크 ROM제조 방법.

청구항 9

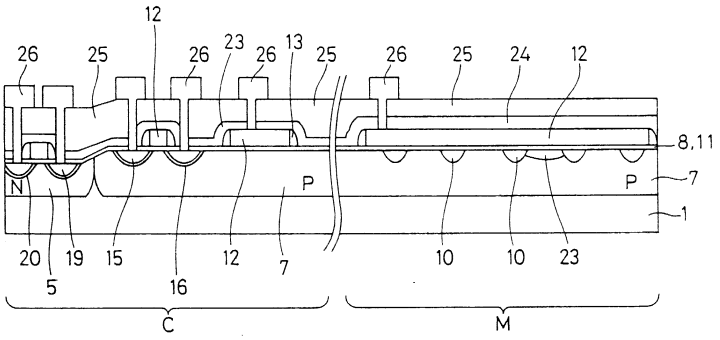
제8항에 있어서, 상기 제1도전형 또는 제2도전형의 웰이 $1 \times 10^{18}/cm^{3}$ 내지 $3 \times 10^{18}/_{cm}{}^{3}$ 정도의 불순물 농도를 가지는 마스크 ROM제조방법.

청구항 10

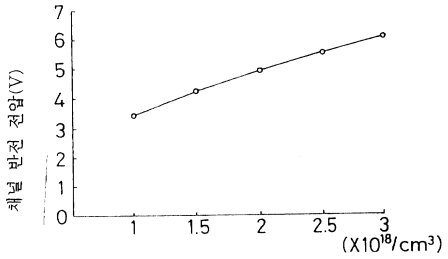
제8항 또는 제9항에 있어서, 상기확산층이 상기 단계 (ii)에서 기판의 표면에 대해 약 90^{0}의 각도로 이온주입함에 의해 형성되며; 상기 외측 확산층은 상기 단계 (iii)에서 기판의 표면에 대해 90^{0}의 각도로 연장하는 축선을 중심으로 기판을 회전시키면서 상기 기판표면의 법선에 대해 약 45^{0}내지 60^{0}의 각도로 이온주입함에 의해 형성되는 마스크 ROM제조방법.

도면

도면1

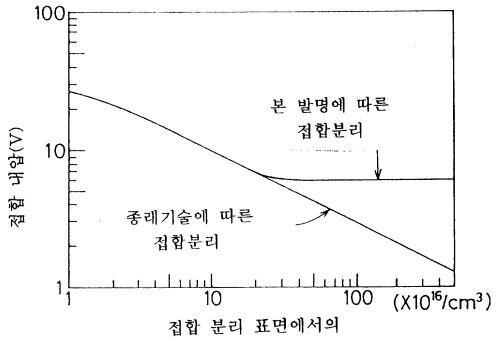


도면2



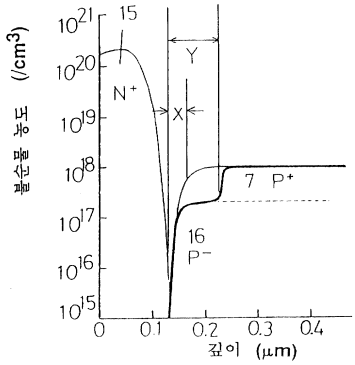
웰 표면의 불순물 농도

도면3

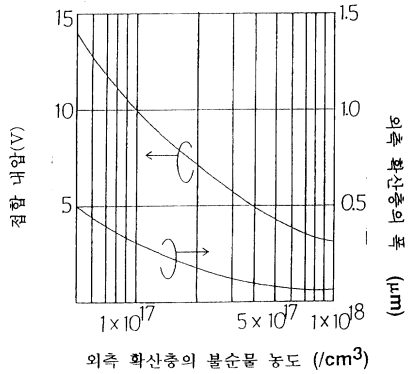


접합 분리 표면에서의
불순물 농도

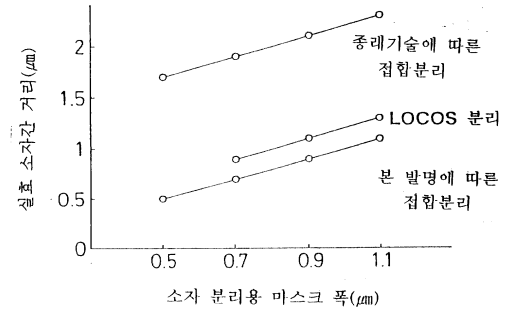
도면4a



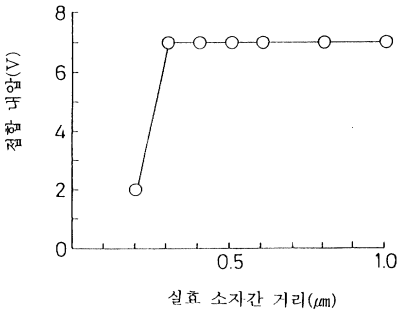
도면4b



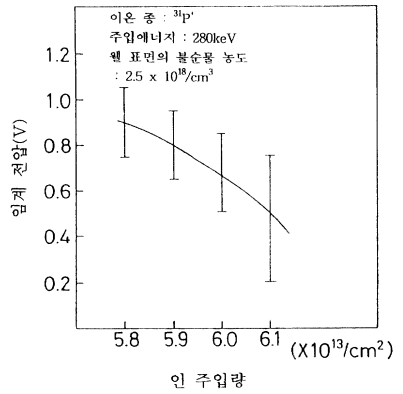
도면5



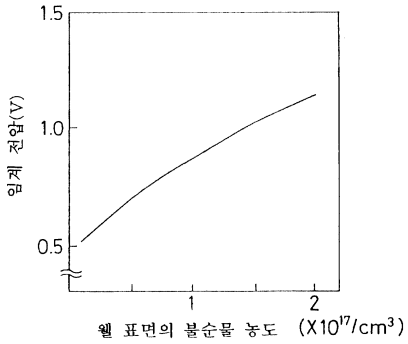
도면6



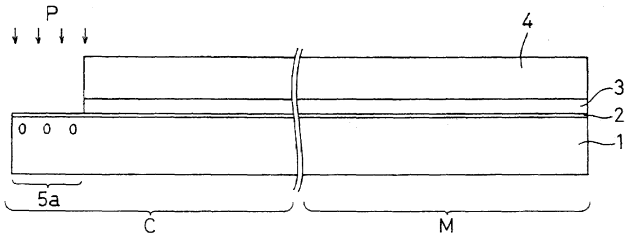
도면7



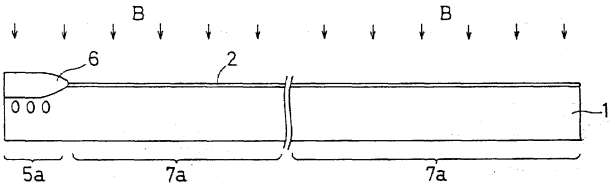
도면8



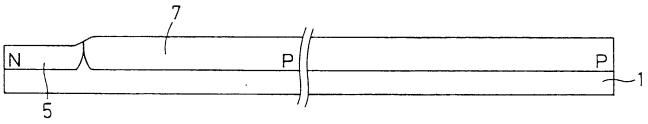
도면9



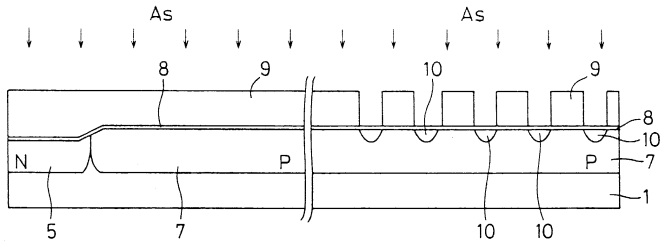
도면10



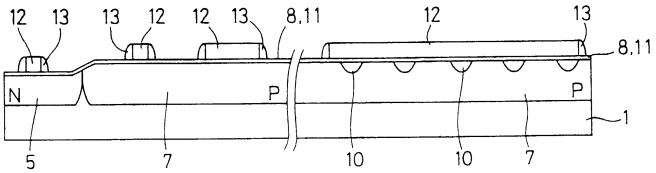
도면11



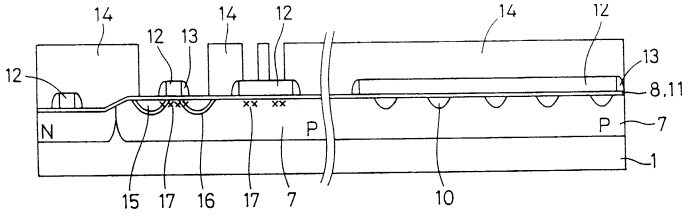
도면12



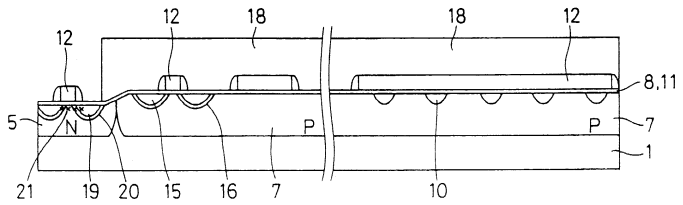
도면13



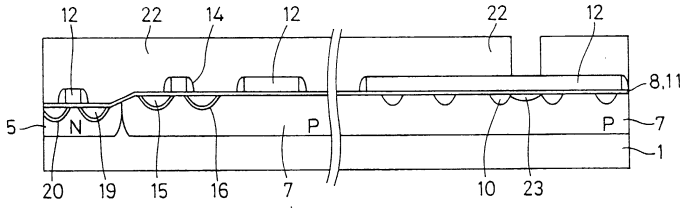
도면14



도면15

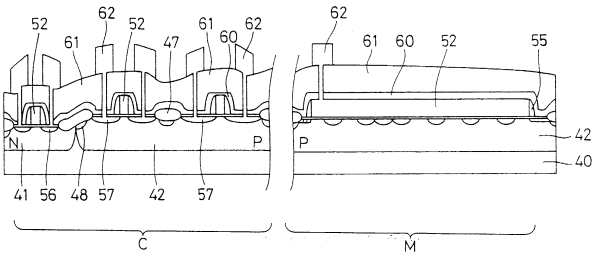


도면16



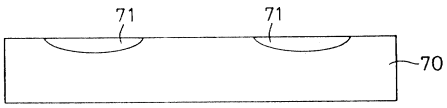
도면17

종래기술



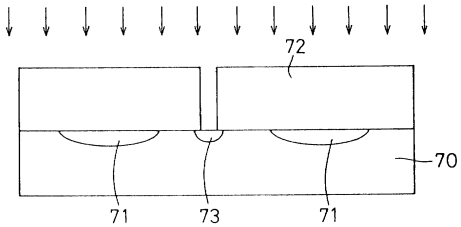
도면18

(종래기술)



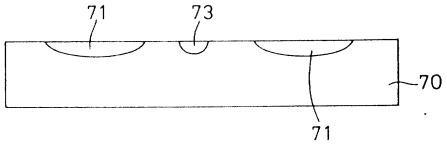
도면19

(종래기술)



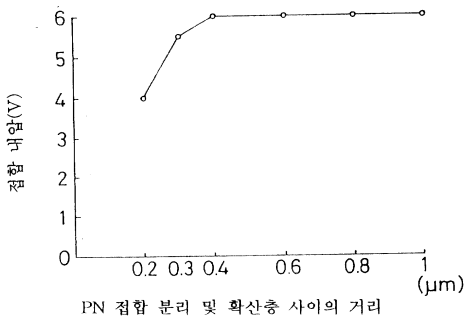
도면20

(종래기술)



도면21

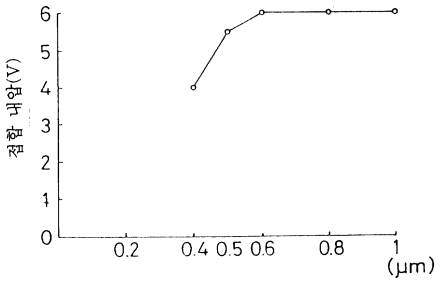
(종래기술)



PN 접합 분리 및 확산층 사이의 거리

도면22

(종래기술)



PN 접합 분리 및 확산층 사이의 거리