(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월04일
(11) 등록번호 10-2028655
(24) 등록일자 2019년09월27일

(51) 국제특허분류(Int. Cl.)
G05F 1/56 (2006.01) *H03K 3/57* (2006.01)
(52) CPC특허분류
G05F 1/56 (2013.01)
H03K 3/57 (2013.01)
(21) 출원번호 10-2018-0038317
(22) 출원일자 2018년04월02일
심사청구일자 2018년04월02일
(56) 선행기술조사문헌
KR101198852 B1
KR101428941 B1
US20050116698 A1
US20150241890 A1

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김용신
서울특별시 동작구 상도로 346-2, 201동 703호
윤성진
서울특별시 중랑구 숙선옹주로 91, 407동 313호
(74) 대리인
김홍석

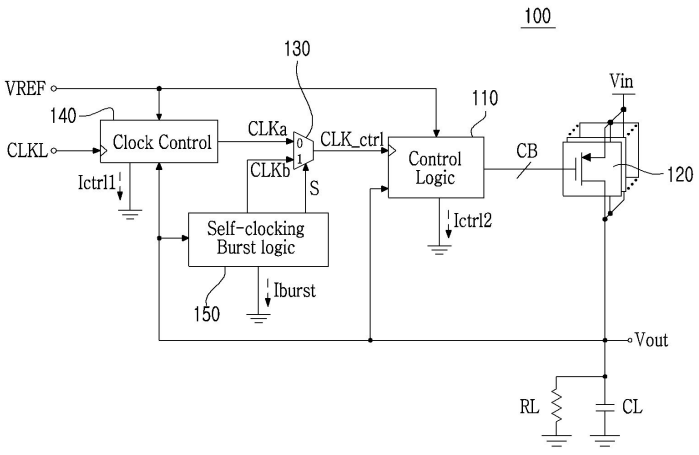
전체 청구항 수 : 총 16 항 심사관 : 김재호

(54) 발명의 명칭 **대기전류를 절감하는 디지털 LDO 레귤레이터**

(57) 요 약

본 발명에 따른 디지털 LDO(low drop-out) 레귤레이터는 입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터 어레이, 기준 전압 및 상기 출력 전압의 차이에 기초하여 상기 패스 트랜지스터 어레이를 제어하는 제어 비트를 생성하며, 외부로부터 수신된 클록으로부터 생성된 제1 클록에 기초하여 동작 여부가 결정되는 제어 로직, 그리고 상기 외부로부터 수신된 클록의 사용 없이 상기 출력 전압의 전압 변동을 감지하고, 상기 전압 변동이 발생하는 경우 상기 제어 로직이 상기 전압 변동에 대응하여 상기 출력 전압을 회복시키도록 상기 제1 클록보다 주파수가 높은 제2 클록을 상기 전압 변동을 이용하여 생성하는 자체 클록 버스트 로직을 포함하되, 상기 제어 로직은 상기 전압 변동이 발생하는 경우 상기 제2 클록에 기초하여 상기 제어 비트를 생성한다.

대 표 도



이 발명을 지원한 국가연구개발사업
과제고유번호 1345270371
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 개인기초연구(교육부)
연구과제명 차세대 AR/VR 기기를 위한 스마트 인터페이스 개발
기 여 율 1/1
주관기관 고려대학교
연구기간 2017.11.01 ~ 2018.08.31

명 세 서

청구범위

청구항 1

입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터 어레이;

기준 전압 및 상기 출력 전압의 차이에 기초하여 상기 패스 트랜지스터 어레이를 제어하는 제어 비트를 생성하며, 외부로부터 수신된 클록으로부터 생성된 제1 클록에 기초하여 동작 여부가 결정되는 제어 로직; 그리고

상기 외부로부터 수신된 클록의 사용 없이 상기 출력 전압의 전압 변동을 감지하고, 상기 전압 변동이 발생하는 경우 상기 제어 로직이 상기 전압 변동에 대응하여 상기 출력 전압을 회복시키도록 상기 제1 클록보다 주파수가 높은 제2 클록을 상기 전압 변동을 이용하여 생성하는 자체 클록 버스트 로직을 포함하되,

상기 제어 로직은 상기 전압 변동이 발생하는 경우 상기 제2 클록에 기초하여 상기 제어 비트를 생성하는 디지털 LDO(low drop-out) 레귤레이터.

청구항 2

제1항에 있어서,

선택 신호에 기초하여 상기 제1 클록 또는 상기 제2 클록을 출력하는 멀티플렉서를 더 포함하되,

상기 제어 로직은 상기 멀티플렉서에서 출력되는 클록에 기초하여 동작하는 디지털 LDO 레귤레이터.

청구항 3

제2항에 있어서,

상기 자체 클록 버스트 로직은 상기 전압 변동을 검출하는 전압 변동 검출기를 포함하고,

상기 전압 변동 검출기는 상기 전압 변동이 발생하는 시점부터 상기 출력 전압이 회복되는 시점까지 상기 제2 클록을 출력하도록 상기 선택 신호를 생성하는 디지털 LDO 레귤레이터.

청구항 4

제3항에 있어서,

상기 자체 클록 버스트 로직은 상기 제2 클록을 생성하는 버스트 클록 생성기를 포함하고,

상기 버스트 클록 생성기는 상기 선택 신호를 상기 제2 클록의 주파수에 대응하는 특정 시간 간격에 따라 순차적으로 지연시킨 지연 신호들을 생성하고,

상기 제2 클록은 상기 지연 신호들의 논리 연산에 의해 생성되는 디지털 LDO 레귤레이터.

청구항 5

제4항에 있어서,

상기 버스트 클록 생성기는 복수의 인버터들을 포함하고,

상기 제2 클록의 주파수는 상기 인버터들의 지연 특성에 따라 조절되는 디지털 LDO 레귤레이터.

청구항 6

제5항에 있어서,

상기 제2 클록의 클록 수는 상기 인버터들의 개수에 따라 조절되는 디지털 LDO 레귤레이터.

청구항 7

입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터 어레이;

기준 전압 및 상기 출력 전압을 비교하여 동작 모드를 선택하고, 선택된 동작 모드에 따라 외부로부터 수신된 외부 클록에 기초하여 노멀 클록을 생성하는 클록 제어부;

상기 외부 클록의 사용 없이 상기 출력 전압의 전압 변동을 감지하고, 상기 전압 변동이 발생하는 경우 상기 외부 클록보다 주파수가 높은 버스트 클록을 상기 전압 변동을 이용하여 생성하며, 상기 전압 변동의 발생 여부에 기초하여 선택 신호를 생성하는 자체 클록 버스트 로직;

상기 선택 신호에 기초하여 상기 전압 변동이 발생하는 경우에 상기 버스트 클록을 출력하고, 그 이외의 경우에 상기 노멀 클록을 출력하는 멀티플렉서; 그리고

상기 멀티플렉서로부터 출력되는 제어 클록에 따라 동작하고, 상기 기준 전압 및 상기 출력 전압의 차이에 기초하여 상기 패스 트랜지스터 어레이를 제어하는 제어 비트를 생성하는 제어 로직을 포함하는 디지털 LDO(low drop-out) 레귤레이터.

청구항 8

제7항에 있어서,

상기 제어 로직은,

상기 기준 전압 및 상기 출력 전압의 차이에 기초하여 누산기 입력 신호 및 누산기 방향 신호를 생성하는 방향 제어 로직; 그리고

상기 누산기 입력 신호 및 상기 누산기 방향 신호에 기초하여 상기 제어 비트를 생성하는 누산기를 포함하고,

상기 누산기 입력 신호는 상기 출력 전압을 조절하는 크기를 결정하고,

상기 누산기 방향 신호는 상기 출력 전압의 증가 또는 감소를 결정하는 디지털 LDO 레귤레이터.

청구항 9

제8항에 있어서,

상기 클록 제어부는,

상기 방향 제어 로직에서 사용되는 내부 전압을 결정하기 위한 스위칭 신호를 생성하며, 상기 노멀 클록을 생성하는 클록 생성기; 그리고

상기 기준 전압 및 상기 출력 전압의 차이와 상기 누산기 방향 신호에 기초하여 상기 클록 생성기의 동작 여부를 결정하는 내부 클록을 생성하는 트리거를 포함하는 디지털 LDO 레귤레이터.

청구항 10

제9항에 있어서,

상기 기준 전압 및 상기 출력 전압의 차이가 기설정된 오프셋 전압보다 큰 경우, 상기 트리거는 상기 외부 클록과 동일한 상기 내부 클록을 출력하고,

상기 기준 전압 및 상기 출력 전압의 차이가 상기 오프셋 전압보다 작은 경우, 상기 트리거는 상기 내부 클록을 출력하지 않거나 로우 레벨을 가지는 상기 내부 클록을 출력하는 디지털 LDO 레귤레이터.

청구항 11

제9항에 있어서,

상기 기준 전압 및 상기 출력 전압의 차이가 기설정된 오프셋 전압보다 큰 경우, 상기 트리거는 노멀 모드로 동작하고,

상기 기준 전압 및 상기 출력 전압의 차이가 상기 오프셋 전압보다 작은 경우, 상기 트리거는 슬립 모드로 동작하는 디지털 LDO 레귤레이터.

청구항 12

제7항에 있어서,

상기 자체 클록 버스트 로직은 상기 출력 전압의 하강을 검출하는 언더슈트 검출기 또는 상기 출력 전압의 상승을 검출하는 오버슈트 검출기를 포함하는 디지털 LDO 레귤레이터.

청구항 13

제12항에 있어서,

상기 언더슈트 검출기 또는 상기 오버슈트 검출기는 상기 전압 변동이 발생하는 시점부터 상기 출력 전압이 회복되는 시점까지 상기 멀티플렉서가 상기 버스트 클록을 출력하도록 상기 선택 신호를 생성하는 디지털 LDO 레귤레이터.

청구항 14

제13항에 있어서,

상기 자체 클록 버스트 로직은 기설정된 주파수에 따라 상기 버스트 클록을 생성하는 버스트 클록 생성기를 포함하고,

상기 버스트 클록 생성기는 상기 선택 신호를 상기 버스트 클록의 주파수에 대응하는 특정 시간 간격에 따라 순차적으로 지연시킨 지연 신호들을 생성하고,

상기 버스트 클록은 상기 지연 신호들의 논리 연산에 의해 생성되는 디지털 LDO 레귤레이터.

청구항 15

제14항에 있어서,

상기 버스트 클록 생성기는 복수의 인버터들을 포함하고,

상기 버스트 클록의 주파수는 상기 인버터들의 지연 특성에 따라 조절되는 디지털 LDO 레귤레이터.

청구항 16

제15항에 있어서,

상기 버스트 클록의 클록 수는 상기 인버터들의 개수에 따라 조절되는 디지털 LDO 레귤레이터.

발명의 설명

기 술 분 야

[0001] 본 발명은 레귤레이터에 관한 것으로, 좀 더 구체적으로는 슬립 모드 시 대기전류를 절감하는 디지털 LDO 레귤레이터에 관한 것이다.

배 경 기 술

[0002] 전압 레귤레이터(voltage regulator)는 디스플레이 장치와 같은 전자 장치에 안정적인 전력을 공급하기 위해 사용된다. 전압 레귤레이터는 선형 레귤레이터(linear regulator)와 스위칭 레귤레이터(switching regulator)로 분류된다.

[0003] 직류-직류 변환기(DC-DC Converter)는 스위칭 레귤레이터의 한 종류이다. 직류-직류 변환기는 높은 변환 효율을 갖는다. 그러나 직류-직류 변환기의 출력 전압은 선형 레귤레이터의 출력 전압에 비해 많은 노이즈를 포함한다.

[0004] 로우-드랍아웃(Low-dropout ; LDO) 레귤레이터는 선형 레귤레이터의 한 종류이다. LDO 레귤레이터는 낮은 변환 효율을 갖지만, 빠른 응답 속도를 갖는다. 또한, LDO 레귤레이터의 출력 전압은 직류-직류 변환기의 출력 전압에 비해 적은 양의 노이즈를 포함한다. 따라서, 직류-직류 변환기의 단점을 보완하기 위해 LDO 레귤레이터가 사용될 수 있다. 특히, LDO 레귤레이터는 노이즈에 민감한 장치 또는 높은 성능으로 구동되어야 하는 장치에 전력을 공급하기 위해 사용될 수 있다.

[0005] 최근 에너지 하베스터로부터 전원을 공급받는 웨어러블 기기, 생체이식 장치, 생체신호 센서 등의 저전력 기기

에서 고효율 및 저비용을 위해 외부 출력 커패시터가 없는 디지털 LDO 레귤레이터가 많이 사용되고 있다. 다만, 외부 출력 커패시터가 없기 때문에, 부하 측의 순시응답 특성은 떨어지게 된다. 이러한 순시응답 특성을 개선하기 위해, 디지털 LDO 레귤레이터는 출력 전압의 변동을 감지하도록 평상시에 고주파수의 클록을 사용한다. 따라서, 디지털 LDO 레귤레이터는 큰 대기전류를 소모하는 문제가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 등록특허 제10-1768064호

발명의 내용

해결하려는 과제

[0007] 본 발명은 위에서 설명한 기술적 과제를 해결하기 위한 것으로, 본 발명의 목적은 버스트 모드 시 사용되는 클록을 자체적으로 생성하여 슬립 모드 시 대기전류를 감소시키는 디지털 LDO 레귤레이터를 제공하는 데 있다.

과제의 해결 수단

[0008] 본 발명에 따른 디지털 LDO(low drop-out) 레귤레이터는 입력 전압을 조절하여 출력 전압을 출력하는 패스 트랜지스터 어레이, 기준 전압 및 상기 출력 전압의 차이에 기초하여 상기 패스 트랜지스터 어레이를 제어하는 제어 비트를 생성하며, 외부로부터 수신된 클록으로부터 생성된 제1 클록에 기초하여 동작 여부가 결정되는 제어 로직, 그리고 상기 외부로부터 수신된 클록의 사용 없이 상기 출력 전압의 전압 변동을 감지하고, 상기 전압 변동이 발생하는 경우 상기 제어 로직이 상기 전압 변동에 대응하여 상기 출력 전압을 회복시키도록 상기 제1 클록보다 주파수가 높은 제2 클록을 상기 전압 변동을 이용하여 생성하는 자체 클록 버스트 로직을 포함하되, 상기 제어 로직은 상기 전압 변동이 발생하는 경우 상기 제2 클록에 기초하여 상기 제어 비트를 생성할 수 있다.

[0009] 실시 예로서, 선택 신호에 기초하여 상기 제1 클록 또는 상기 제2 클록을 출력하는 멀티플렉서를 더 포함하되, 상기 제어 로직은 상기 멀티플렉서에서 출력되는 클록에 기초하여 동작할 수 있다.

[0010] 실시 예로서, 상기 자체 클록 버스트 로직은 상기 전압 변동을 검출하는 전압 변동 검출기를 포함하고, 상기 전압 변동 검출기는 상기 전압 변동이 발생하는 시점부터 상기 출력 전압이 회복되는 시점까지 상기 제2 클록을 출력하도록 상기 선택 신호를 생성할 수 있다.

[0011] 실시 예로서, 상기 자체 클록 버스트 로직은 상기 제2 클록을 생성하는 버스트 클록 생성기를 포함하고, 상기 버스트 클록 생성기는 상기 선택 신호를 상기 제2 클록의 주파수에 대응하는 특정 시간 간격에 따라 순차적으로 지연시킨 지연 신호들을 생성하고, 상기 제2 클록은 상기 지연 신호들의 논리 연산에 의해 생성될 수 있다.

[0012] 실시 예로서, 상기 버스트 클록 생성기는 복수의 인버터들을 포함하고, 상기 제2 클록의 주파수는 상기 인버터들의 지연 특성에 따라 조절될 수 있다.

[0013] 실시 예로서, 상기 제2 클록의 클록 수는 상기 인버터들의 개수에 따라 조절될 수 있다.

[0014] 본 발명에 따른 디지털 LDO(low drop-out) 레귤레이터는 기준 전압 및 상기 출력 전압을 비교하여 동작 모드를 선택하고, 선택된 동작 모드에 따라 외부로부터 수신된 외부 클록에 기초하여 노멀 클록을 생성하는 클록 제어부, 상기 외부 클록의 사용 없이 상기 출력 전압의 전압 변동을 감지하고, 상기 전압 변동이 발생하는 경우 상기 외부 클록보다 주파수가 높은 버스트 클록을 상기 전압 변동을 이용하여 생성하며, 상기 전압 변동의 발생 여부에 기초하여 선택 신호를 생성하는 자체 클록 버스트 로직, 상기 선택 신호에 기초하여 상기 전압 변동이 발생하는 경우에 상기 버스트 클록을 출력하고, 그 이외의 경우에 상기 노멀 클록을 출력하는 멀티플렉서, 그리고 상기 멀티플렉서로부터 출력되는 제어 클록에 따라 동작하고, 상기 기준 전압 및 상기 출력 전압의 차이에 기초하여 상기 패스 트랜지스터 어레이를 제어하는 제어 비트를 생성하는 제어 로직을 포함할 수 있다.

[0015] 실시 예로서, 상기 제어 로직은, 상기 기준 전압 및 상기 출력 전압의 차이에 기초하여 누산기 입력 신호 및 누산기 방향 신호를 생성하는 방향 제어 로직, 그리고 상기 누산기 입력 신호 및 상기 누산기 방향 신호에 기초하여 상기 제어 비트를 생성하는 누산기를 포함하고, 상기 누산기 입력 신호는 상기 출력 전압을 조절하는 크기를

결정하고, 상기 누산기 방향 신호는 상기 출력 전압의 증가 또는 감소를 결정할 수 있다.

[0016] 실시 예로서, 상기 클록 제어부는, 상기 방향 제어 로직에서 사용되는 내부 전압을 결정하기 위한 스위칭 신호를 생성하며, 상기 노멀 클록을 생성하는 클록 생성기, 그리고 상기 기준 전압 및 상기 출력 전압의 차이와 상기 누산기 방향 신호에 기초하여 상기 클록 생성기의 동작 여부를 결정하는 내부 클록을 생성하는 트리거를 포함할 수 있다.

[0017] 실시 예로서, 상기 기준 전압 및 상기 출력 전압의 차이가 기설정된 오프셋 전압보다 큰 경우, 상기 트리거는 상기 외부 클록과 동일한 상기 내부 클록을 출력하고, 상기 기준 전압 및 상기 출력 전압의 차이가 상기 오프셋 전압보다 작은 경우, 상기 트리거는 상기 내부 클록을 출력하지 않거나 로우 레벨을 가지는 상기 내부 클록을 출력할 수 있다.

[0018] 실시 예로서, 상기 기준 전압 및 상기 출력 전압의 차이가 기설정된 오프셋 전압보다 큰 경우, 상기 트리거는 노멀 모드로 동작하고, 상기 기준 전압 및 상기 출력 전압의 차이가 상기 오프셋 전압보다 작은 경우, 상기 트리거는 슬립 모드로 동작할 수 있다.

[0019] 실시 예로서, 상기 자체 클록 버스트 로직은 상기 출력 전압의 하강을 검출하는 언더슈트 검출기 또는 상기 출력 전압의 상승을 검출하는 오버슈트 검출기를 포함할 수 있다.

[0020] 실시 예로서, 상기 언더슈트 검출기 또는 상기 오버슈트 검출기는 상기 전압 변동이 발생하는 시점부터 상기 출력 전압이 회복되는 시점까지 상기 멀티플렉서가 상기 버스트 클록을 출력하도록 상기 선택 신호를 생성할 수 있다.

[0021] 실시 예로서, 상기 자체 클록 버스트 로직은 기설정된 주파수에 따라 상기 버스트 클록을 생성하는 버스트 클록 생성기를 포함하고, 상기 버스트 클록 생성기는 상기 선택 신호를 상기 버스트 클록의 주파수에 대응하는 특정 시간 간격에 따라 순차적으로 지연시킨 지연 신호들을 생성하고, 상기 버스트 클록은 상기 지연 신호들의 논리 연산에 의해 생성될 수 있다.

[0022] 실시 예로서, 상기 버스트 클록 생성기는 복수의 인버터들을 포함하고, 상기 버스트 클록의 주파수는 상기 인버터들의 지연 특성에 따라 조절될 수 있다.

[0023] 실시 예로서, 상기 버스트 클록의 클록 수는 상기 인버터들의 개수에 따라 조절될 수 있다.

발명의 효과

[0024] 본 발명의 실시 예에 따르면, 버스트 모드 시 사용되는 클록을 자체적으로 생성하여 슬립 모드 시 대기전류를 감소시키는 디지털 LDO 레귤레이터를 제공할 수 있다.

도면의 간단한 설명

[0025] 도 1은 일반적인 싱글-클록 디지털 LDO 레귤레이터를 보여주는 블록도이다.

도 2는 도 1의 싱글-클록 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다.

도 3은 일반적인 듀얼-클록 디지털 LDO 레귤레이터를 보여주는 블록도이다.

도 4는 도 3의 듀얼-클록 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다.

도 5는 본 발명의 실시 예에 따른 디지털 LDO 레귤레이터를 보여주는 블록도이다.

도 6은 도 5의 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다.

도 7은 도 5의 디지털 LDO 레귤레이터를 자세히 보여주는 블록도이다.

도 8은 도 7의 트리거의 실시 예를 보여주는 회로도이다.

도 9는 도 7의 트리거의 동작을 보여주는 타이밍도이다.

도 10은 도 7의 자체 클록 버스트 로직의 실시 예를 보여주는 회로도이다.

도 11a는 도 10의 언더슈트 검출기의 동작을 보여주는 타이밍도이다.

도 11b는 도 10의 버스트 클록 생성기의 동작을 보여주는 타이밍도이다.

도 12는 도 7의 자체 클록 버스트 로직의 다른 실시 예를 보여주는 회로도이다.

도 13a는 도 12의 오버슈트 검출기의 동작을 보여주는 타이밍도이다.

도 13b는 도 12의 버스트 클록 생성기의 동작을 보여주는 타이밍도이다.

도 14는 본 발명의 실시 예에 따른 디지털 LDO 레귤레이터에 대하여 버스트 모드 시 사용되는 클록의 주파수와 대기전류의 관계를 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

[0027] 제 1 또는 제 2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소는 제 1 구성요소로도 명명될 수 있다.

[0028] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0029] 본 명세서에서 사용한 용어는 단지 특정한 실시 예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0031] 이하, 실시 예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 특허출원의 범위가 이러한 실시 예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0032] 도 1은 일반적인 싱글-클록 디지털 LDO 레귤레이터를 보여주는 블록도이다. 도 2는 도 1의 싱글-클록 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다. 도 1을 참조하면, 싱글-클록 디지털 LDO 레귤레이터(10)는 제어 로직(11) 및 패스 트랜지스터 어레이(12)를 포함할 수 있다. 도 2를 참조하면, 싱글-클록 디지털 LDO 레귤레이터(10)는 항상 동일한 고주파수 클록(CLKH)을 사용하여 동작할 수 있다.

[0033] 싱글-클록 디지털 LDO 레귤레이터(10)는 입력 전압(Vin)에 대응하여 일정한 출력 전압(Vout)을 부하(미도시)에 공급할 수 있다. 싱글-클록 디지털 LDO 레귤레이터(10)는 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지하고, 출력 전압(Vout)을 일정하게 유지할 수 있다. 예를 들면, 제어 로직(11)은 기준 전압(VREF) 및 출력 전압(Vout)을 비교하여 제어 비트(CB)를 생성할 수 있다. 패스 트랜지스터 어레이(12)는 복수의 패스 트랜지스터들을 포함할 수 있다. 패스 트랜지스터들은 제어 비트(CB)에 기초하여 턴 온(turn on) 또는 턴 오프(turn off) 될 수 있다. 패스 트랜지스터들의 턴 온 또는 턴 오프 여부에 따라 출력 전압(Vout)은 조절될 수 있다.

[0034] 한편, 싱글-클록 디지털 LDO 레귤레이터(10)는 하나의 외부 클록에 기초하여 동작할 수 있다. 예를 들면, 싱글-클록 디지털 LDO 레귤레이터(10)는 갑작스런 출력 전압(Vout)의 변동에 대응하기 위해 고주파수 클록(CLKH)을 사용한다. 즉, 싱글-클록 디지털 LDO 레귤레이터(10)는 동작 모드에 관계없이(실질적으로는 구분된 동작 모드가

없다) 하나의 고주파수 클록(CLKH)를 사용하여 동작한다.

[0035] 도 2에서, 제어 로직(11)의 동작 전류인 제어 전류(Ictrl)는 Ic이고, 싱글-클록 디지털 LDO 레귤레이터(10)의 대기전류(I_Q)는 제어 전류(Ictrl)와 동일한 값을 가지게 된다. 따라서, 싱글-클록 디지털 LDO 레귤레이터(10)는 출력 전압(Vout)의 전압 변동(Voltage Variation)이 없는 경우에도 많은 양의 대기전류를 소모하게 된다.

[0036] 도 3은 일반적인 듀얼-클록 디지털 LDO 레귤레이터를 보여주는 블록도이다. 도 4는 도 3의 듀얼-클록 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다. 도 3을 참조하면, 듀얼-클록 디지털 LDO 레귤레이터(20)는 제어 로직(21), 패스 트랜지스터 어레이(22), 멀티플렉서(23) 및 버스트 로직(24)을 포함할 수 있다. 도 4를 참조하면, 듀얼-클록 디지털 LDO 레귤레이터(20)는 외부로부터 저주파수 클록(CLKL) 및 고주파수 클록(CLKH)을 수신하여 동작할 수 있다. 듀얼-클록 디지털 LDO 레귤레이터(20)는 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)보다 대기전류를 감소시키기 위해 동작 모드에 따라 저주파수 클록(CLKL) 및 고주파수 클록(CLKH)을 선택적으로 사용할 수 있다.

[0037] 듀얼-클록 디지털 LDO 레귤레이터(20)는 입력 전압(Vin)에 대응하여 일정한 출력 전압(Vout)을 부하(미도시)에 공급할 수 있다. 듀얼-클록 디지털 LDO 레귤레이터(20)는 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지하고, 출력 전압(Vout)을 일정하게 유지할 수 있다. 예를 들면, 제어 로직(21)은 기준 전압(VREF) 및 출력 전압(Vout)을 비교하여 제어 비트(CB)를 생성할 수 있다. 패스 트랜지스터 어레이(22)는 복수의 패스 트랜지스터들을 포함할 수 있다. 패스 트랜지스터들은 제어 비트(CB)에 기초하여 턴 온 또는 턴 오프 될 수 있다. 패스 트랜지스터들의 턴 온 또는 턴 오프 여부에 따라 출력 전압(Vout)은 조절될 수 있다.

[0038] 한편, 듀얼-클록 디지털 LDO 레귤레이터(20)는 2개의 외부 클록에 기초하여 동작할 수 있다. 예를 들면, 듀얼-클록 디지털 LDO 레귤레이터(20)는 저주파수 클록(CLKL) 및 고주파수 클록(CLKH)을 수신할 수 있다. 듀얼-클록 디지털 LDO 레귤레이터(20)는 동작 모드에 따라 저주파수 클록(CLKL) 및 고주파수 클록(CLKH) 중 하나의 클록을 선택하여 동작할 수 있다.

[0039] 버스트 로직(24)은 출력 전압(Vout)을 모니터링하고, 출력 전압(Vout)의 상태에 기초하여 선택 신호(S)를 생성할 수 있다. 출력 전압(Vout)의 변화가 없는 슬립 모드(Sleep) 시, 버스트 로직(24)은 저주파수 클록(CLKL)을 선택하는 신호(예들 들어, 논리 0)를 출력할 수 있다. 출력 전압(Vout)의 변화가 감지된 버스트 모드(Burst) 시, 버스트 로직(24)은 고주파수 클록(CLKH)을 선택하는 신호(예들 들어, 논리 1)를 출력할 수 있다. 멀티플렉서(23)는 선택 신호(S)에 기초하여 제어 클록(CLK_ctrl)을 출력할 수 있다. 제어 로직(21)은 제어 클록(CLK_ctrl)에 기초하여 제어 비트(CB)를 생성할 수 있다. 따라서, 출력 전압(Vout)은 제어 비트(CB)에 기초하여 조절될 수 있고, 출력 전압(Vout)은 일정한 값을 유지할 수 있다.

[0040] 듀얼-클록 디지털 LDO 레귤레이터(20)의 제어 로직(21)는 노멀 모드(Normal)에는 저주파수 클록(CLKL)을 사용하여 동작하고, 버스트 모드(Burst)에만 고주파수 클록(CLKH)을 사용하여 동작할 수 있다. 따라서, 도 4에서, 제어 전류(Ictrl)는 버스트 모드(Burst)에 Ic2가 되고, 노멀 모드(Normal)에는 Ic1까지 감소할 수 있다. Ic2는 도 2의 Ic와 동일한 값일 수 있다. 따라서, 듀얼-클록 디지털 LDO 레귤레이터(20)의 제어 전류(Ictrl)는 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)의 제어 전류(Ictrl)보다 감소할 수 있다.

[0041] 다만, 듀얼-클록 디지털 LDO 레귤레이터(20)의 대기전류(I_Q)는 제어 전류(Ictrl) 및 버스트 로직(24)의 동작에 따른 버스트 전류(Iburst)의 합으로 표현될 수 있다. 버스트 로직(24)은 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지하기 위해 노멀 모드(Normal)에도 고주파수(CLKH)를 사용한다. 따라서, 듀얼-클록 디지털 LDO 레귤레이터(20)는 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)보다는 적은 대기전류를 사용하지만, 여전히 버스트 전류(Iburst)의 감소가 필요하다.

[0042] 도 5는 본 발명의 실시 예에 따른 디지털 LDO 레귤레이터를 보여주는 블록도이다. 도 6은 도 5의 디지털 LDO 레귤레이터의 대기전류를 보여주는 타이밍도이다. 도 5 및 도 6을 참조하면, 디지털 LDO 레귤레이터(100)는 버스트 모드(Burst) 시 자체적으로 고주파수 클록을 생성하고, 자체 클록 버스트 로직(150)에서 외부 클록을 사용하지 않아, 슬립 모드(Sleep) 시 자체 클록 버스트 로직(150)에서 사용되는 버스트 전류(Iburst)를 감소시킬 수 있다. 따라서, 디지털 LDO 레귤레이터(100)는 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)보다 대기전류를 감소시킬 수 있다.

[0043] 도 5에서, 디지털 LDO 레귤레이터(100)는 제어 로직(110), 패스 트랜지스터 어레이(120), 멀티플렉서(130), 클록 제어부(140) 및 자체 클록 버스트 로직(150)을 포함할 수 있다. 예를 들면, 디지털 LDO 레귤레이터(100)는 입력 전압(Vin)에 대응하여 일정한 출력 전압(Vout)을 부하(RL)에 공급할 수 있다. 디지털 LDO 레귤레이터(10

0)는 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지하고, 출력 전압(Vout)을 일정하게 유지할 수 있다. 제어 로직(110)은 기준 전압(VREF) 및 출력 전압(Vout)을 비교하여 제어 비트(CB)를 생성할 수 있다. 패스 트랜지스터 어레이(120)는 복수의 패스 트랜지스터들을 포함할 수 있다. 패스 트랜지스터들은 제어 비트(CB)에 기초하여 턴 온 또는 턴 오프 될 수 있다. 패스 트랜지스터들의 턴 온 또는 턴 오프 여부에 따라 출력 전압(Vout)은 조절될 수 있다.

[0044] 클록 제어부(140)는 기준 전압(VREF) 및 출력 전압(Vout)을 비교하여 슬립 모드(Sleep) 및 노멀 모드(Normal)를 제어할 수 있다. 예를 들면, 클록 제어부(140)는 슬립 모드(Sleep) 시 클록을 차단하고, 노멀 모드(Normal) 시 노멀 클록(CLKa)을 생성할 수 있다.

[0045] 자체 클록 버스트 로직(150)은 출력 전압(Vout)에 기초하여 버스트 모드(Burst)를 제어할 수 있다. 예를 들면, 슬립 모드(Sleep) 및 노멀 모드(Normal) 동안에 출력 전압(Vout)의 전압 변동(Voltage Variation)이 발생하는 경우, 디지털 LDO 레귤레이터(100)는 버스트 모드(Burst)로 동작할 수 있다. 버스트 모드(Burst) 시에만, 자체 클록 버스트 로직(150)은 자체적으로 버스트 클록(CLKb)을 생성할 수 있다. 또한, 자체 클록 버스트 로직(150)은 선택 신호(S)를 생성하여 버스트 모드(Burst)로 동작하도록 멀티플렉서(130)를 제어할 수 있다. 자체 클록 버스트 로직(150)은 외부 클록에 관계없이 아날로그적으로 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지할 수 있다. 따라서, 자체 클록 버스트 로직(150)이 슬립 모드(Sleep) 동안에 사용하는 버스트 전류(Iburst)는 도 3의 버스트 로직(24)이 노멀 모드(Normal) 동안에 사용하는 버스트 전류(Iburst)보다 감소될 수 있다.

[0046] 멀티플렉서(130)는 선택 신호(S)에 따라 제어 클록(CLK_ctrl)을 출력할 수 있다. 예를 들면, 선택 신호(S)는 노멀 모드(Normal) 및 슬립 모드(Sleep)인 경우 노멀 클록(CLKa)를 출력하도록 생성될 수 있다(예를 들어, 논리 0). 선택 신호(S)는 버스트 모드(Burst)인 경우 버스트 클록(CLKb)을 출력하도록 생성될 수 있다(예를 들어, 논리 1). 제어 로직(110)은 제어 클록(CLK_ctrl)에 기초하여 동작할 수 있다.

[0047] 결론적으로, 디지털 LDO 레귤레이터(100)는 자체 클록 버스트 로직(150)을 통해 외부 클록을 사용하지 않고 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지할 수 있다. 즉, 자체 클록 버스트 로직(150)는 슬립 모드(Sleep) 및 노멀 모드(Normal) 동안에 클록을 사용하지 않는 능동회로를 통해 아날로그 방식으로 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지할 수 있다. 따라서, 도 6에서, 버스트 전류(Iburst)는 버스트 모드(Burst)에 Ib3가 되고, 슬립 모드(Sleep) 및 노멀 모드(Normal)에는 Ib1까지 감소할 수 있다. Ib3는 도 4의 Ib와 동일한 값일 수 있다. 결국, 디지털 LDO 레귤레이터(100)의 버스트 전류(Iburst)는 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)의 버스트 전류(Iburst)보다 감소할 수 있고, 디지털 LDO 레귤레이터(100)는 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)보다 대기전류를 감소시킬 수 있다.

[0048] 또한, 제어 로직(110)은 슬립 모드(Sleep) 시 동작이 차단된다. 따라서, 슬립 모드(Sleep) 시 클록 제어부(140) 및 제어 로직(110)의 대기전류는 Ic1이다. 노멀 모드(Normal) 시 클록 제어부(140) 및 제어 로직(110)의 대기전류는 Ic2이다. 버스트 모드(Burst) 시 클록 제어부(140) 및 제어 로직(110)의 대기전류는 Ic3이다. 도 6의 Ic2는 도 4의 Ic1과 동일한 값일 수 있다. 도 6의 Ic3은 도 4의 Ic2와 동일한 값일 수 있다. 즉, 슬립 모드(Sleep) 시 클록 제어부(140) 및 제어 로직(110)의 대기전류는 도 3의 제어 로직(21)의 노멀 모드(Normal) 시 대기전류보다 감소할 수 있다.

[0049] 도 7은 도 5의 디지털 LDO 레귤레이터를 자세히 보여주는 블록도이다. 도 7을 참조하면, 디지털 LDO 레귤레이터(100)는 제어 로직(110), 패스 트랜지스터 어레이(120), 멀티플렉서(130), 클록 제어부(140) 및 자체 클록 버스트 로직(150)을 포함할 수 있다. 제어 로직(110)은 방향 제어 로직(111) 및 누산기(Accumlator; ACC, 112)를 포함하고, 클록 제어부(140)는 트리거(Trigger, 141) 및 클록 생성기(142)를 포함할 수 있다.

[0050] 디지털 LDO 레귤레이터(100)는 노멀 모드(Normal), 슬립 모드(Sleep) 및 버스트 모드(Burst) 중 하나로 동작할 수 있다. 예를 들면, 클록 제어부(140)는 슬립 모드(Sleep) 시 클록을 차단하고, 노멀 모드(Normal) 시 노멀 클록(CLKa)을 생성할 수 있다. 또한, 자체 클록 버스트 로직(150)은 선택 신호(S)를 생성하여 슬립 모드(Sleep)/노멀 모드(Normal)와 버스트 모드(Burst)를 구분하도록 멀티플렉서(130)를 제어할 수 있다. 자체 클록 버스트 로직(150)는 버스트 모드(Burst) 시 버스트 클록(CLKb)을 생성할 수 있다.

[0051] 슬립 모드(Sleep) 시, 트리거(141)는 내부 클록(CLKi)을 차단할 수 있다. 따라서, 제어 로직(110)은 슬립 모드(Sleep) 시 대기전류를 소모하지 않는다. 또한, 자체 클록 버스트 로직(150)은 슬립 모드(Sleep) 및 노멀 모드(Normal) 시 버스트 클록(CLKb)을 생성하지 않는다.

[0052] 노멀 모드(Normal) 시, 트리거(141)는 외부 저주파수 클록(CLKL)과 동일한 주파수를 가지는 내부 클록(CLKi)을 생성할 수 있다. 클록 생성기(142)는 내부 클록(CLKi)에 기초하여 노멀 클록(CLKa) 및 스위칭 신호(SW)를 생성할 수 있다. 노멀 클록(CLKa)은 누산기(112)를 동작시키기 위한 클록이다. 스위칭 신호(SW)는 방향 제어 로직(111)에서 내부 기준 전압을 생성하기 위한 신호이다.

[0053] 노멀 모드(Normal) 시, 방향 제어 로직(111)은 기준 전압(VREF) 및 출력 전압(Vout)의 차이에 기초하여 누산기(112)를 제어하기 위한 신호를 생성할 수 있다. 예를 들면, 방향 제어 로직(111)은 누산기(112)에서 특정 비트를 선택하기 위한 누산기 입력 신호(INacc)를 생성할 수 있다. 방향 제어 로직(111)은 누산기(112)에서 선택된 특정 비트를 더하거나 빼는 방향을 결정하기 위한 누산기 방향 신호(Dacc)를 생성할 수 있다. 출력 전압(Vout)이 변경되는 크기는 선택된 특정 비트에 따라 결정될 수 있다. 누산기(112)는 누산기 입력 신호(INacc) 및 누산기 방향 신호(Dacc)에 기초하여 제어 비트(CB)를 생성할 수 있다. 패스 트랜지스터 어레이(120)는 제어 비트(CB)에 기초하여 출력 전압(Vout)을 증가 또는 감소시킬 수 있다.

[0054] 한편, 슬립 모드(Sleep) 동안에 출력 전압(Vout)의 순간적인 변화가 감지되는 경우, 디지털 LDO 레귤레이터(100)는 버스트 모드(Burst)로 동작할 수 있다. 예를 들면, 자체 클록 버스트 로직(150)은 아날로그적인 방식으로 출력 전압(Vout)의 전압 변동(Voltage Variation)을 감지할 수 있다. 자체 클록 버스트 로직(150)은 노멀 모드(Normal) 및 슬립 모드(Sleep)에 멀티플렉서(130)가 노멀 클록(CLKa)을 출력하도록 선택 신호(S)를 생성할 수 있다(예를 들어, 논리 0). 자체 클록 버스트 로직(150)은 버스트 모드(Burst)에 멀티플렉서(130)가 버스트 클록(CLKb)을 출력하도록 선택 신호(S)를 생성할 수 있다(예를 들어, 논리 1).

[0055] 버스트 모드(Burst) 시, 자체 클록 버스트 로직(150)은 출력 전압(Vout)의 변화에 기초하여 자체적으로 고주파수의 버스트 클록(CLKb)을 생성할 수 있다. 예를 들면, 버스트 클록(CLKb)은 저주파수 클록(CLKL)보다 높은 주파수를 가질 수 있다. 버스트 클록(CLKb)은 기설정된 특정 주기를 가지도록 생성될 수 있다. 또한, 자체 클록 버스트 로직(150)은 누산기 입력 신호의 일부(INacc[5:8])를 생성할 수 있다. 누산기(112)는 일부 누산기 입력 신호(INacc[5:8]), 버스트 클록(CLKb) 및 선택 신호(S)에 기초하여 버스트 모드(Burst)에 대응하는 제어 비트(CB)를 생성할 수 있다. 누산기(112)는 선택 신호(S)에 따라 버스트 모드(Burst) 동안 일부 누산기 입력 신호(INacc[5:8])을 사용할 수 있다. 따라서, 디지털 LDO 레귤레이터(100)는 버스트 모드(Burst)에 대응하는 제어 비트(CB)에 기초하여 빠르게 출력 전압(Vout)을 회복시킬 수 있다.

[0056] 일 실시 예로서, 버스트 클록(CLKb)의 클록 수는 미리 설정될 수 있다. 설정된 클록 수의 버스트 클록(CLKb)이 생성된 후, 디지털 LDO 레귤레이터(100)는 노멀 모드(Normal)로 전환될 수 있다. 즉, 디지털 LDO 레귤레이터(100)는 버스트 모드(Burst)를 통해 출력 전압(Vout)의 전압 변동(Voltage Variation)을 일부 회복시키고, 노멀 모드(Normal)를 통해 출력 전압(Vout)을 정상 상태로 회복시킬 수 있다. 출력 전압(Vout)이 정상 상태로 회복된 후, 디지털 LDO 레귤레이터(100)는 슬립 모드(Sleep)로 전환될 수 있다.

[0057] 도 8은 도 7의 트리거의 실시 예를 보여주는 회로도이다. 도 9는 도 7의 트리거의 동작을 보여주는 타이밍도이다. 도 8 및 도 9를 참조하면, 트리거(141)는 기준 전압(VREF) 및 출력 전압(Vout)의 차이에 기초하여 노멀 모드(Normal) 또는 슬립 모드(Sleep)를 선택하고, 동작 모드에 따라 내부 클록(CLKi)을 생성할 수 있다. 예를 들면, 트리거(141)는 슬립 모드(Sleep) 시 클록 생성기(142)를 비활성화시키는 내부 클록(CLKi)을 생성할 수 있다. 즉, 내부 클록(CLKi)은 슬립 모드(Sleep) 시 출력되지 않거나 로우 레벨을 가질 수 있다. 한편, 트리거(141)는 노멀 모드(Normal) 시 저주파수 클록(CLKL)과 동일한 내부 클록(CLKi)을 출력할 수 있다.

[0058] 트리거(141)는 양방향 오프셋 비교기(1411)를 포함할 수 있다. 양방향 오프셋 비교기(1411)는 p형 트랜지스터들(MP1~MP4), n형 트랜지스터들(MN1~MN7), 커패시터들(Coffset) 및 논리 게이트들(G1, G2)을 포함할 수 있다. 일 실시 예로서, 논리 게이트들(G1, G2)은 NOR 게이트일 수 있다.

[0059] 양방향 오프셋 비교기(1411)의 출력(즉, 노드(N6)의 전압) 및 누산기 방향 신호(Dacc)는 논리 게이트(G3)에 입력될 수 있다. 저주파수 클록(CLKL) 및 논리 게이트(G3)의 출력은 논리 게이트(G4)에 입력될 수 있다. 논리 게이트(G4)는 내부 클록(CLKi)을 출력할 수 있다. 일 실시 예로서, 논리 게이트(G3)는 XOR 연산 후 반전된 값을 출력할 수 있다. 논리 게이트(G4)는 AND 게이트일 수 있다.

[0060] 출력 전압(Vout)이 기준 전압(VREF)보다 큰 경우, 누산기 방향 신호(Dacc)는 하이 레벨을 가질 수 있다. 출력 전압(Vout)이 기준 전압(VREF)보다 작은 경우, 누산기 방향 신호(Dacc)는 로우 레벨을 가질 수 있다.

[0061] 누산기 방향 신호(Dacc)가 하이 레벨인 경우 기준 전압(VREF) 및 출력 전압(Vout)의 차이가 오프셋 전압(Offset)보다 크면, 노드(N6)의 전압은 하이 레벨이 된다. 이때 논리 게이트(G3)의 출력은 하이 레벨이 되고,

따라서 내부 클록(CLKi)은 저주파수 클록(CLKL)과 동일한 값을 갖는다.

[0062] 누산기 방향 신호(Dacc)가 하이 레벨인 경우 기준 전압(VREF) 및 출력 전압(Vout)의 차이가 오프셋 전압(Offset)보다 작으면, 노드(N6)의 전압은 로우 레벨이 된다. 이때 논리 게이트(G3)의 출력은 로우 레벨이 되고, 따라서 내부 클록(CLKi)은 저주파수 클록(CLKL)과 관계없이 로우 레벨이 된다.

[0063] 누산기 방향 신호(Dacc)가 로우 레벨인 경우 기준 전압(VREF) 및 출력 전압(Vout)의 차이가 오프셋 전압(Offset)보다 작으면, 노드(N6)의 전압은 하이 레벨이 된다. 이때 논리 게이트(G3)의 출력은 로우 레벨이 되고, 따라서 내부 클록(CLKi)은 저주파수 클록(CLKL)과 관계없이 로우 레벨이 된다.

[0064] 누산기 방향 신호(Dacc)가 로우 레벨인 경우 기준 전압(VREF) 및 출력 전압(Vout)의 차이가 오프셋 전압(Offset)보다 크면, 노드(N6)의 전압은 로우 레벨이 된다. 이때 논리 게이트(G3)의 출력은 하이 레벨이 되고, 따라서 내부 클록(CLKi)은 저주파수 클록(CLKL)과 동일한 값을 갖는다.

[0065] 따라서, 누산기 방향 신호(Dacc) 및 노드(N6)의 전압이 서로 동일한 논리 값을 가지는 경우, 트리거(141)는 노멀 모드(Normal)에 대응하는 내부 클록(CLKi)을 출력할 수 있다. 누산기 방향 신호(Dacc) 및 노드(N6)의 전압이 서로 다른 논리 값을 가지는 경우, 트리거(141)는 슬립 모드(Sleep)에 대응하는 내부 클록(CLKi)을 출력할 수 있다. 결국, 디지털 LDO 레귤레이터(100)는 내부 클록(CLKi)에 기초하여 노멀 모드(Normal) 또는 슬립 모드(Sleep)로 설정될 수 있다.

[0066] 도 10은 도 7의 자체 클록 버스트 로직의 실시 예를 보여주는 회로도이다. 도 10을 참조하면, 자체 클록 버스트 로직(150)은 언더슈트(undershoot) 검출기(151) 및 버스트 클록 생성기(152)를 포함할 수 있다. 도 11a는 도 10의 언더슈트 검출기의 동작을 보여주는 타이밍도이다. 도 11b는 도 10의 버스트 클록 생성기의 동작을 보여주는 타이밍도이다.

[0067] 도 10에서, 언더슈트 검출기(151)는 p형 트랜지스터들(PMb1, PMb2), n형 트랜지스터(NMb1), 커패시터들(Cb1, Cb2), 가변 저항(Rb1), 저항(Rb2), 인버터(INVx) 및 능동 베타 곱셈기(active beta multiplier, 1511)를 포함할 수 있다. 능동 베타 곱셈기(1511)는 p형 트랜지스터들(PMa1, PMa2), n형 트랜지스터들(NMa1, NMa2), 커패시터들(Ca1, Ca2) 및 저항들(Ra1~Ra3)을 포함할 수 있다.

[0068] 도 10 및 도 11a를 참조하면, 자체 클록 버스트 로직(150)은 외부 클록 없이 아날로그적으로 출력 전압(Vout)의 언더슈트를 검출할 수 있다. 예를 들면, 제1 시점(t1)에 출력 전압(Vout)이 하강하면, 노드(Na1), 노드(Nb1), 노드(Na4) 및 노드(Nb4)의 전압은 하강한다. 한편, 저항(Ra1) 및 저항(Ra2)의 영향에 의해 노드(Na2) 및 노드(Na3)의 전압은 상승한다. 노드(Na2)의 전압이 상승하면 p형 트랜지스터(PMb1)은 턴 오프 되고, 노드(Na3)의 전압이 상승하면 n형 트랜지스터(NMb1)은 턴 온 된다. n형 트랜지스터(NMb1)가 턴 온 되면 노드(Nb2)의 전압은 로우 레벨이 되고, 인버터(INVx)에 의해 노드(Nb3)의 전압은 하이 레벨이 된다. 즉, 선택 신호(S)는 하이 레벨로 변경된다.

[0069] 이후에 출력 전압(Vout)이 상승하여 회복되면, 반대로 노드(Na1), 노드(Nb1), 노드(Na4) 및 노드(Nb4)의 전압은 상승하고, 노드(Na2) 및 노드(Na3)의 전압은 하강한다. 따라서, 출력 전압(Vout)이 상승한 후, 제2 시점(t2)에 선택 신호(S)는 로우 레벨로 변경된다. 또한, p형 트랜지스터(PMb2)는 기설정된 인에이블 신호(EN)에 의해 턴 온 될 수 있다. p형 트랜지스터(PMb2)가 턴 온 되면, 노드(Nb2)의 전압은 강제적으로 하이 레벨로 변경되고, 선택 신호(S)는 로우 레벨로 하강될 수 있다. 즉, 선택 신호(S)는 인에이블 신호(EN)를 통해 일정 시간 이후에 로우 레벨로 하강하도록 설정될 수 있다.

[0070] 도 10 및 도 11b를 참조하면, 자체 클록 버스트 로직(150)은 선택 신호(S)에 기초하여 일부 누산기 입력 신호(INacc[5:8]) 및 버스트 클록(CLKb)을 생성할 수 있다. 예를 들면, 자체 클록 버스트 로직(150)은 버스트 클록 생성기(152)를 포함할 수 있다. 버스트 클록 생성기(152)는 p형 트랜지스터들(BPM1~BPM8), n형 트랜지스터들(BNM11~BNM18, BNM21~BNM28) 및 인버터들(INV1~INV8)을 포함할 수 있다.

[0071] 제1 시점(t1)에, 노드(Na2)의 전압은 하이 레벨이 되므로, p형 트랜지스터들(BPM1~BPM8)은 모두 턴 오프 된다. 노드(Na3)의 전압은 하이 레벨이 되므로, n형 트랜지스터들(BNM21~BNM28)은 모두 턴 온 된다. 선택 신호(S)가 하이 레벨이 되므로, n형 트랜지스터(BNM11)는 턴 온 된다. n형 트랜지스터(BNM11)가 턴 온 되면, 노드(Nc1)의 전압은 로우 레벨이 된다. 노드(Nc1)의 전압이 로우 레벨이 되면, 지연 신호(Q1)는 인버터(INV1)에 의해 특정 시간이 지연된 후 하이 레벨이 된다. 지연 신호들(Q2~Q8)은 지연 신호(Q1)과 동일한 방식으로 제1 시점(t1) 이후에 순차적으로 하이 레벨이 될 수 있다.

[0072] 한편, 버스트 클록 생성기(152)는 논리 게이트들(Ga1~Ga4)을 포함할 수 있다. 예를 들면, 논리 게이트(Ga1)는 선택 신호(S) 및 지연 신호(Q2)를 입력받아 누산기 입력 신호(INacc[5])를 출력할 수 있다. 논리 게이트(Ga2)는 지연 신호(Q2) 및 지연 신호(Q4)를 입력받아 누산기 입력 신호(INacc[6])를 출력할 수 있다. 논리 게이트(Ga3)는 지연 신호(Q4) 및 지연 신호(Q6)를 입력받아 누산기 입력 신호(INacc[7])를 출력할 수 있다. 논리 게이트(Ga4)는 지연 신호(Q6) 및 지연 신호(Q8)를 입력받아 누산기 입력 신호(INacc[8])를 출력할 수 있다. 일 실시예로서, 논리 게이트들(Ga1~Ga4)은 XOR 게이트일 수 있다. 누산기 입력 신호들(INacc[5:8])은 버스트 모드(Burst) 시 출력 전압(Vout)을 신속하게 회복시키기 위한 코오스 비트 신호(coarse bit signal)로서 누산기(112)에 전달될 수 있다.

[0073] 또한, 버스트 클록 생성기(152)는 논리 게이트들(Gb1~Gb7)을 포함할 수 있다. 예를 들면, 논리 게이트들(Gb1~Gb7)은 지연 신호들(Q1~Q8)을 논리 연산하여 버스트 클록(CLKb)을 생성할 수 있다. 논리 게이트(Gb1)는 지연 신호들(Q1, Q2)을 입력받을 수 있다. 논리 게이트(Gb2)는 지연 신호들(Q3, Q4)을 입력받을 수 있다. 논리 게이트(Gb4)는 지연 신호들(Q5, Q6)을 입력받을 수 있다. 논리 게이트(Gb5)는 지연 신호들(Q7, Q8)을 입력받을 수 있다. 논리 게이트(Gb3)는 논리 게이트들(Gb1, Gb2)의 출력을 입력받을 수 있다. 논리 게이트(Gb6)는 논리 게이트들(Gb4, Gb5)의 출력을 입력받을 수 있다. 논리 게이트(Gb7)는 논리 게이트들(Gb3, Gb6)의 출력을 입력받을 수 있다. 일 실시 예로서, 논리 게이트들(Gb1, Gb2, Gb4, Gb5)은 XOR 게이트이고, 논리 게이트들(Gb3, Gb6)은 NOR 게이트이고, 논리 게이트(Gb7)은 NAND 게이트일 수 있다.

[0074] 버스트 클록(CLKb)은 외부에서 수신되는 저주파수 클록(CLKL)보다 높은 주파수를 가지도록 생성될 수 있다. 버스트 클록(CLKb)의 주파수는 인버터들(INV1~INV8)의 지연 특성에 따라 조절될 수 있다. 도 10에서는 예시적으로, 8개의 인버터들(INV1~INV8)이 도시되어 있지만, 인버터의 개수는 이것에 한정되지 않는다. 버스트 클록 생성기(152)에 포함된 인버터의 개수를 조절하여 버스트 클록(CLKb)의 클록 수는 조절될 수 있다. 한편, 출력 전압(Vout)이 상승한 후, 제2 시점(t2)에 선택 신호(S) 및 지연 신호들(Q1~Q8)은 로우 레벨로 하강할 수 있다.

[0075] 이상에서 살펴본 바와 같이, 버스트 클록 생성기(152)는 외부 클록을 사용하지 않고 출력 전압(Vout)의 언더슈트를 감지할 수 있다. 또한, 버스트 클록 생성기(152)는 감지된 출력 전압(Vout)에 대응하여 선택 신호(S), 일부 누산기 입력 신호들(INacc[5:8]) 및 버스트 클록(CLKb)을 생성할 수 있다. 따라서, 외부 클록을 사용하는 도 3의 버스트 로직(24)보다, 버스트 클록 생성기(152)는 대기전류를 감소시킬 수 있다.

[0076] 도 12는 도 7의 자체 클록 버스트 로직의 다른 실시 예를 보여주는 회로도이다. 도 12를 참조하면, 자체 클록 버스트 로직(150)은 오버슈트(overshoot) 검출기(151) 및 버스트 클록 생성기(152)를 포함할 수 있다. 도 13a는 도 12의 오버슈트 검출기의 동작을 보여주는 타이밍도이다. 도 13b는 도 12의 버스트 클록 생성기의 동작을 보여주는 타이밍도이다.

[0077] 도 12에서, 오버슈트 검출기(151)는 p형 트랜지스터(PMb1), n형 트랜지스터들(NMb1, NMb2), 커패시터들(Cb1, Cb2), 저항(Rb1), 가변 저항(Rb2), 인버터(INVx) 및 능동 베타 곱셈기(1511)를 포함할 수 있다. 능동 베타 곱셈기(1511)는 p형 트랜지스터들(PMa1, PMa2), n형 트랜지스터들(NMa1, NMa2), 커패시터들(Ca1, Ca2) 및 저항들(Ra1~Ra3)을 포함할 수 있다.

[0078] 도 12 및 도 13a를 참조하면, 자체 클록 버스트 로직(150)은 외부 클록 없이 아날로그적으로 출력 전압(Vout)의 오버슈트를 검출할 수 있다. 예를 들면, 제1 시점(t1)에 출력 전압(Vout)이 상승하면, 노드(Na1), 노드(Nb1), 노드(Na4) 및 노드(Nb4)의 전압은 상승한다. 한편, 저항(Ra1) 및 저항(Ra2)의 영향에 의해 노드(Na2) 및 노드(Na3)의 전압은 하강한다. 노드(Na2)의 전압이 하강하면 p형 트랜지스터(PMb1)은 턴 온 되고, 노드(Na3)의 전압이 하강하면 n형 트랜지스터(NMb1)은 턴 오프 된다. p형 트랜지스터(PMb1)가 턴 온 되면 노드(Nb2)의 전압은 하이 레벨이 된다. 즉, 선택 신호(S)는 하이 레벨로 변경된다.

[0079] 이후에 출력 전압(Vout)이 하강하여 회복되면, 반대로 노드(Na1), 노드(Nb1), 노드(Na4) 및 노드(Nb4)의 전압은 하강하고, 노드(Na2) 및 노드(Na3)의 전압은 상승한다. 따라서, 제2 시점(t2)에 출력 전압(Vout)이 하강하면, 선택 신호(S)는 로우 레벨로 변경된다. 또한, n형 트랜지스터(NMb2)는 기설정된 리셋 신호(RST)에 의해 턴 온 될 수 있다. n형 트랜지스터(NMb2)가 턴 온 되면, 노드(Nb2)는 강제적으로 로우 레벨로 변경되고, 선택 신호(S)는 로우 레벨로 하강될 수 있다. 즉, 선택 신호(S)는 리셋 신호(RST)를 통해 일정 시간 이후에 로우 레벨로 하강하도록 설정될 수 있다.

[0080] 도 12 및 도 13b를 참조하면, 자체 클록 버스트 로직(150)은 선택 신호(S)에 기초하여 일부 누산기 입력 신호

(INacc[5:8]) 및 버스트 클록(CLKb)을 생성할 수 있다. 예를 들면, 자체 클록 버스트 로직(150)은 버스트 클록 생성기(152)를 포함할 수 있다. 버스트 클록 생성기(152)는 p형 트랜지스터들(BPM11~BPM18, BPM21~BPM28), n형 트랜지스터들(BNM1~BNM8) 및 인버터들(INV1~INV7)을 포함할 수 있다.

[0081] 제1 시점(t1)에, 노드(Na2)의 전압은 로우 레벨이 되므로, p형 트랜지스터들(BPM11~BPM18)은 모두 턴 온 된다. 노드(Na3)의 전압은 로우 레벨이 되므로, n형 트랜지스터들(BNM1~BNM8)은 모두 턴 오프 된다. 선택 신호(S)가 하이 레벨이 되므로, 노드(Nb3)의 전압은 인버터(INVx)에 의해 로우 레벨이 되고, p형 트랜지스터(BPM21)는 턴 온 된다. p형 트랜지스터(BPM21)가 턴 온 되면, 지연 신호(Q1)는 하이 레벨이 된다. 지연 신호(Q1)는 인버터(INVx)에 의해 선택 신호(S)보다 특정 시간이 지연된 후 하이 레벨이 된다. 지연 신호들(Q2~Q8)은 지연 신호(Q1)과 동일한 방식으로 제1 시점(t1) 이후에 순차적으로 하이 레벨이 될 수 있다.

[0082] 한편, 버스트 클록 생성기(152)는 논리 게이트들(Ga1~Ga4)을 포함할 수 있다. 예를 들면, 논리 게이트(Ga1)는 선택 신호(S) 및 지연 신호(Q2)를 입력받아 누산기 입력 신호(INacc[5])를 출력할 수 있다. 논리 게이트(Ga2)는 지연 신호(Q2) 및 지연 신호(Q4)를 입력받아 누산기 입력 신호(INacc[6])를 출력할 수 있다. 논리 게이트(Ga3)는 지연 신호(Q4) 및 지연 신호(Q6)를 입력받아 누산기 입력 신호(INacc[7])를 출력할 수 있다. 논리 게이트(Ga4)는 지연 신호(Q6) 및 지연 신호(Q8)를 입력받아 누산기 입력 신호(INacc[8])를 출력할 수 있다. 일 실시예로서, 논리 게이트들(Ga1~Ga4)은 XOR 게이트일 수 있다. 누산기 입력 신호들(INacc[5:8])은 버스트 모드(Burst) 시 출력 전압(Vout)을 신속하게 회복시키기 위한 코오스 비트 신호(coarse bit signal)로서 누산기(112)에 전달될 수 있다.

[0083] 또한, 버스트 클록 생성기(152)는 논리 게이트들(Gb1~Gb7)을 포함할 수 있다. 예를 들면, 논리 게이트들(Gb1~Gb7)은 지연 신호들(Q1~Q8)을 논리 연산하여 버스트 클록(CLKb)을 생성할 수 있다. 논리 게이트(Gb1)는 지연 신호들(Q1, Q2)을 입력받을 수 있다. 논리 게이트(Gb2)는 지연 신호들(Q3, Q4)을 입력받을 수 있다. 논리 게이트(Gb4)는 지연 신호들(Q5, Q6)을 입력받을 수 있다. 논리 게이트(Gb5)는 지연 신호들(Q7, Q8)을 입력받을 수 있다. 논리 게이트(Gb3)는 논리 게이트들(Gb1, Gb2)의 출력을 입력받을 수 있다. 논리 게이트(Gb6)는 논리 게이트들(Gb4, Gb5)의 출력을 입력받을 수 있다. 논리 게이트(Gb7)는 논리 게이트들(Gb3, Gb6)의 출력을 입력받을 수 있다. 일 실시 예로서, 논리 게이트들(Gb1, Gb2, Gb4, Gb5)은 XOR 게이트이고, 논리 게이트들(Gb3, Gb6)은 NOR 게이트이고, 논리 게이트(Gb7)은 NAND 게이트일 수 있다.

[0084] 버스트 클록(CLKb)은 외부에서 수신되는 저주파수 클록(CLKL)보다 높은 주파수를 가지도록 생성될 수 있다. 버스트 클록(CLKb)의 주파수는 인버터들(INVx, INV1~INV7)의 지연 특성에 따라 조절될 수 있다. 도 12에서는 예시적으로, 8개의 인버터들(INVx, INV1~INV7)이 도시되어 있지만, 인버터의 개수는 이것에 한정되지 않는다. 버스트 클록 생성기(152)에 포함된 인버터의 개수를 조절하여 버스트 클록(CLKb)의 클록 수는 조절될 수 있다. 한편, 제2 시점(t2)에 출력 전압(Vout)이 상승하면, 선택 신호(S) 및 지연 신호들(Q1~Q8)은 로우 레벨로 하강할 수 있다.

[0085] 이상에서 살펴본 바와 같이, 버스트 클록 생성기(152)는 외부 클록을 사용하지 않고 출력 전압(Vout)의 오버슈트를 감지할 수 있다. 또한, 버스트 클록 생성기(152)는 감지된 출력 전압(Vout)에 대응하여 선택 신호(S), 일부 누산기 입력 신호들(INacc[5:8]) 및 버스트 클록(CLKb)을 생성할 수 있다. 따라서, 외부 클록을 사용하는 도 3의 버스트 로직(24)보다, 버스트 클록 생성기(152)는 대기전류를 감소시킬 수 있다.

[0086] 도 14는 본 발명의 실시 예에 따른 디지털 LDO 레귤레이터에 대하여 버스트 모드 시 사용되는 클록의 주파수와 대기전류의 관계를 보여주는 도면이다. 도 14를 참조하면, 싱글 클록 스킴(Single clock scheme)은 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)의 대기전류를 보여준다. 동기식 듀얼-클록 스킴(Synchronous dual-clock scheme)은 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)의 대기전류를 보여준다. 자체 클록 스킴(Self-clocking scheme)은 도 5의 본 발명에 따른 디지털 LDO 레귤레이터(100)의 대기전류를 보여준다. 도 14의 그래프에서, 세로축은 대기전류이고, 가로축은 버스트 모드 시 사용되는 클록의 주파수이다.

[0087] 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)는 출력 전압의 변동이 발생하는 것과 관계없이 제어 로직에서 하나의 외부 클록을 사용한다. 따라서, 동작 모드에 관계없이(실질적으로는 동작 모드의 구분이 없다), 제어 로직은 항상 외부 클록을 사용하여 동작한다. 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)의 대기전류는 외부 클록의 주파수에 비례하여 증가한다.

[0088] 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)는 외부로부터 저주파수 클록 및 고주파수 클록을 수신하여 사용한다. 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)는 슬립 모드 시 제어 로직에서 저주파수 클록을 사용한다. 하

지만, 출력 전압의 변동을 감지하기 위해, 버스트 로직(24)은 고주파수 클록을 여전히 사용한다. 따라서, 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)의 대기전류는 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)의 대기전류보다는 작지만 여전히 버스트 모드의 클록 주파수에 따라 증가한다.

[0089] 본 발명에 따른 디지털 LDO 레귤레이터(100)는 외부로부터 저주파수 클록만 수신하여 노멀 모드 시 사용할 수 있다. 디지털 LDO 레귤레이터(100)는 슬립 모드 시 출력 전압의 변동을 감지하기 위해 외부클록을 사용하지 않고, 트랜지스터들을 포함하는 능동 회로를 통해 아날로그적으로 출력 전압의 변동을 감지할 수 있다. 디지털 LDO 레귤레이터(100)는 버스트 모드 시 감지된 출력 전압의 변동에 기초하여 자체적으로 버스트 클록을 생성할 수 있다. 따라서, 디지털 LDO 레귤레이터(100)는 버스트 클록의 주파수와 관계없이 노멀 모드 또는 슬립 모드의 대기전류는 일정하다.

[0090] 도 14의 표는 동일한 외부 클록(저주파수 클록 및 고주파수 클록)을 사용하여 각 레귤레이터의 대기전류를 측정한 것이다. 본 발명에 따른 디지털 LDO 레귤레이터(100)의 대기전류는 도 1의 싱글-클록 디지털 LDO 레귤레이터(10)의 대기전류보다 98.6%가 감소함을 알 수 있다. 본 발명에 따른 디지털 LDO 레귤레이터(100)의 대기전류는 도 3의 듀얼-클록 디지털 LDO 레귤레이터(20)의 대기전류보다 87%가 감소함을 알 수 있다.

[0091] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0092] 10: 싱글-클록 디지털 LDO 레귤레이터

11, 21, 110: 제어 로직

12, 22, 120: 패스 트랜지스터 어레이

20: 듀얼-클록 디지털 LDO 레귤레이터

23, 130: 멀티플렉서

24: 버스트 로직

100: 디지털 LDO 레귤레이터

111: 방향 제어 로직

112: 누산기

140: 클록 제어부

141: 트리거

142: 클록 생성기

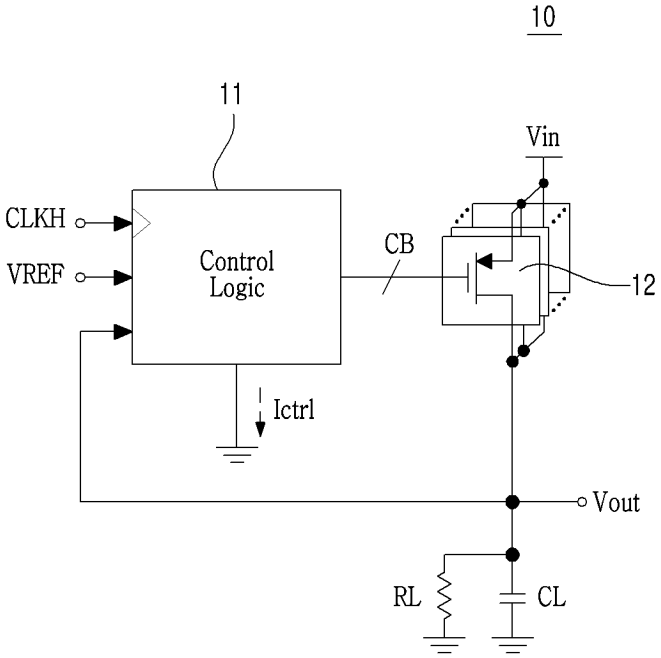
150: 자체 클록 버스트 로직

151: 언더슈트(오버슈트) 검출기

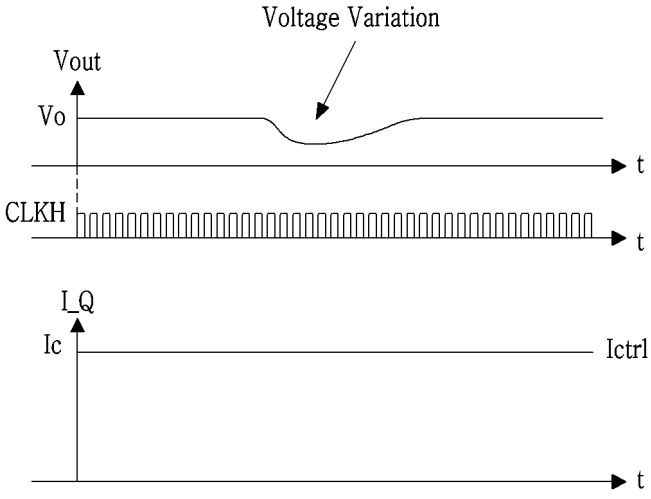
152: 버스트 클록 생성기

도면

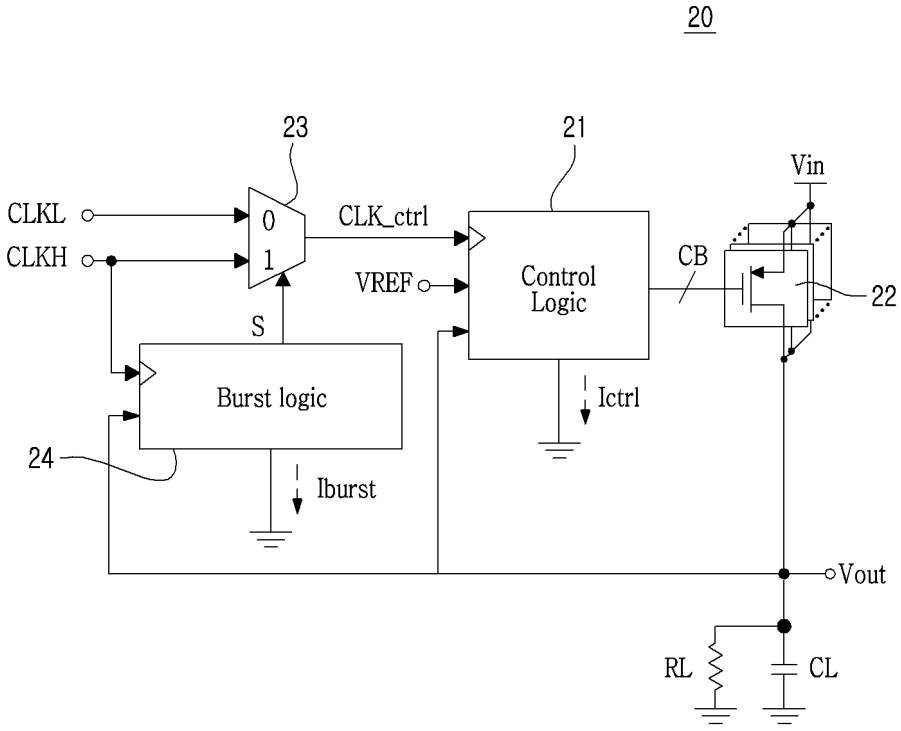
도면1


10
11
Vin
CLKH
VREF
Control
Logic
CB
12
Ictrl
Vout
RL
CL

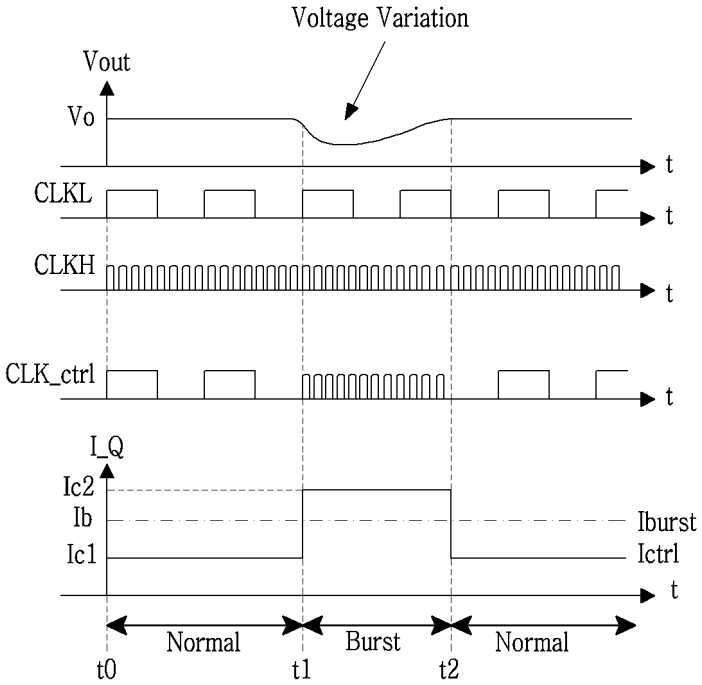
도면2


Voltage Variation
Vout
Vo
t
CLKH
t
I_Q
Ic
Ictrl
t

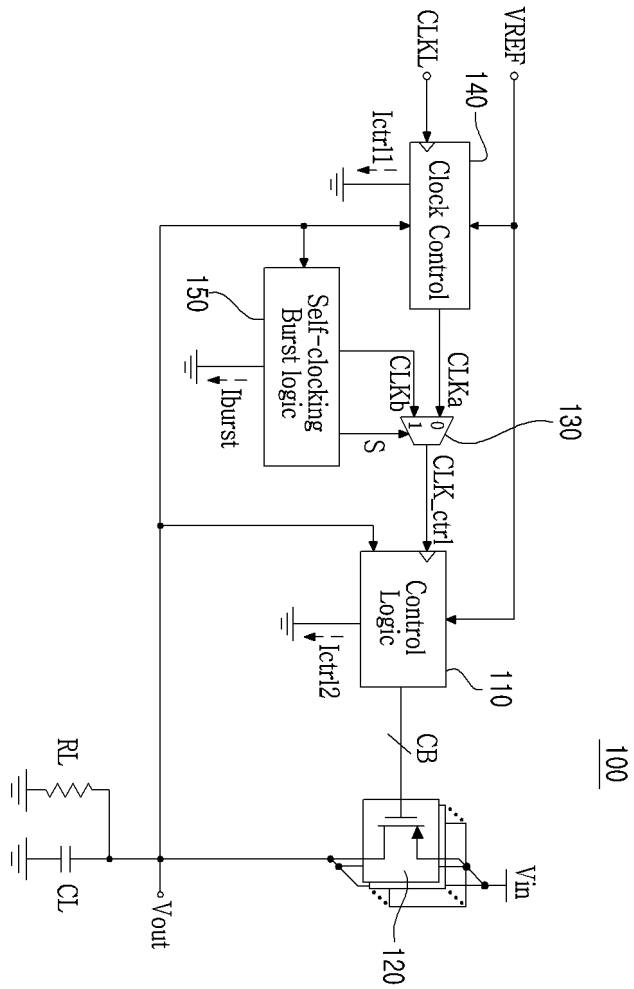
도면3


20
23
21
Vin
CLKL
CLKH
0
1
CLK_ctrl
VREF
Control
Logic
CB
22
S
Burst logic
Ictrl
24
Iburst
Vout
RL
CL

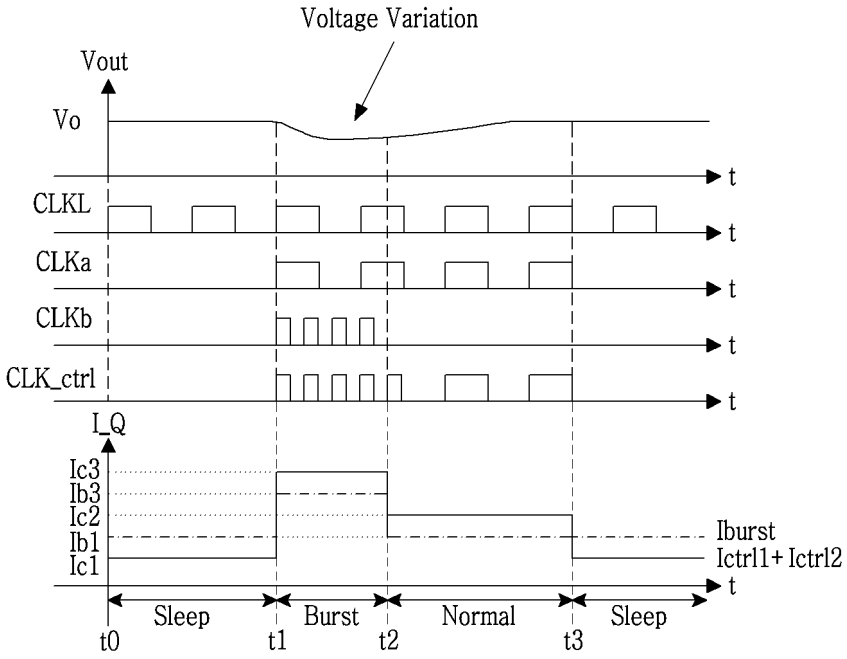
도면4


Voltage Variation
Vout
Vo
t
CLKL
t
CLKH
t
CLK_ctrl
t
I_Q
Ic2
Ib
Ic1
Iburst
Ictrl
t
Normal
Burst
Normal
t0
t1
t2

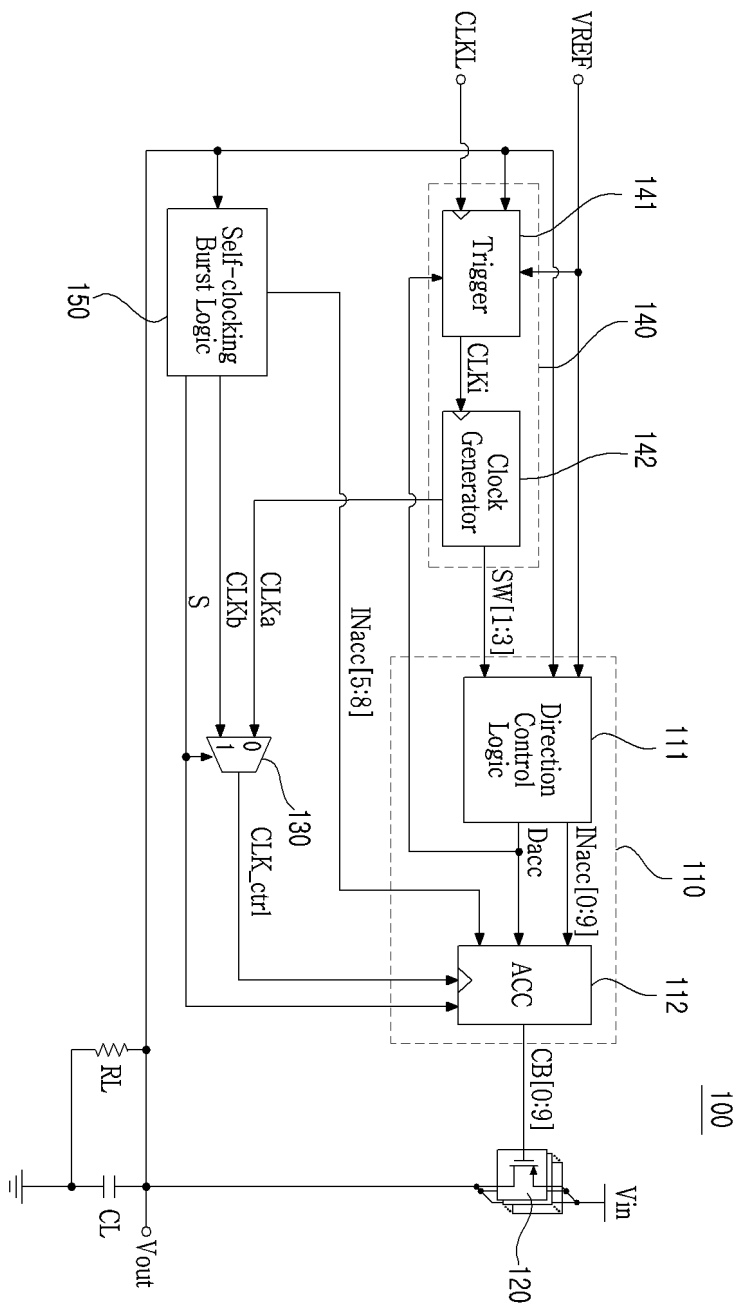
도면5


CLKL
VREF
140
Ictrl1
Clock Control
150
Self-clocking
Burst logic
Iburst
CLKb
CLKa
130
S
CLK_ctrl
Control
Logic
Ictrl2
110
CB
100
RL
CL
Vout
Vin
120

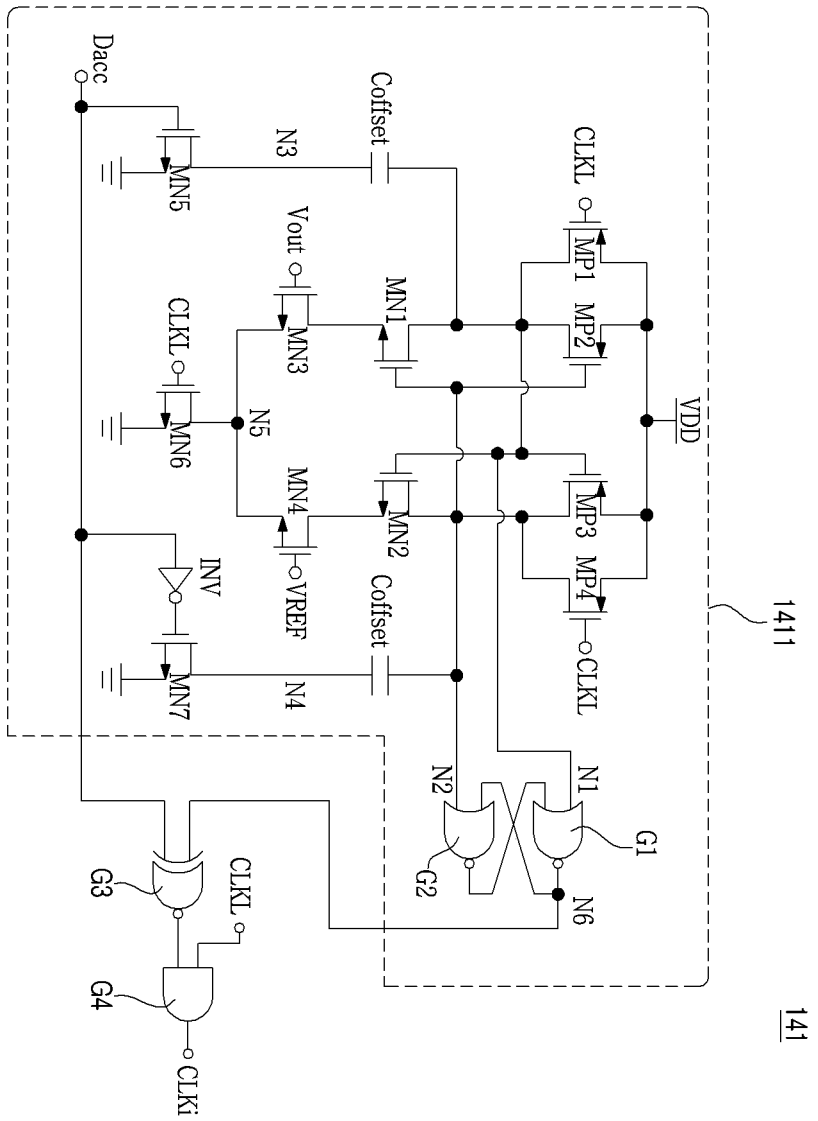
도면6


Voltage Variation
Vout
Vo
t
CLKL
t
CLKa
t
CLKb
t
CLK_ctrl
t
I_Q
Ic3
Ib3
Ic2
Ib1
Ic1
Iburst
Ictrl1+ Ictrl2
t
Sleep
Burst
Normal
Sleep
t0
t1
t2
t3

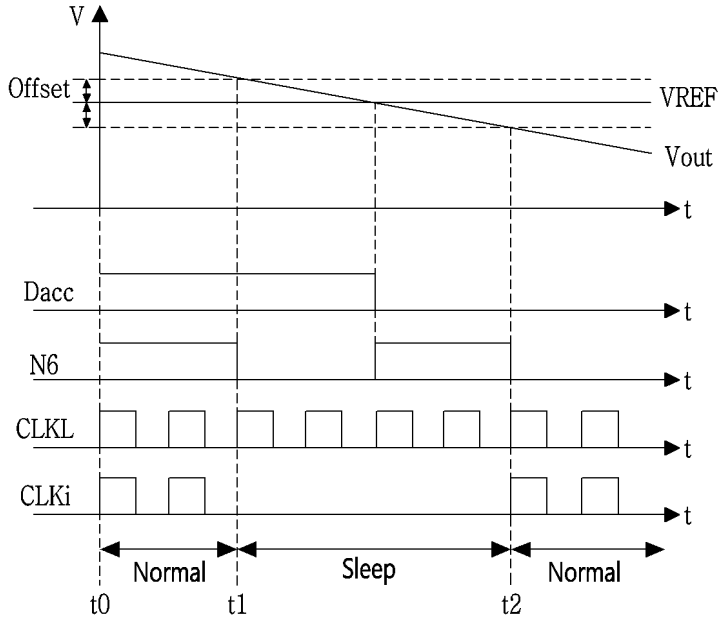
도면7


CLKL
VREF
141
Trigger
140
CLKi
142
Clock Generator
150
Self-clocking Burst Logic
SW[1:3]
S
CLKb
CLKa
INacc[5:8]
111
Direction Control Logic
110
INacc[0:9]
Dacc
130
CLK_ctrl
112
ACC
CB[0:9]
100
RL
CL
Vout
Vin
120

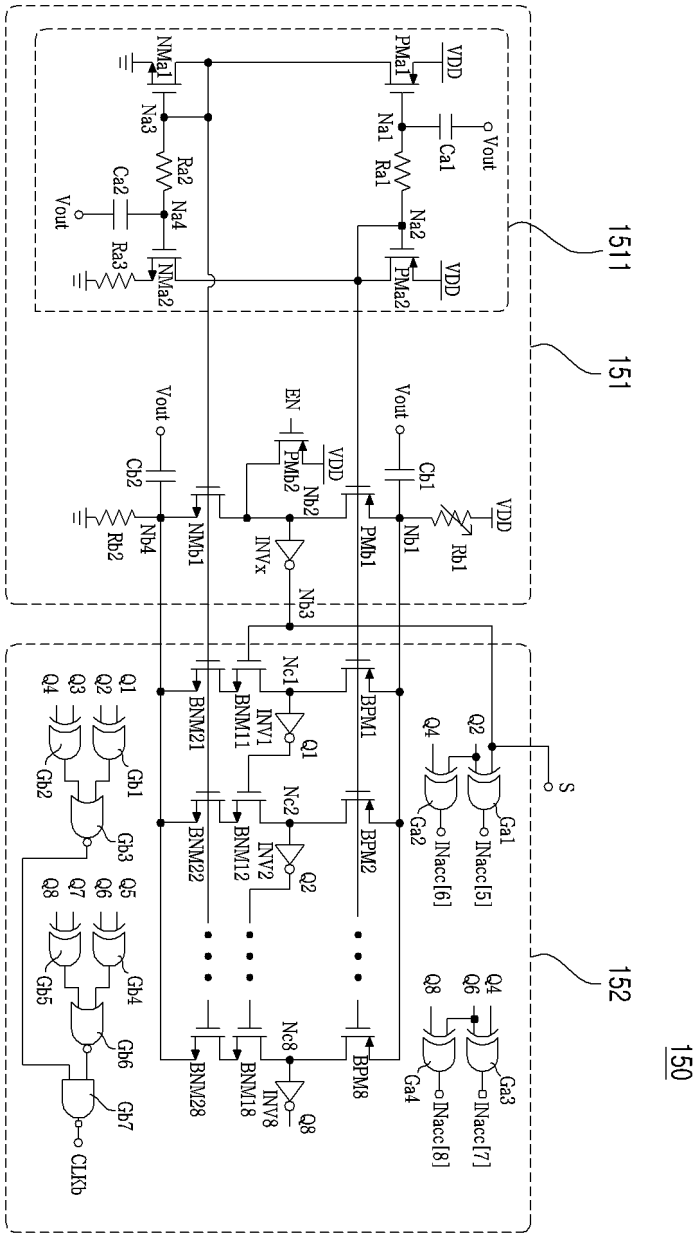
도면8


Dacc
Coffset
CLKL
N3
MN5
MP1
Vout
MN1
MP2
CLKL
MN3
VDD
N5
MN6
MN4
MN2
MP3
MP4
INV
VREF
Coffset
1411
MN7
N4
CLKL
N2
N1
G1
G2
N6
G3
CLKL
G4
CLKi
141

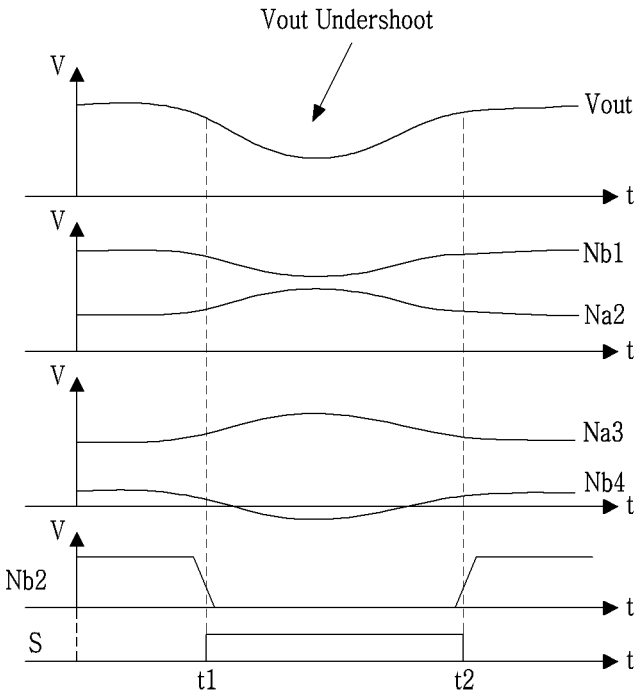
도면9


V
Offset
VREF
Vout
t
Dacc
t
N6
t
CLKL
t
CLKi
t
Normal
Sleep
Normal
t0
t1
t2

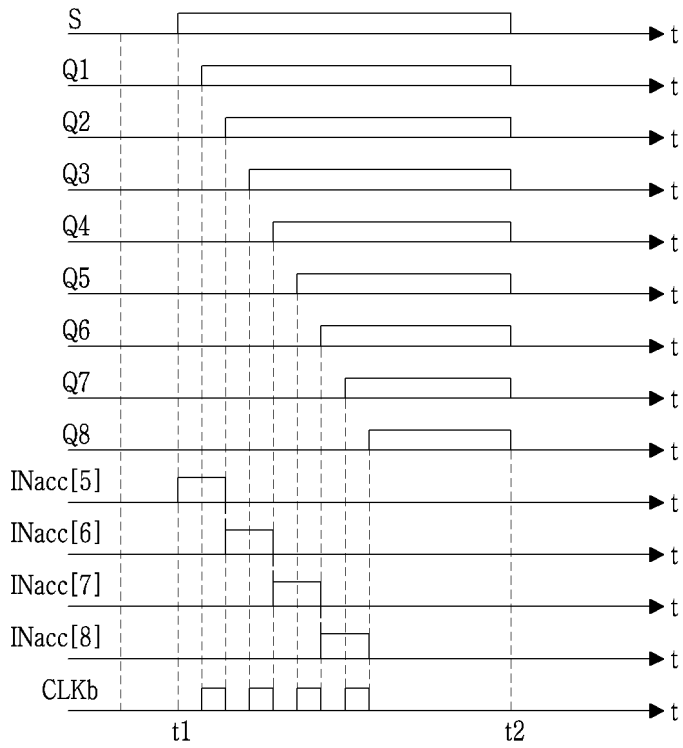
도면10


1511
151
152
150
NMa1
PMa1
VDD
Na3
Na1
Ca1
Vout
Ra2
Ra1
Ca2
Na4
Na2
Ra3
NMa2
PMa2
EN
PMb2
Nb2
Cb2
Cb1
Nb4
NMb1
INVx
PMb1
Nb1
Rb2
Rb1
Nb3
Nc1
BNM21
BNM11
INV1
BPM1
Q1
Nc2
BNM22
BNM12
INV2
BPM2
Q2
Nc8
BNM28
BNM18
INV8
BPM8
Q8
S
Ga1
Ga2
Ga3
Ga4
INacc[5]
INacc[6]
INacc[7]
INacc[8]
Gb1
Gb2
Gb3
Gb4
Gb5
Gb6
Gb7
CLKb

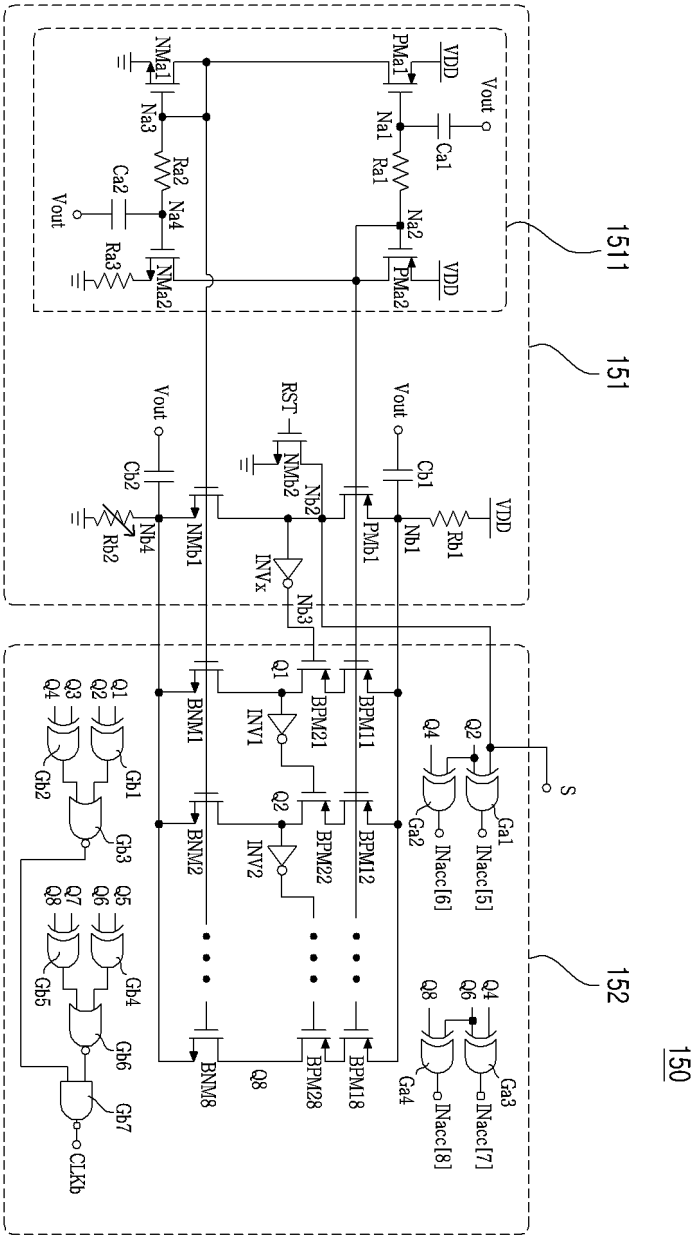
도면11a


Vout Undershoot
V
Vout
t
V
Nb1
Na2
t
V
Na3
Nb4
t
V
Nb2
t
S
t
t1
t2

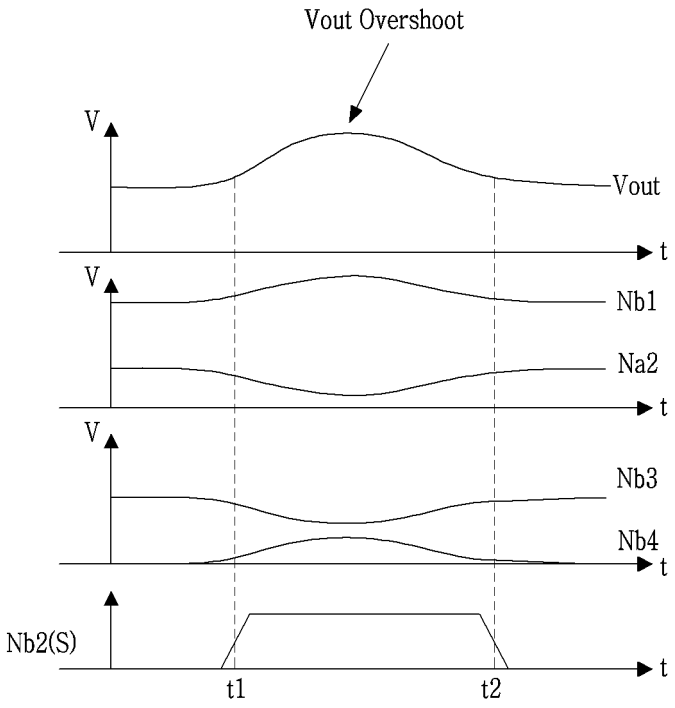
도면11b


S
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
INacc[5]
INacc[6]
INacc[7]
INacc[8]
CLKb
t
t1
t2

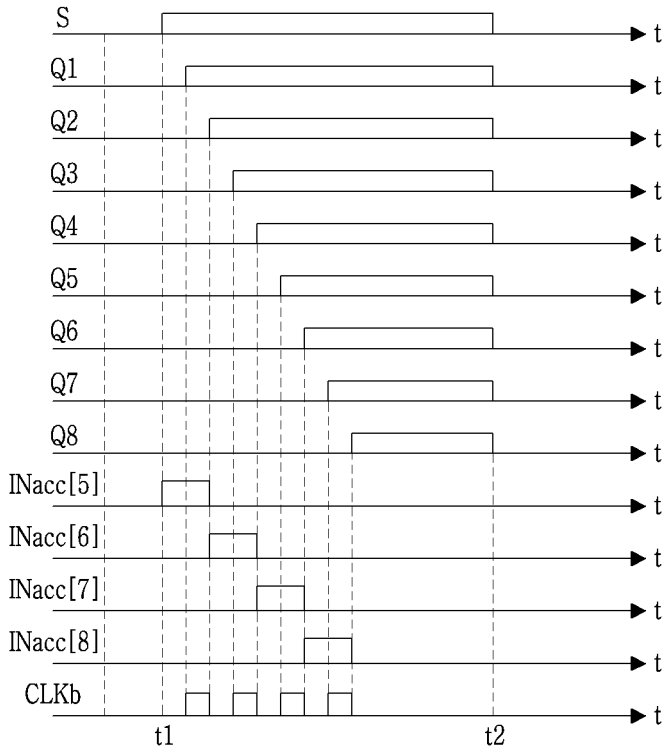
도면12


150
1511
151
152
NMa1
Na3
Ra2
Ca2
Na4
Ra3
NMa2
PMa1
VDD
Vout
Ca1
Na1
Ra1
Na2
PMa2
RST
NMb2
Nb2
Cb2
Nb4
Rb2
NMb1
INVx
Nb3
Cb1
Nb1
Rb1
PMb1
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
BNM1
BNM2
BNM8
INV1
INV2
BPM21
BPM22
BPM28
BPM11
BPM12
BPM18
Gb1
Gb2
Gb3
Gb4
Gb5
Gb6
Gb7
CLKb
Ga1
Ga2
Ga3
Ga4
INacc[5]
INacc[6]
INacc[7]
INacc[8]
S

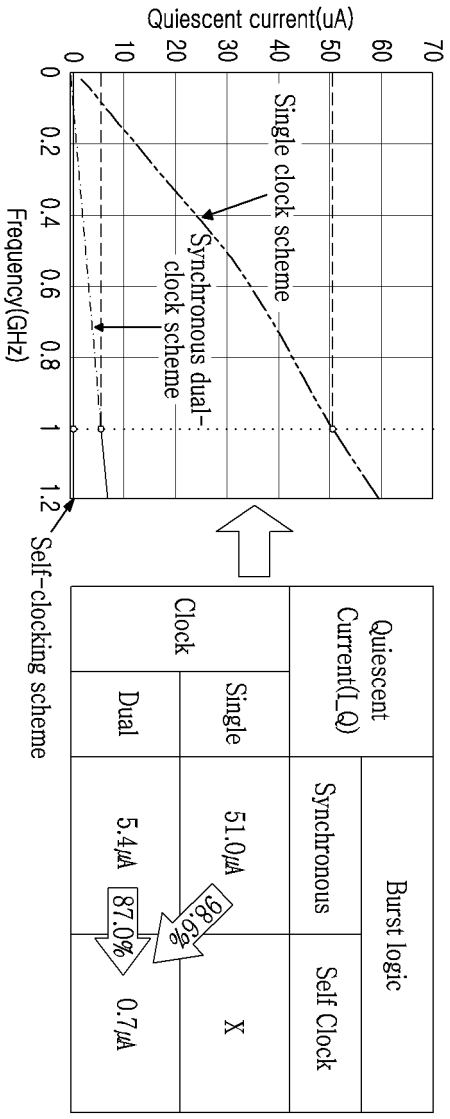
도면13a


Vout Overshoot
V
Vout
t
V
Nb1
Na2
t
V
Nb3
Nb4
t
Nb2(S)
t
t1
t2

도면13b


S
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
INacc[5]
INacc[6]
INacc[7]
INacc[8]
CLKb
t
t1
t2

도면14



Burst logic	Quiescent Current(I_Q)	Clock	
		Single	Dual
Synchronous	51.0μA	87.0%	5.4μA
Self Clock	X	99.8%	0.7μA