

416 番地

(英文) 416, Maetan-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea

國籍：(中文) 韓國 (英文) KR

代表人：(中文) 尹鍾龍

(英文) Jong-yong Yun

捌、聲明事項

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書
規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 韓國 2000/12/19 2000-78543

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. ~~韓國 2000/12/19 2000-78543~~

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

本發明是有關於一種半導體發光元件(Semiconductor Light Emitting Device)以及其製造方法，其具有一發射出與主動區平面垂直之光線的共振空腔(Resonant Cavity)，更特別的是有關於一種半導體發光元件以及其製造方法，其中，一共振光線(Resonated Light)經由上電極(Upper Electrode)介層窗(Window)之中心軸發射，且一氧化層之電流孔隙(Current Aperture)中心軸自動對準。

半導體發光二極體首先是由通用電器(GE)在 1962 年發展出來，著藉施加順向電流於 PN 界面而使電子與電洞再結合(Recombine)，進而產生光線，其波長與取決於半導體結構之能帶隙(Band Gap Energy)相關。

半導體發光二極體元件可依據發光過程區分為利用自然發射(Spontaneous Emission)產生不諧和光(Incoherent Light)之發光二極體，以及利用刺激發射(Stimulated Emission)而發射出和諧光線(Coherent Light)的半導體電射。

半導體雷射可依據反射器位置分為一法布里-裴洛(Fabry-Perot)半導體雷射，其反射器(Reflector)是置於一晶片的對面，以及一垂直空腔表面發射雷射(Vertical Cavity Surface Emission Laser, VCSEL)，其具有一共振空腔結構，且其中反射器與晶片水平放置。

VCSEL 不需要光學系統以校正光線之形狀，原因是其

在半導體材料堆疊的方向上發射一近線性圓圈高斯光線 (Gaussian Beam)，此外，由於 VCSEL 的尺寸很小，其光學應用廣範，例如是光學通訊，電子計算機，影音元件，雷射印表機，雷射掃描器以及醫學器材。

第 1A 圖至第 1E 圖繪示出一種傳統 VCSEL 的製造方法。如第 1A 圖所示，一下反射器層 13，一主動層 15，一預氧化層 (Pre-Oxidized Layer) 17 以及一上反射層 19 依序在一基底 10 上堆疊。在此，基底 10 係利用含有 n-型雜質之半導體材料所形成。下反射器層 13 亦摻雜有與基底 10 雜質相同導電性的雜質，例如是利用堆疊 20-30 層的 n-型砷化鎵 (GaAs) 而成，其中每層之鎵對砷的比例不同。上反射器層 19 係由與下反射器層 13 相同之半導體材料形成，但其包含相反導電性的雜質，亦即 p-型砷化鎵。預氧化層 17 將置於蒸氣中進行一水平氧化過程。

之後，如第 1B 圖所示，實施一乾式蝕刻以形成間隙 21，藉以形成複數個 VCSEL 柱 (Post) I, II, III 於基底 10 上，而使光線可穿越其中而獨主輻射。當一氧化環境在形成間隙 21 之後形成時，預氧化層 17 則由外向內被水平氧化，藉此以形成一水平氧化高電阻部分 18，以及一未被氧化之電流孔隙 17，如第 1C 圖所示。

接著如第 1D 圖所示，利用聚乙胺 (Polyimide) 23 將間隙 21 填滿，以避免在基底 10 上之切割 (Lap) 製程中損壞柱狀結構。然後，將填充間隙 21 之聚乙胺 23 平坦化而與周圍對齊，此後，結果的結構被反轉，而大部分的基底 10

在切割製程中被移除。

接著，如第 1E 圖所示，一具有一介層窗 25a 之上電極 25 在 VCSEL 柱 I，II，III 上形成，而聚乙胺 23，一下電極 27 則形成在切割後之基底 10' 下表面上，以完成 VCSEL 之製造。具有以上結構之 VCSEL 可以用作為一單一晶片陣列結構，或是可自每一聚乙胺處切割而獨立使用。

如第 2A 圖所示，在傳統技術中，因為製程問題或對準失誤，在柱狀結構形成後，利用水平氧化過程形成之電流孔隙 17 無法與利用微影製程形成之上電極介層窗 25a 確實對準，其中介層窗 25a 之中心軸與孔隙 17 之中心軸彼此偏離。這種對準偏差導致發射光的散失，且阻礙一確實高斯光線的形成，因此降低了 VCSEL 之光電特性。

第 2B 圖考慮製程中發生一對準失誤的情形，一 VCSEL 可利用電極上拉(Electrode Pull)而設計，其中上電極 25 是在高電阻部分 18 中電流孔隙 17 區域外形成。然而，在此，電流路徑 30 被加長，使得總元件電阻增加。或者，根據“電極下推(Electrode Push)”之設計，上電極 25 延伸至高電阻部分 18 間之電流孔隙 17 上，如第 2C 圖所示，介層窗 34 之大小較一電流孔隙 32 小，因此產生了發射光的損失。

因此，上電極介層窗之中心軸必需與電流孔隙之中心軸確實對準。

為解決以上所述之問題，本發明之一目的是在提供一種半導體發光元件，藉著將上電極介層窗之中心軸與電流

孔隙中心軸而確實對準而得到改善的光電特性，以及其製造方法。

爲達以上之目的，提供了一種半導體發光元件，具有一柱狀結構，由複數層所組成，其至少包括在基底上之一層預氧化層，以及在柱狀結構上之電極。該半導體發光元件是利用電極自行對準蝕刻形成柱狀結構，以及利用氧化製程將預氧化層由該側壁水平氧化至一預定距離。

基於本發明之一特性，利用電極自行對準蝕刻形成柱狀結構，以使得各電極之中心軸介層窗與形成於柱狀結構間之電流孔隙對準。

在蝕刻製程中，柱狀結構之預氧化層側壁被曝露出來，且預氧化層由側壁被水平氧化至一定距離。例如，當柱狀結構之直徑爲 60 微米時，大約 40-50 微米的預氧化層被氧化。被氧化製程所氧化之預氧化層形成一高電阻部分，而未於氧化過程中被氧化之預氧化層則形成一電流孔隙，藉此電流或光線可流過。由於柱狀結構是利用電極自行對準而形成，且電流孔隙是對應柱狀結構曝露的側壁所形成，電極介層窗之中心軸得以與電流孔隙之中心軸自動對準。因此，藉著介層窗及電流孔隙的確實對準，垂直空腔表面發射雷射的光電特性得以改善。

在本發明中，電極介層窗被光阻保護，以避免在電極自行對準蝕刻中造成損壞。同時，部分或全部的電極的表面被光阻保護。當部分的電極表面被保護時，即使一部分曝露於蝕刻製程中之電極受到損害，受光阻保護的剩餘電

極仍然提供作為電極足夠的導電性。

圖式之簡單說明：

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第 1A 圖至第 1E 圖係傳統技術中，製造一垂直空腔表面發射雷射各階段之製程。

第 2A 圖係一區段圖，繪示出利用第 1A 圖至第 1E 圖所繪示之製程所形成之一 VCSEL。

第 2B 圖係繪示出一具有電極上拉結構的 VCSEL。

第 2C 圖係繪示出一具有電極下推結構的 VCSEL。

第 3A 圖至第 3G 圖係繪示出本發明之一實施例中，VCSEL 各階段之製程。

圖式之標記說明：

10：基底

10'：切割基底

13：下反射器層

14：孔隙中心軸

15：主動層

16：介層窗中心軸

17：電流孔隙

18：高電阻部分

19：上反射器層

21：間隙

- 23：聚乙胺
- 25：上電極
- 25a：介層窗
- 27：下電極
- 32：電流孔隙大小
- 34：上電極大小
- 36：上電極
- 38：光阻
- 40：間隙
- 42：聚乙胺
- 44：打線鉑墊

實施例

本發明將參考附圖，於以下詳細敘述之，本發明之技術特徵將透過以下敘述更易明瞭，其中相似元件將使用一致之標號。

第 3A 圖繪示出本發明中，用以製造半導體發光元件(又稱為垂直空腔表面發射雷射，以下簡稱為 VCSEL)之堆疊半導體結構。本發明 VCSEL 所使用之堆疊半導體結構中，光線由垂直一層表面方向發射。如此之疊堆半導體結構是利用磊晶沈積(Epitaxial Deposition)，例如是金屬-有機化學氣相沈積(Metal-Organic Chemical Vapor Deposition, MOCVD)，液相磊晶(Liquid Phase Epitaxy, LPE)，分子束磊晶(Molecule Beam Epitaxy, MBE)或其他熟知之結晶生長方法所形成。

如第 3A 圖所繪示，該堆疊半導體結構由下至上包括一基底 10，一下反射器層 13，一主動層 15，一預氧化層 17，以及一上反射器層 19。

基於本發明，先準備製造 VCSEL 之基底 10，例如是具有高雜質濃度之 n 型砷化鎵基底。雜質濃度可介於 $5 \times 10^{18} \text{cm}^{-3}$ ，而砷化鎵基底的鋁鎵砷(AlGaAs)或鋁砷(AlAs)磊晶沈積將後續敘述之。

下反射器層 13 是在基底 10 上所形成，基於特殊要求，亦可以在形成下反射器層 13 形成於基底 10 上之前，先利用磊晶沈積在基底 10 上形成一厚約 0.5 微米的砷化鎵薄膜，以成為半導體緩衝層。

下反射器層 13 是由一與基底 10 具有相同導電性，例如是 n-型之分佈布拉格反射器(Distributed Bragg Reflector, DBR)以一超晶格(Superlattice)型式所形成。下反射器層 13 則是利用磊晶沈積，例如是金屬-有機化學氣相沈積以及/或分子束磊晶所形成。下反射器層 13 在 VCSEL 結構中作一內部反射。在下反射器層 13 中，複數層 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層與複數層 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 交互疊堆。每一層 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 具有一低鋁含量，例如是 10%，以使其具有一預定的折射率(Refractive Index)。每一 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層具有一高鋁含量，大約為 95%，最好是每一交互疊堆層使得下反射器層 13 具有一有效光學厚度大約等於 VCSEL 所產生之光線波長的 1/4，如果可能的話，下反射器層 13 之總反射率最好是大約為 100%，以達到 VCSEL 內部的高度反射。眾所熟知

的，下反射器層 13 之反射率取決於 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 與 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 之間的折射率差，以及兩者的層數。因此，藉著增加兩者之折射率差及層數可以得到較高的反射率。

主動層 15 是利用磊晶沈積在下反射器層 13 上形成。該主動層 15 包括至少一個量子井層 (Quantum Well Layer)，一阻障層 (Barrier Layer) 圍繞著該量子井層，以及一包覆層 (Cladding Layer) 圍繞著該阻障層。在此，阻障層之能帶隙最好是介於量子井層及包覆層之間。主動層的設計是用來提供足夠的光學增益給 VCSEL。例如，為製造一發射 980 納米波長光線的 VCSEL，主動層 15 可透過交互堆疊於厚為 8 納米之三個 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 量子井層及厚約 10 納米之阻障層，並圍繞每一量子井層形成 $\text{Al}_{0.5}\text{Ga}_{0.8}\text{As}$ 之包覆層，使得量子井層及阻障層夾在包覆層之間。為簡化圖式，並未區分出量子井層，阻障層及包覆層，而以單一層表示之。

預氧化層 17 利用磊晶沈積形成於主動層 15 上，其摻雜有與最接近反射器層相同導電性的雜質。由於預氧化層 17 位於主動層 15 及上反射器層 19 之間，預氧化層 17 最好是摻雜入與上反射器層 19 相同導電性的雜質。例如是濃度為 10^{18}cm^{-3} 的 p-型雜質。此外，預氧化層 17 包括柱狀結構及一包含鋁之半導體合金，例如是 AlAs 或 AlGaAs，其在柱狀結構形成之後被部分氧化。因此，被氧化的部分電阻增加，而未被氧化的部分則可通過電流及光線，以作為一電流孔隙。預氧化層 17 的氧化由利用蝕刻形成之每

一柱狀結構的側壁向內進行，因此被氧化部分通常具有一圓圈(Circular)形狀。在此，被氧化部分的形狀取決於柱狀結構的形狀及曝露於氧化製程之側壁的數目。被氧化部分的形狀可被預氧化層 17 包含之半導體合金的成分，合金方向，及其厚度所影響或控制。例如，在氧化製程中，在氮氣(N₂)中所挾帶的水蒸氣將砷化鋁(AlAs)在 400 至 500°C 下氧化而形成氧化鋁(Aluminum Oxide)。

通常，含有 100%鋁的砷化鎵被氧化的速率為每分鐘 1.5 微米，而含 80%鋁的鋁鎵砷的氧化速率為每分鐘 0.01 微米。在 Holonyak Jr 等人之美國專利案號 5,262,360 及 5,373,522 中，以及 Choquette 等人之美國專利案號 5,493,577 中皆有被氧化部分形狀及適當條件之較詳細的介紹。

上反射器層 19 是利用磊晶沈積在預氧化層 17 上形成的，與下反射器層 13 類似，上反射器層 19 可利用交互堆疊複數個 Al_xGa_{1-x}As 層及 Al_yGa_{1-y}As 層而得。然而，上反射器層 19 摻雜有與下反射器層 13 不同導電性的雜質，亦即，當下反射器層 13 及基底 10 摻雜 n 型雜質時，上反射器層 19 則摻雜有 p-型雜質。此外，上反射器層 19 的設計中層數小於下反射器層 13，以減小反射率，以允許 VCSEL 發光。通常，上反射器層 19 的反射率最好為 89-99%。

主動層 15 及預氧化層 17 被夾在下反射器層 13 及上反射器層 19 之間。因此，上下反射器層 17 及 13 形成一共振表面，以由主動層 15 產生一共振光。

如第 3B 圖所示，一上電極 36 在第 3A 圖之結構中的上反射器層 19 上形成。該上電極 36 可利用沈積，在例如是 AuBe/Ti/Au 金屬或 Cr/Au 金屬在 p-型上反射器層 19 上形成，反射器層 19 之形狀，而具有利用微影製程或剝除製程在一預定位置上形成之一介層窗 25a。

在形成上電極 36 之介層窗 25a 之後，光阻 38 被定義於介層窗周圍，如第 3C 圖所示。由於曝露的上電極將會在後續的蝕刻製程中受損，因此光阻 38 最好是毯覆式地沈積(Blanket Deposition)於上電極 36 及介層窗 25a 上。然而，如第 3C 圖所示，即使在定義光阻時產生誤差時而使部分電極曝露出來時，剩餘被光阻覆蓋的電極亦足以提供足夠的電極導電性。

如第 3D 圖所示，利用上電極 36 及光阻 38 為罩幕進行一蝕刻步驟，以形成間隙 40 及平頂的柱狀結構。藉此形成柱狀結構的蝕刻步驟，堆疊材料的邊緣得以曝露。為得一精確的深度及一均勻的側壁表面，最好是利用乾式蝕刻，例如是反應性離子蝕刻(Reactive Ion Etching, RIE)。反應性離子蝕刻已在 1991 年核准的美國專利號 5,034,092 “半導體基底之電漿蝕刻”中揭露。除了反應性離子蝕刻之外，例如是反應性離子束蝕刻(Reactive Ion Beam Etching, RIBE)，化學輔助離子束蝕刻(Chemistry Assisted Ion Beam Etching, CAIBE)，以及離子束觸發氣體表面化學(Ion Beam Activated Gas Chemistry, IBAGSC)(參考 1992 年 5 月 26 日核准之美國專利號 5,116,461)製造角度繞射光柵的方法

(Method of Fabricating Angled Diffracting Grating”)等皆可在此應用。

在此柱狀結構形成過程中，精確的蝕刻深度可利用反射光測量儀器同時測得，而蝕刻步驟可以在預氧化層 17 被向下蝕刻時停止。

如第 3D 圖所示，在形成柱狀結構之後，對預氧化層 17 進行一氧化步驟，其中，預氧化層 17 可由砷化鋁(AlAs)所形成，如第 3E 圖所示。此一氧化製程在 1993 年 11 月 16 日核淮，由 Holonyak Jr 等人在美國專利案號 5,262,360, ”鋁鎵砷原生氧化物”中首次被提出，在美國專利案號 5,262,360 中，一種含鋁 III-V 族半導體材料曝露於 375°C 含水環境中，以將至少一部分的含鋁材料轉換成原生氧化物(Native Oxide)。

Holonyak 等人於 1993 年 9 月 7 日提申，1994 年 12 月 13 日獲淮之美國專利案號 5,373,522, ”具有原生氧化鋁區域之半導體元件”中，申請權利包括使用美國專利案號 5,262,360 中揭露的氧化方法之半導體雷射結構。在美國專利案號 5,262,360 中，由鋁所形成之原生氧化物是用來作為半導體雷射中之電流阻擋層。

同時，在 Choquette 等人於 1994 年 12 月 21 日提申，1996 年 2 月 20 日獲淮之美國專利案號 5,493,477, ”高效率之半導體發光元件元件及方法”中，VCSEL 結構使用美國專利案號 5,373,522 中形成之電流阻擋層。使用電流阻擋層於 VCSEL 之結構及效果可參考刊登於 IEEE, pp283-

288, 1998 中，Choquette 所著之”選擇性氧化垂直空腔雷射效能及技術”。

在本發明中所實施之選擇性氧化步驟，以及利用選擇性氧化步驟形成之電流孔隙乃是基是以上文件所述之原理。

換句話說，選擇性氧化製程施實於一定位於一容器中之 VCSEL 晶圓，該晶圓在一高濕度及溫度介於 350-500°C，最好是 400-450°C 的環境下形成。在此，預氧化層 17 由每一被蝕刻的柱狀結構側壁向中心水平氧化，同時，堆疊結構中，預氧化層 17 以外的各層因為鋁含量小，所以不被氧化。

被選擇性蝕刻之預氧化層 17 被氧化部分 18 通常具有一圓圈形狀，高電阻值或絕緣性，以及一低於 1.6 的折射率。未被氧化部分 17 成為一通道以使電流或光線流通。由柱狀結構上方觀察，被氧化部分 18 圍繞著電流孔隙具有一甜甜圈(Donut)的形狀。

當電流流經電流孔隙，亦即未氧化部分 17，並抵達主動層 15 之中心時，主動層 15 之載子密度因為電流導通而增加，而藉此增加了發光效率。

在如以上所述，利用氧化製程形成電流孔隙後，在柱狀結構周圍的間隙被聚乙胺 42 填充，如第 3F 圖所示。聚乙胺 42 將切割製程造成之基底 10 的損壞降至最低。

在填充聚乙胺 42 之後，切割基底 10 的底部以利切割晶圓。

一下電極 27 可利用沈積將定義之 AuGe/Ni/Au 形成於整個切割基底 10' 的底面，或是毯覆式金屬化切割基底 10' 的表面。下電極 27 與上電極 36 同時回火，以成為 VCSEL 之電極部分。

下電極 27 包括不透明金屬或半透明金屬，例如，下電極 27 包括厚約 800 埃之 AuGe，厚約 200 埃之 Ni，以及厚約 400 埃之 Au 的多層結構。

形成下電極 27 於切割基底 10' 上之後，如第 3F 圖所示，形成一打線焊墊 44 於上電極 36，其已在形成柱狀結構時被用作為一罩幕。至此，完成 VCSEL 陣列，如第 3G 圖所示。

經由以上步驟製造之 VCSEL 可以使用為一單一晶片陣列結構，或在每一聚乙胺處被切割分離。

根據傳統技術，先形成一柱狀結構，然後形成一上電極之介層窗，以對應利用氧化形成於預氧化層間的電流孔隙。因此，欲將上電極介層窗之中心軸與電流孔隙中心軸對齊相當困難。結果產生對準誤差，而使 VCSEL 之光電特性惡化。

相對地，本發明先形成一上電極，再利用上電極實施自行對準蝕刻製程形成柱狀結構，並利用氧化製程形成電流孔隙，因此上電極介層窗中心軸與電流孔隙中心軸自動對準。因此，由於上電極介層窗中心軸與電流孔隙中心軸的確實對準，本發明所提供之 VCSEL 具有較優於傳統 VCSEL 的光電特性。

在本實施例中敘述了利用上電極實施自行對準蝕刻製程以形成柱狀結構，然而本發明並不受限於以此一敘述，本實施例之各種修改並不脫離本發明之精神及專利申請範圍的保護範圍。

例如，以上敘述在一柱狀結構中之主動層上具有單一電流孔隙的 VCSEL，為控制 VCSEL 之光學特性，至少一個電流孔隙可以形成於主動層的上方以及/或下方。

本發明之實施例已如以上所述，其製造一由 VCSEL 光線發射的方向觀察為圓形的柱狀結構，以得到圓形光線。本發明亦可根據發射光線的使用，應用於四方形，球形，橢圓形或其他形狀的柱狀結構。

其中光阻形成於一部分或全部的電極表面，然後被蝕刻以形成本發明以上實施例所述之柱狀結構，該蝕刻步驟可以在電極相反端之側壁形成之後再實施。

雖然本發明以上所述之實施例中敘述了各層之材料及形成方法，然而本發明並不為其所限，熟知此技藝者應可以使用各種不同的材料或方法，而不脫離本發明之範圍。

肆、中文發明摘要

一種半導體發光元件，具有可發射與主動區平面垂直之光線的共振腔結構，以及其製造方法。一柱狀結構具有一上電極介層窗以及一氧化層之電流孔隙，使得共振光線經由該介層窗及該電流孔隙發射。該柱狀結構是利用上電極實施自行對準蝕刻而得，因此，介層窗中心軸與電流孔隙中心軸得以自動對準。在蝕刻過程中，柱狀結構之預氧化層側壁被曝露出來，且利用一氧化步驟將該預定氧化層由該側壁水平氧化至一預定距離。被氧化過程所氧化之預氧化層變成一高電阻部分，而未被氧化步驟氧化之預氧化層則成爲一電流孔隙，使電流或光線得以流通。如以上所述，由於柱狀結構是利用電極自行對準蝕刻所形成，且電流孔隙是利用氧化柱狀結構曝露的側壁所形成，使得電極介層窗之中心軸與電流孔隙之中心軸自動對準。由於介層窗及電流孔隙之間的確實對準，一垂直空腔表面發射雷射之光電特性得以改善。

伍、英文發明摘要

A semiconductor light-emitting device having a resonant cavity structure for emitting light perpendicularly to the plane of an active region, and a method of manufacturing the same are provided. A post has a window of an upper electrode and a current aperture of an oxidized layer. Resonated light is emitted through the window and the current aperture. The post is formed by performing etching by way of self-alignment using the upper electrode so that the central axis of the window and the

central axis of the current aperture can be automatically aligned. During the etching process, the sidewall of a pre-oxidized layer included in the post is exposed, and the pre-oxidized layer is horizontally oxidized by an oxidizing process by a predetermined distance from the sidewall thereof. The pre-oxidized layer oxidized by the oxidizing process becomes a high-resistance portion, and the pre-oxidized layer unoxidized during the oxidizing process becomes a current aperture through which current or light passes. As described above, since a post is formed by way of self-alignment using an electrode, and a current aperture is formed by oxidizing the exposed sidewall of the post, the central axis of a window of the electrode and the central axis of the current aperture are automatically aligned. Due to the exact alignment between the window and the current aperture, the electro-optical characteristics of a vertical cavity surface emitting laser (VCSEL) are improved.

陸、(一)、本案指定代表圖爲：第_____圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

以一緩衝材料填充在該蝕刻步驟中形成之被蝕刻部分，並形成一下電極於該基底的底面。

6. 一種半導體發光元件的製造方法，其包括一基底及一下反射器，一主動層，一預氧化層以及一上反射器層依序形成於該基底之表面上，該方法包括：

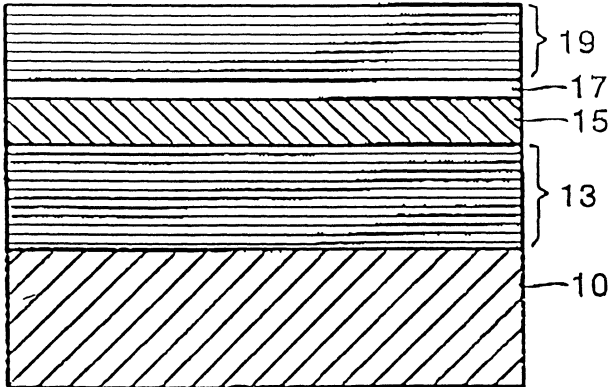
在該上反射器層上定義具有一介層窗之一上電極；

形成一光阻於包括該介層窗的整個該上電極上；

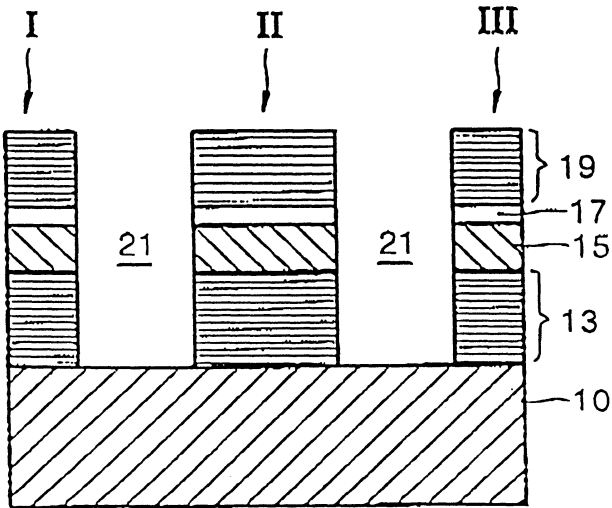
利用光阻為罩幕實施一蝕刻步驟，直到該預氧化層曝露出來，以形成一柱狀結構；

氧化一部分的該預氧化層；以及

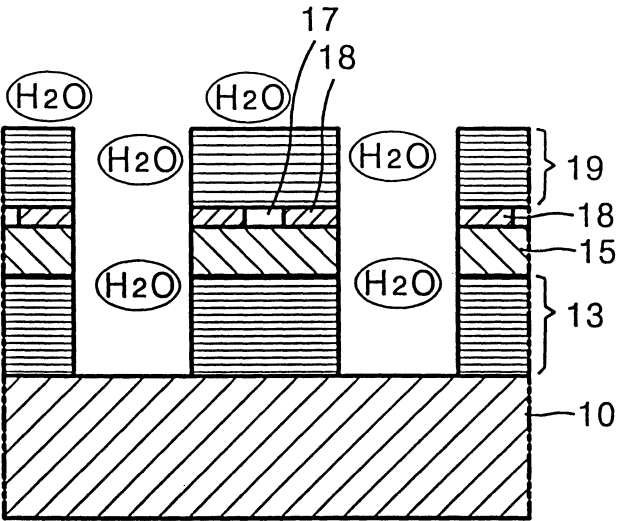
以一緩衝材料填充在該蝕刻步驟中形成之被蝕刻部分，並形成一下電極於該基底的底面。



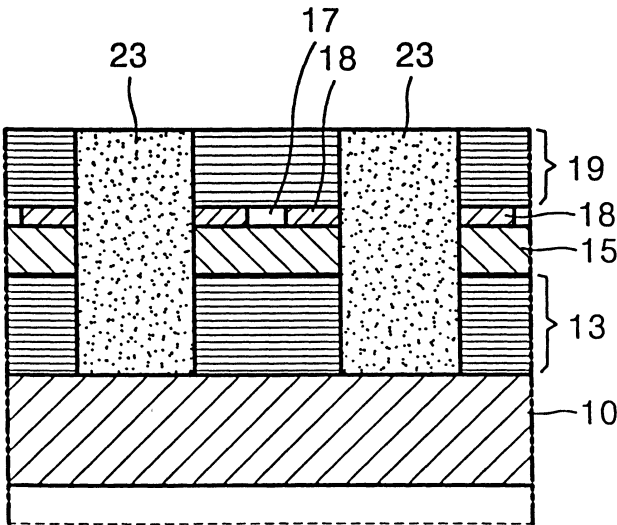
第 1A 圖



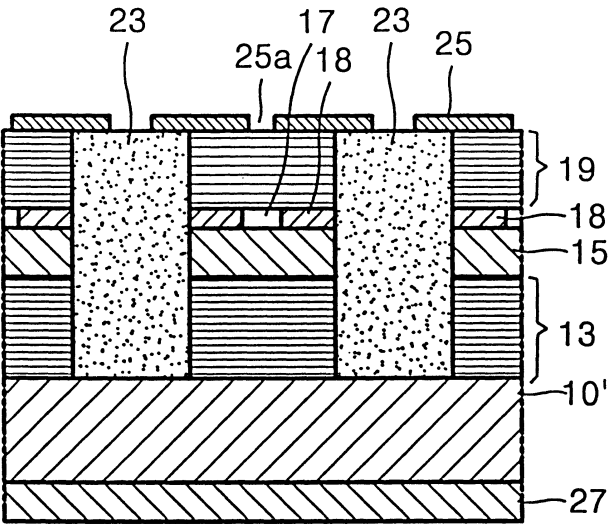
第 1B 圖



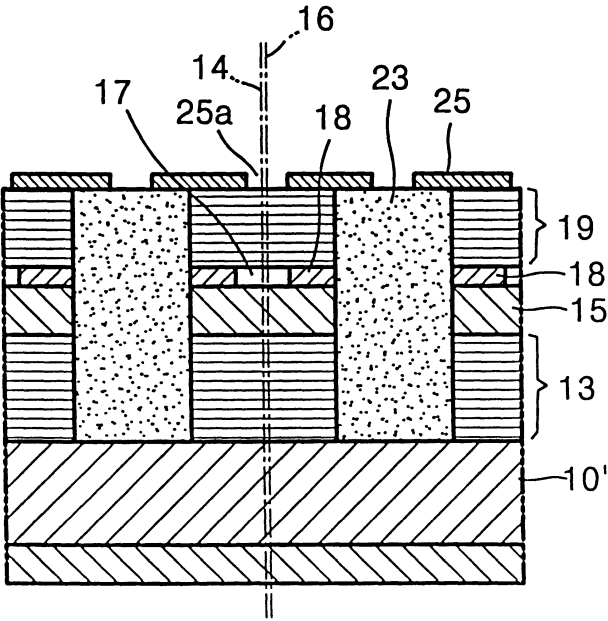
第 1C 圖



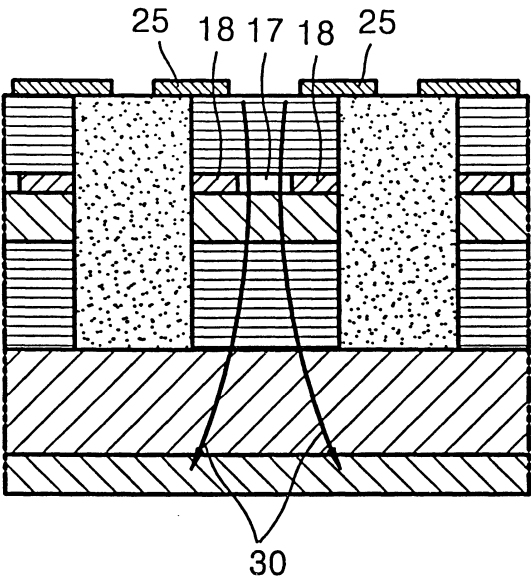
第 1D 圖



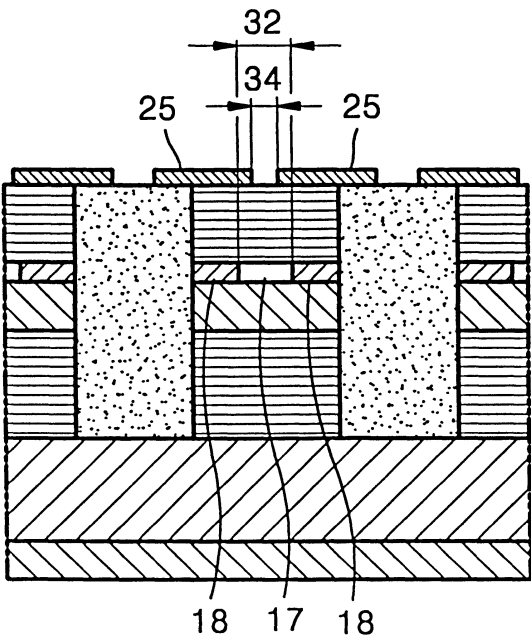
第 1E 圖



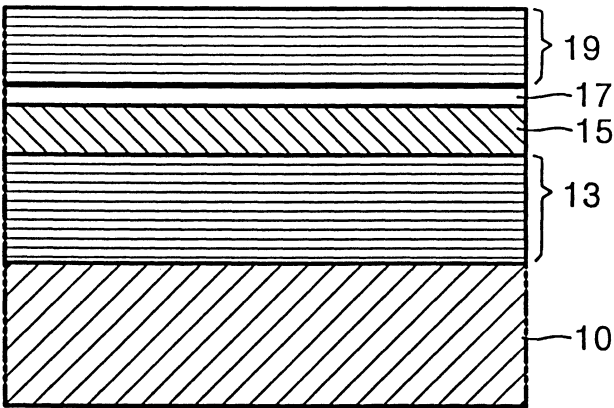
第 2A 圖



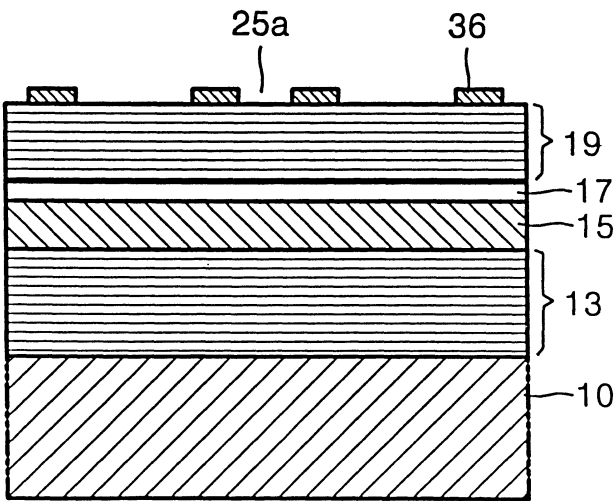
第 2B 圖



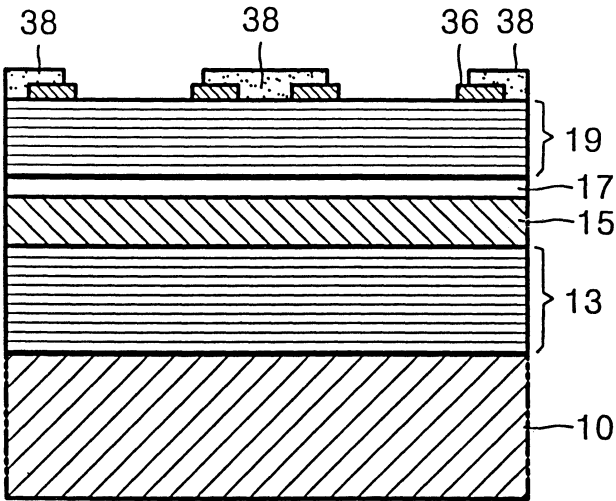
第 2C 圖



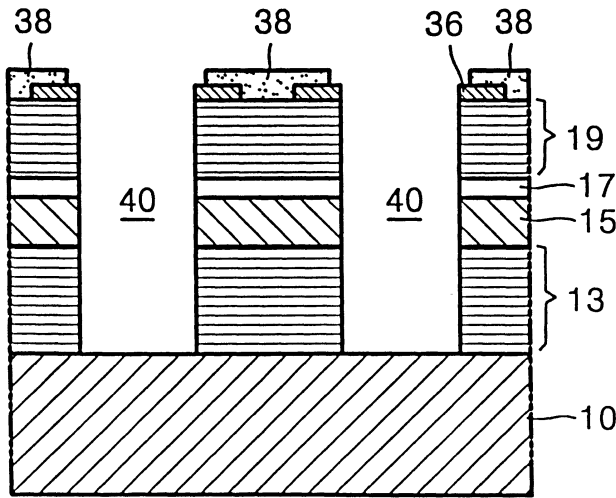
第 3A 圖



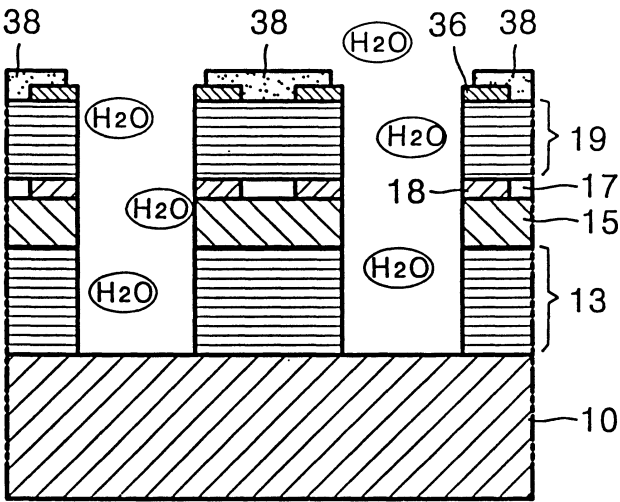
第 3B 圖



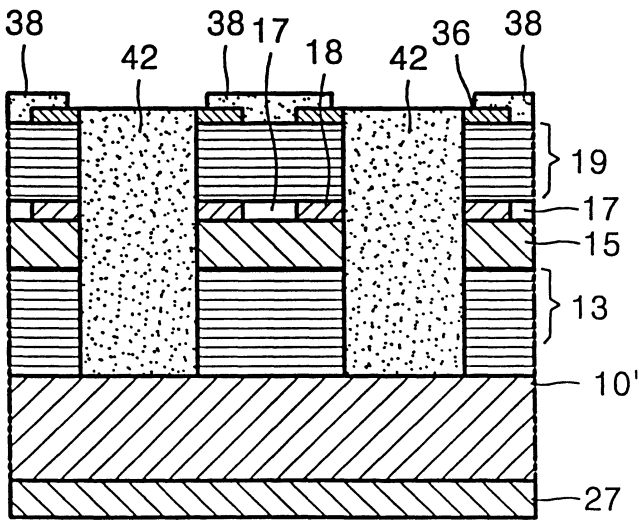
第 3C 圖



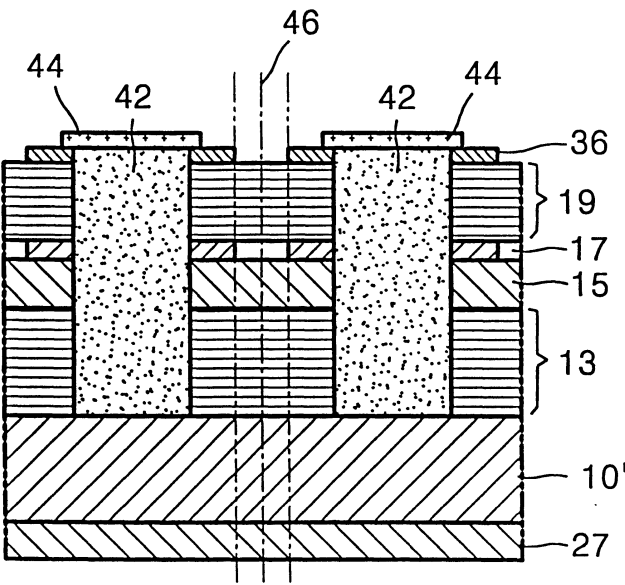
第 3D 圖



第3E圖



第3F圖



第 3G 圖

公告本

92年2月20日修正
補充

發明專利說明書

531905

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：90125890 ※IPC分類：H01L 33/00

※申請日期：90.10.19

壹、發明名稱

(中文) 具有改善之光電特性的半導體發光元件及其製造方法

(英文) SEMICONDUCTOR LIGHT-EMITTING DEVICE WITH IMPROVED ELECTRO-OPTICAL CHARACTERISTICS AND METHOD OF MANUFACTURING THE SAME

貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 張東勳

(英文) Dong-hoon Chang

住居所地址：(中文) 大韓民國京畿道安養市東安區飛山洞 1102-4 番地冠岳 Apt. 207 棟 2101 號

(英文) 207-2101 Gwanak Apt., 1102-4 Bisan-dong, dongan-gu, Anyang-si, gyeonggi-do, Republic of Korea

國籍：(中文) 韓國 (英文) KR

參、申請人(共1人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 三星電子股份有限公司

(英文) Samsung electronics Co., Ltd.

住居所或營業所地址：(中文) 大韓民國京畿道水原市八達區梅灘洞

92年2月20日修正
補充

拾、申請專利範圍

1. 一種半導體發光元件，具有由複數層所組成之一柱狀結構，其包括至少一基底上之一預氧化層，以及該柱狀結構上之一電極，其特徵在於該半導體發光元件利用該電極實施自行對準蝕刻，以形成該柱狀結構，再由該柱狀結構之一側壁水平氧化該預氧化層至一預定距離。

2. 如申請專利範圍第 1 項所述之半導體發光元件，其中該柱狀結構包括在該基底上利用磊晶沈積形成之一下反射器層，一主動層，該預氧化層，以及一上反射器層。

3. 如申請專利範圍第 1 項或第 2 項所述之半導體發光元件，其中該半導體發光元件係一垂直空腔表面發射雷射，其發射與一堆疊層平面垂直之光線。

4. 如申請專利範圍第 2 項所述之半導體發光元件，其中該一部分的該預氧化層被水平氧化而形成一高電阻部分，而未被氧化的部分則形成一電流孔隙使電流或光線流通。

5. 一種半導體發光元件的製造方法，其包括一基底及一下反射器，一主動層，一預氧化層以及一上反射器層依序形成於該基底之表面上，該方法包括：

在該上反射器層上定義具有一介層窗之一上電極；

形成一光阻於包括該介層窗之該上電極之一部分上；

利用該上電極及該光阻為罩幕實施一蝕刻步驟，直到該預氧化層曝露出來，以形成一柱狀結構；

氧化一部分的該預氧化層；以及