

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

PCT

(10) 国際公開番号
WO 2011/122494 A1

- (51) 国際特許分類:
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
G02F 1/1368 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2011/057454
- (22) 国際出願日: 2011 年 3 月 25 日(25.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-075784 2010 年 3 月 29 日(29.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大橋 誠二
(OHHASHI Seiji) [JP/—]. 鎌田 豪 (KAMADA

Tsuyoshi) [JP/—]. 井出 哲也 (IDE Tetsuya) [JP/—].
勝田 昇平 (KATSUTA Shohei) [JP/—].

(74) 代理人: 船山 武, 外 (FUNAYAMA Takeshi et al.);
〒1006620 東京都千代田区丸の内一丁目 9 番 2
号 Tokyo (JP).

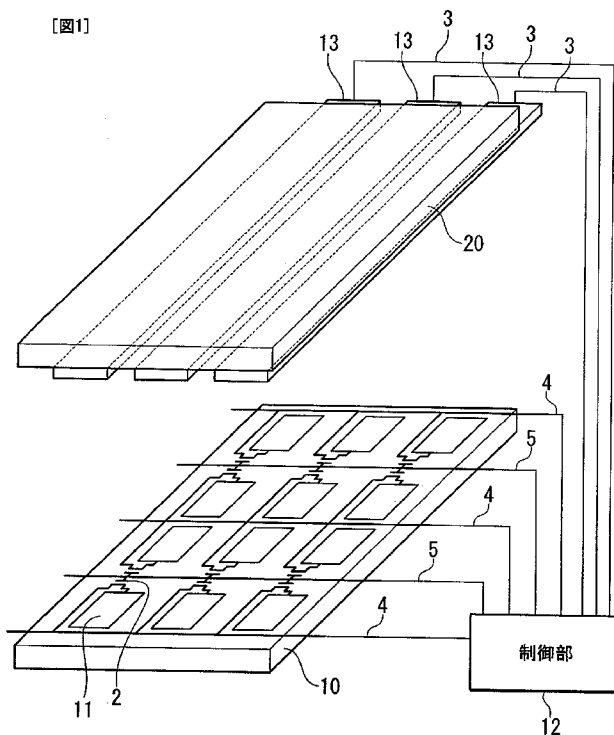
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, PIXEL CIRCUIT, AND DRIVING METHOD

(54) 発明の名称: 液晶表示装置、画素回路、および駆動方法



12 CONTROL SECTION

(57) Abstract: Provided is a liquid crystal display device which has multiple pixels arranged in a counter matrix structure. The liquid crystal display device has pixels each formed of a plurality of subpixels, the pixels being arranged in a matrix. The display device includes a switching element (2) provided for each subpixel; a liquid crystal element provided for each subpixel; n (first to nth) reference potential trunk lines (4) having a mutually different magnitude of potential; a first display signal line (3) for supplying a display signal; a scanning line (5); a control section (12); a first substrate (10) having the n reference potential trunk lines and the switching elements; and a second substrate (20) having the first display signal lines. The liquid crystal elements (1) are formed in between the first substrate (10) and the second substrate. One end of each liquid crystal element of n subpixels is connected to the first display signal line (3), while the other end of each liquid crystal element of the n subpixels is connected to the respective first to nth reference potential trunk lines (4) via the respective switching element (2). Through the scanning line (5), the control section (12) supplies an ON-state signal to each switching element (2) of the n subpixels with the same timing.

(57) 要約:

[続葉有]



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、対向マトリクス構成でマルチ画素を構成する液晶表示装置を提供することを目的としている。本発明の液晶表示装置は、複数サブ画素で構成される画素がマトリクス状に配置され、各サブ画素が有するスイッチング素子(2)と、各サブ画素が有する液晶素子と、第1から第nの互いに電位の大きさが異なるn本の基準電位幹線(4)と、表示信号を供給する第1表示信号線(3)と、走査線(5)と、制御部(12)と、n本の基準電位幹線とスイッチング素子が配置された第1基板(10)と、第1表示信号線が配置された第2基板(20)とを備える。第1基板(10)と第2基板間に液晶素子(20)が形成される。n個のサブ画素の各液晶素子の一方が第1表示信号線(3)に接続され、n個のサブ画素の各液晶素子の他方が各スイッチング素子(2)を介し各々第1から第n基準電位幹線(4)に接続される。制御部(12)は、走査線(5)から、オン状態信号をn個のサブ画素の各スイッチング素子(2)に、同じタイミングで供給する。

明 細 書

発明の名称： 液晶表示装置、画素回路、および駆動方法

技術分野

[0001] 本発明は、液晶表示装置、画素回路、および駆動方法に関する。

本願は、2010年3月29日に、日本に出願された特願2010-075784号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 液晶表示装置は、近年、高画質化が求められ、1画素を2つのサブ画素に分割し、サブ画素単位で階調を制御するマルチ画素手法が用いられている（例えば、特許文献1参照）。マルチ画素手法では、1画素が、電氣的に等価な2つのサブ画素で構成されている。そして、マルチ画素手法では、この2つのサブ画素に接続されている各補助容量 C_s の電位を変動させ、各サブ画素に電位差を生じさせることで階調表現を制御している。

[0003] また、液晶表示装置の構成手法として、対向マトリクス構成が提案されている（例えば、特許文献2参照）。対向マトリクス構成は、第1のガラス基板上に、スキャンバスライン、設置バスライン、スイッチング素子、および表示電極が設けられる。また、第2のガラス基板上に、データバスラインとして兼用される透明電極が設けられる。この対向マトリクス構成は、データバスラインとスキャンバスラインとが積層していない。そのため、対向マトリクス構成以外の構成と比べ、層間の短絡欠陥の発生頻度が大幅に減少し、歩留まりが良い。さらに、対向マトリクス構成は、それぞれのガラス基板のみの検査やリペア（修復）が行えるので、歩留まりが良い。

先行技術文献

特許文献

[0004] 特許文献1：特開2004-62146号公報

特許文献2：特開昭62-133478号公報

発明の概要

発明が解決しようとする課題

- [0005] しかしながら、特許文献2の従来技術による対向マトリクス構成では、マルチ画素化について記載されていない。また、特許文献1の従来技術によるマルチ画素手法では、対向マトリクス構成について記載されていない。
- [0006] 本発明は、上記の問題点に鑑みてなされたものであって、対向マトリクスでマルチ画素を構成する液晶表示装置、画素回路、および駆動方法を提供することを目的としている。

課題を解決するための手段

- [0007] (1) 上記目的を達成するため、本発明の一態様に係る液晶表示装置は、複数の輝度領域に対応した n 個 ($n \geq 2$ 、 n は正の整数)のサブ画素から構成される画素がマトリクス状に配置され、各々の前記サブ画素が有するスイッチング素子と、各々の前記サブ画素が有する液晶素子と、第1基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、表示信号を供給する第1表示信号線と、走査線と、制御部と、前記第1基準電位幹線から前記第 n 基準電位幹線と前記スイッチング素子とが配置された第1基板と、前記第1表示信号線が配置された第2基板と、を備え、前記第1基板と前記第2基板との間に前記液晶素子が形成され、前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第1表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第1基準電位幹線から前記第 n 基準電位幹線に接続され、前記制御部は、前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する。
- [0008] (2) また、本発明の一態様に係る液晶表示装置において、前記制御部は、前記第1表示信号線の電位の極性をフレーム毎に切り替えるようにしてもよい。
- [0009] (3) また、本発明の一態様に係る液晶表示装置において、前記制御部は、電位の大きさを第1基準電位幹線から第 n 基準電位幹線の順と第 n 基準電位幹線から第1基準電位幹線の順とにフレーム毎に交互に切り替えるように

してもよい。

[0010] (4) また、本発明の一態様に係る液晶表示装置において、前記制御部は、前記第1表示信号線の電位を所定の基準電位を中心にフレーム毎に切り替え、電位の大きさを所定の基準電位を中心にし、さらに所定の電圧振幅を加算して、第1基準電位幹線から第 n 基準電位幹線の順と第 n 基準電位幹線から第1基準電位幹線の順とにフレーム毎に交互に切り替えるようにしてもよい。

[0011] (5) また、本発明の一態様に係る液晶表示装置において、表示信号を供給する第2表示信号線、を更に備え、前記 n 個のサブ画素とそれぞれ行方向に隣接して配置される n 個のサブ画素の各々の前記液晶素子は、一方が前記第2表示信号線に接続され、他方が各々の前記スイッチング素子を介してそれぞれ前記第1基準電位幹線から前記第 n 基準電位幹線に接続され、前記制御部は、前記第1表示信号線および前記第2表示信号線の電位の極性をフレーム毎に交互に切り替えるようにしてもよい。

[0012] (6) また、本発明の一態様に係る液晶表示装置において、前記 n 個のサブ画素とそれぞれ行方向に隣接して配置される n 個のサブ画素から構成される画素がマトリクス状に配置され、前記第1基準幹線の電位の大きさと異なる第1'基準幹線と、表示信号を供給する第2表示信号線と、を更に備え、前記スイッチング素子を介して前記第1基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第2表示信号線に接続され、他方が前記スイッチング素子を介して前記第1'基準電位幹線に接続され、前記スイッチング素子を介して前記第2基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第2表示信号線に接続され、他方が前記スイッチング素子を介して前記第2基準電位幹線に接続され、前記制御部は、前記第1基準電位幹線の電位の大きさと前記第1'基準幹線の電位の大きさとの関係を、フレーム毎に交互に切り替えるようにしてもよい。

[0013] (7) また、本発明の一態様に係る液晶表示装置において、前記制御部は

、前記第 1 基準電位幹線の電位の方が前記第 1' 基準幹線の電位より大きい関係から、前記第 1' 基準幹線の電位の方が前記第 1 基準電位幹線の電位より大きい関係に、フレーム毎に交互に切り替え、または、前記第 1' 基準幹線の電位の極性と前記第 1 基準電位幹線の電位の極性とをフレーム毎に交互に入れ替えるようにしてもよい。

[0014] (8) また、本発明の一態様に係る液晶表示装置において、前記 n 個のサブ画素とそれぞれ行方向に隣接して配置される n 個のサブ画素のサブ画素から構成される画素がマトリクス状に配置され、前記第 1 基準幹線の電位の大きさと異なる第 1' 基準幹線と、第 3 基準幹線の電位の大きさと異なる第 3' 基準幹線と、表示信号を供給する第 2 表示信号線と、を更に備え、前記スイッチング素子を介して前記第 1 基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 1' 基準電位幹線に接続され、前記スイッチング素子を介して前記第 2 基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 2 基準電位幹線に接続され、前記スイッチング素子を介して前記第 3 基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 3' 基準電位幹線に接続され、前記制御部は、前記第 1 基準電位幹線の電位の大きさと前記第 1' 基準幹線の電位の大きさの関係と、前記第 3 基準電位幹線の電位の大きさと前記第 3' 基準幹線の電位の大きさの関係とを、フレーム毎に交互に切り替えるようにしてもよい。

[0015] (9) また、本発明の一態様に係る液晶表示装置において、前記制御部は、前記第 1 基準電位幹線の電位の方が前記第 1' 基準幹線の電位より大きい関係且つ前記第 3 基準電位幹線の電位の方が前記第 3' 基準幹線の電位より大きい関係から、前記第 1' 基準幹線の電位の方が前記第 1 基準電位幹線の

電位より大きい関係且つ前記第 3' 基準幹線の電位の方が前記第 3 基準電位幹線の電位より大きい関係にフレーム毎に交互に切り替え、または、前記第 1' 基準幹線の電位の方が前記第 1 基準電位幹線の電位より大きい関係且つ前記第 3 基準電位幹線の電位の方が前記第 3' 基準幹線の電位より大きい関係から、前記第 1 基準電位幹線の電位の方が前記第 1' 基準幹線の電位より大きい関係且つ前記第 3' 基準幹線の電位の方が前記第 3 基準電位幹線の電位より大きい関係にフレーム毎に交互に切り替えるようにしてもよい。

[0016] (10) また、本発明の一態様に係る液晶表示装置において、 s (s は正の整数) 行目の前記画素の各々前記サブ画素は、前記第 n 基準電位幹線に対して $s - 1$ 行目の前記画素の各々の前記サブ画素と線対称に配置されているようにしてもよい。

[0017] (11) 上記目的を達成するため、本発明の他の態様に係る画素回路は、第 1 基準電位幹線から前記第 n 基準電位幹線と前記スイッチング素子とが配置された第 1 基板と前記第 1 表示信号線が配置された第 2 基板との間に液晶素子が形成されている液晶表示装置の画素回路において、複数の輝度領域に対応した n 個 ($n \geq 2$ 、 n は正の整数) のサブ画素から構成される画素がマトリクス状に配置され、各々の前記サブ画素が有するスイッチング素子と、各々の前記サブ画素が有する液晶素子と、第 1 基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、表示信号を供給する第 1 表示信号線と、走査線と、制御部と、を備え、前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第 1 表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第 1 基準電位幹線から前記第 n 基準電位幹線に接続され、前記制御部は、前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する。

[0018] (12) 上記目的を達成するため、本発明の更に他の態様に係る駆動方法は、第 1 基準電位幹線から第 n 基準電位幹線とスイッチング素子とが配置された第 1 基板と第 1 表示信号線が配置された第 2 基板との間に液晶素子が形

成されている液晶表示装置の駆動方法において、複数の輝度領域に対応した n 個 ($n \geq 2$ 、 n は正の整数) のサブ画素から構成される画素がマトリクス状に配置され、各々の前記サブ画素が有するスイッチング素子と、各々の前記サブ画素が有する液晶素子と、第 1 基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、表示信号を供給する第 1 表示信号線と、走査線と、制御部と、を備え、前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第 1 表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第 1 基準電位幹線から前記第 n 基準電位幹線に接続され、前記制御部は、前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する。

- [0019] 上記目的を達成するため、本発明に係る第 1 基準電位幹線から前記第 n 基準電位幹線と前記スイッチング素子とが配置された第 1 基板と前記第 1 表示信号線が配置された第 2 基板との間に液晶素子が形成されている液晶表示装置の駆動方法が、複数の輝度領域に対応した n 個 ($n \geq 2$ 、 n は正の整数) のサブ画素から構成される画素がマトリクス状に配置され、各々の前記サブ画素が有するスイッチング素子と、各々の前記サブ画素が有する液晶素子と、第 1 基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、表示信号を供給する第 1 表示信号線と、走査線と、制御部とを備え、前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第 1 表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第 1 基準電位幹線から前記第 n 基準電位幹線に接続され、前記制御部は、前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給することを特徴としている。

発明の効果

- [0020] 本発明によれば、複数の輝度領域に対応した n 個 ($n \geq 2$ 、 n は正の整数) のサブ画素から構成される画素がマトリクス状に配置される。そして、各

々のサブ画素が有するスイッチング素子と、各々のサブ画素が有する液晶素子と、第1基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、表示信号を供給する第1表示信号線と、走査線と、制御部と、第1基準電位幹線から第 n 基準電位幹線とスイッチング素子とが配置された第1基板と、第1表示信号線が配置された第2基板と、を備える。そして、第1基板と第2基板との間に液晶素子が形成される。そして、 n 個のサブ画素の各々の液晶素子の一方の極が第1表示信号線に接続され、 n 個のサブ画素の各々の液晶素子の他方の極が各々のスイッチング素子を介してそれぞれ第1基準電位幹線から第 n 基準電位幹線に接続される。そして、制御部は、走査線からオン状態の信号を n 個のサブ画素の各々のスイッチング素子に同じタイミングで供給する。そのため、対向マトリクスでマルチ画素を構成する液晶表示装置、画素回路、および駆動方法を行うことが可能になる。

図面の簡単な説明

- [0021] [図1]本発明の実施形態を適用した液晶表示装置の一例の斜視図である。
- [図2]本発明の実施形態を適用した液晶表示装置の一例の構成図である。
- [図3]第1実施形態に係る2つのサブ画素を備える液晶表示装置の L フレーム時の動作を説明する等価回路である。
- [図4]同実施形態に係る2つのサブ画素を備える液晶表示装置の $L+1$ フレーム時の動作を説明する等価回路である。
- [図5]同実施形態に係る L フレーム時と $L+1$ フレーム時の液晶表示装置のタイミングチャートである。
- [図6]同実施形態を適用した第1基板10上のレイアウトの一例を説明する図である。
- [図7]現在一般的な液晶テレビに用いられているアモルファスシリコンTFTの断面図である。
- [図8]第2実施形態に係る2つのサブ画素を備える液晶表示装置の L フレーム時の動作を説明する等価回路である。

[図9] 同実施形態に係る2つのサブ画素を備える液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[図10] 第3実施形態に係る2つのサブ画素を備える液晶表示装置のLフレーム時の動作を説明する等価回路である。

[図11] 同実施形態に係る2つのサブ画素を備える液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[図12] 同実施形態に係るLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

[図13] 同実施形態を適用した第1基板10上のレイアウトの一例を説明する図である。

[図14] 第4実施形態に係る2つのサブ画素を備える液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[図15] 同実施形態に係るLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

[図16] 第5実施形態に係る3つのサブ画素を備える液晶表示装置のLフレーム時の動作を説明する等価回路である。

[図17] 同実施形態に係る3つのサブ画素を備える液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[図18] 同実施形態に係るLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

[図19] 第6実施形態に係る3つのサブ画素を備える液晶表示装置のLフレーム時の動作を説明する等価回路である。

[図20] 同実施形態に係る3つのサブ画素を備える液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[図21] 同実施形態に係るLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

[図22] 第7実施形態に係る3つのサブ画素を備える液晶表示装置のLフレーム時の動作を説明する等価回路である。

[図23] 同実施形態に係る 3 つのサブ画素を備える液晶表示装置の $L + 1$ フレーム時の動作を説明する等価回路である。

[図24] 同実施形態に係る L フレーム時と $L + 1$ フレーム時の液晶表示装置のタイミングチャートである。

[図25] 第 8 実施形態に係る n 個（偶数）のサブ画素を備える液晶表示装置の L フレーム時の動作を説明する等価回路である。

[図26] 同実施形態に係る n 個（偶数）のサブ画素を備える液晶表示装置の $L + 1$ フレーム時の動作を説明する等価回路である。

[図27] 同実施形態に係る L フレーム時と $L + 1$ フレーム時の液晶表示装置のタイミングチャートである。

[図28] 第 9 実施形態に係る n 個（奇数）のサブ画素を備える液晶表示装置の L フレーム時の動作を説明する等価回路である。

[図29] 同実施形態に係る n 個（奇数）のサブ画素を備える液晶表示装置の $L + 1$ フレーム時の動作を説明する等価回路である。

[図30] 同実施形態に係る L フレーム時と $L + 1$ フレーム時の液晶表示装置のタイミングチャートである。

発明を実施するための形態

[0022] 以下、図 1 ～図 30 を用いて本発明の実施形態について詳細に説明する。
なお、本発明は斯かる実施形態に限定されず、その技術思想の範囲内で種々の変更が可能である。

図 1 は、本発明の実施形態を適用した液晶表示装置の一例の斜視図である。図 1 のように、本発明の実施形態における液晶表示装置は、第 1 基板 10 と、第 1 基板 10 に対して対向配置された第 2 基板 20 と、制御部 12 とを備えている。第 1 基板 10 と第 2 基板 20 との間には、液晶材料が封入されている。また、第 1 基板 10 は、複数の TFT（Thin Film Transistor：薄膜トランジスタ）によるスイッチング素子 2 と、複数の基準電位幹線 4 と、複数の走査線（ゲートバスライン）5 と、表示電極 11 とを備えている。さらに、第 2 基板 20 は、ストライプ状の透明電極 13 を備えている。透明電

極 1 3 は、それぞれ表示信号線（データバスライン） 3 に接続されている。このように、第 1 基板 1 0 には、スイッチング素子 2、基準電位幹線 4、走査線 5、および、表示電極 1 1 が形成されている。対向する第 2 基板 2 0 には、表示信号線 3 に接続されたストライプ状の透明電極 1 3 が形成されている。これにより、対向マトリクスを構成している。また、第 1 基板 1 0 の下には、非図示のバックライトが配置されている。

[0023] 図 2 は、本発明の実施形態を適用した液晶表示装置の一例の構成図である。図 2 のように、一般的な液晶表示装置では、表示信号線（データバスライン） 3 を m 本、走査線（ゲートバスライン） 5 を n 本、画素を $n \times m$ 個（ $p(1, 1) \sim p(1, m)$, $p(2, 1) \sim p(2, m) \cdots p(n, 1) \sim p(n, m)$ ）を備えている。 $n \times m$ 個の画素によって、画素部 2 0 0 を構成する。例えば、Full-HD の解像度の液晶表示装置の場合、データバスラインは、 $n = 1920 \times 3$ （3 は RGB 分）= 5760 本、ゲートバスラインは、 $m = 1080$ 本である。また、制御部 1 2 は、表示信号線 3 に供給される表示信号を、隣接する表示信号線 3 間で逆極性に制御する。すなわち、表示信号線 3-1 の表示信号と表示信号線 3-2 の表示信号の極性は逆極性である。また、表示信号線 3-2 の表示信号と表示信号線 3-3 の表示信号の極性は逆極性である。また、表示信号線 3-3 の表示信号と表示信号線 3-4 の表示信号の極性は逆極性である。

[0024] [第 1 実施形態]

図 3 は、第 1 実施形態における 2 つのサブ画素（Sub-Pix 1、Sub-Pix 2）を備える画素（Pix (n-1)、Pix (n)）を有する液晶表示装置の L フレーム時の動作を説明する等価回路である。図 4 は、第 1 実施形態における 2 つのサブ画素（Sub-Pix 1、Sub-Pix 2）を備える画素（Pix (n-1)、Pix (n)）を有する液晶表示装置の L+1 フレーム時の動作を説明する等価回路である。なお、1 フレームは、例えば、60 Hz 駆動の液晶表示装置であれば、1/60 秒である。図 3 のように、第 1 実施形態における液晶表示装置は、画素 101~106 を備

える。各画素１０１～１０６は、それぞれ２つのサブ画素を備える。そして、画素１０１と画素１０２は行方向に隣接して配置されている。画素１０１は、基準電位幹線４－１から列方向に対してサブ画素１１１とサブ画素１１２との順に配置されている。画素１０２は、基準電位幹線４－１から列方向に対してサブ画素１２１とサブ画素１２２との順に配置されている。また、行方向に隣接して配置されている画素１０４と画素１０５が、基準電位幹線４－２に関して画素１０１および画素１０２と線対称に配置されている。そして、画素１０４は、基準電位幹線４－１から列方向に対してサブ画素１４２とサブ画素１４１との順に配置されている。画素１０５は、基準電位幹線４－１から列方向に対してサブ画素１５２とサブ画素１５１との順に配置されている。画素１０３と画素１０６についても同様である。なお、サブ画素とは、本発明の実施形態では、１つの画素を複数の画素に分割したそれぞれの画素である。また、ＲＧＢのカラー表示を行う液晶表示装置では、例えば、画素１０１がＲに相当し、画素１０２がＧに相当し、画素１０３がＢに相当する。

[0025] さらに、各サブ画素は、液晶素子１と、スイッチング素子２と、それに対向するストライプ状の透明電極１３の部分とにより構成されている。なお、液晶素子は、１つの表示電極とストライプ状の透明電極１３との間に挟まれた液晶材料により構成され、電氣的等価回路としては電気容量として表現される。図３では、例えば、サブ画素１１１は、液晶素子１－１１とスイッチング素子２－１１とを備える。サブ画素１１２は、液晶素子１－１２とスイッチング素子２－１２とを備えている。なお、表示電極１１と、それに対向するストライプ状の透明電極１３とは、図３では、液晶素子１－１１、１－１２への電氣的接続部分として等価的に表現している。

[0026] まず、画素１０１のサブ画素１１１とサブ画素１１２との構成を説明する。スイッチング素子２－１１とスイッチング素子２－１２のゲート端子は、共通の走査線５－１に接続されている。スイッチング素子２－１１のソース端子は、基準電位幹線４－１に接続されている。スイッチング素子２－１１

のドレイン端子は、表示電極 11 を介して容量成分を有する液晶素子 1-1-1 の一方に接続されている。液晶素子 1-1-1 の他方は、透明電極 13 を介して表示信号線（第 1 表示信号線）3-1 に接続されている。すなわち、液晶素子 1-1-1 は、透明電極 13 と電極 11 との間に挟持されている。また、スイッチング素子 2-1-2 のソース端子は、基準電位幹線 4-2 に接続されている。スイッチング素子 2-1-2 のドレイン端子は、表示電極 11 を介して液晶素子 1-1-2 の一方に接続されている。液晶素子 1-1-2 の他方は、透明電極 13 を介して表示信号線 3-1 に接続されている。

次に、画素 102 のサブ画素 121 とサブ画素 122 との構成を説明する。スイッチング素子 2-21 とスイッチング素子 2-22 のゲート端子は、共通の走査線 5-1 に接続されている。スイッチング素子 2-21 のソース端子は、基準電位幹線 4-1 に接続されている。スイッチング素子 2-21 のドレイン端子は、表示電極 11 を介して液晶素子 1-21 の一方に接続されている。液晶素子 1-21 の他方は、透明電極 13 を介して表示信号線（第 2 表示信号線）3-2 に接続されている。また、スイッチング素子 2-22 のソース端子は、基準電位幹線 4-2 に接続されている。スイッチング素子 2-22 のドレイン端子は、表示電極 11 を介して液晶素子 1-22 の一方に接続されている。液晶素子 1-22 の他方は、透明電極 13 を介して表示信号線 3-2 に接続されている。

[0027] 次に、画素 104 のサブ画素 141 とサブ画素 142 との構成を説明する。スイッチング素子 2-41 と 2-42 のゲート端子は、共通の走査線 5-2 に接続されている。スイッチング素子 2-42 のソース端子は、基準電位幹線 4-1 に接続されている。スイッチング素子 2-42 のドレイン端子は、表示電極 11 を介して液晶素子 1-42 の一方に接続されている。液晶素子 1-42 の他方は、透明電極 13 を介して表示信号線 3-1 に接続されている。また、スイッチング素子 2-41 のソース端子は、基準電位幹線 4-2 に接続されている。スイッチング素子 2-41 のドレイン端子は、表示電極 11 を介して液晶素子 1-41 の一方に接続されている。液晶素子 1-4

1の他方は、透明電極13を介して表示信号線3-1に接続されている。

次に、画素105のサブ画素151とサブ画素152との構成を説明する。スイッチング素子2-51とスイッチング素子2-52のゲート端子は、共通の走査線5-2に接続されている。スイッチング素子2-52のソース端子は、基準電位幹線4-1に接続されている。スイッチング素子2-52のドレイン端子は、表示電極11を介して液晶素子1-52の一方に接続されている。液晶素子1-52の他方は、透明電極13を介して表示信号線3-2に接続されている。また、スイッチング素子2-51のソース端子は、基準電位幹線4-2に接続されている。スイッチング素子2-51のドレイン端子は、表示電極11を介して液晶素子1-51の一方に接続されている。液晶素子1-51の他方は、透明電極13を介して表示信号線3-2に接続されている。画素103と画素106についても同様である。

[0028] 次に、液晶表示装置の動作を、図3と図5を用いて説明する。図5は、第1実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。Lフレーム（Lは1以上の自然数）時、画素101～106の各サブ画素の動作について説明する。

図5において、横軸は時間を示しており、縦軸は電位を示している。図5の波形1は、走査線5-1の電位の時間変化を示している。図5の波形2は、走査線5-2の電位の時間変化を示している。図5の波形3は、基準電位幹線4-1の電位の時間変化を示している。図5の波形4は、基準電位幹線4-2の電位の時間変化を示している。図5の波形5は、表示信号線3-1の電位の時間変化を示している。図5の波形6は、表示信号線3-2の電位の時間変化を示している。図5の波形7は、ノードX（node X）の電位の時間変化を示している。図5の波形8は、ノードY（node Y）の電位の時間変化を示している。図5の波形9は、ノードX-ノードY（node X-node Y）の電位（Sub-pixelの印加電圧）の時間変化を示している。

[0029] 制御部12は、基準電位幹線4-1の電位を+1Vに制御し、基準電位幹

線 4-2 の電位を 0 V に制御する（図 5 の波形 3 および波形 4、時刻 t_{0a} ）。すなわち、制御部 12 は、電位の大きさを基準電位幹線 4-1 の電位が基準電位幹線 4-2 の電位よりも大である関係に制御する。

次に、制御部 12 は、走査線 5-1 を時刻 $t_{0a} \sim t_{1a}$ の期間（1 画素分の書き換え期間）、H レベルに制御し、スイッチング素子 2-11 ~ 2-12、2-21 ~ 2-22、および 2-31 ~ 2-32 をオン状態にする。なお、走査線 5-1 の出力が H になる期間は、液晶表示装置で用いる基準電位幹線 3 の総数に応じて設定される。例えば、Full-HD 対応の液晶表示装置においては、 $1 / (60 \times 1080)$ （秒）に相当する。図 3 において、制御部 12 は、表示信号線 3-1 から 1 行目の画素 101 に +5 V、2 行目の画素 104 に +4 V を供給し、表示信号線 3-2 から 1 行目の画素 102 に -4 V、2 行目の画素 105 に -3 V を供給する。なお、ゼロ階調から最大階調を表示した場合の信号レンジは、例えば、正極性側の電位 +5 V ~ +1 V、負極性側の電位 -5 V ~ -1 V である。この信号レベルは、用いる液晶素子の特性に合わせるようにしてもよい。なお、図 5 に示した表示信号線 3-1 と表示信号線 3-2 の信号レベルは、動作の一例を示す信号レベルである。

さらに、制御部 12 は、走査線 5-2 を時刻 $t_{1a} \sim t_{2a}$ の期間、H レベルに制御し、スイッチング素子 2-41 ~ 2-42、2-51 ~ 2-52、および 2-61 ~ 2-62 をオン状態にする。

なお、一例として、第 1 基板 10 の下に非図示のバックライトが配置された透過型の液晶表示装置の場合、制御部 12 により、各サブ画素の光透過率を制御することで輝度（階調表現）が制御される。あるいは、透過型の液晶表示装置の場合、制御部 12 により、各サブ画素の光反射率を制御することで輝度（階調表現）が制御される。

[0030] まず、画素 101 のサブ画素 111 とサブ画素 112 との動作について説明する。制御部 12 は、液晶素子 1-11 の node X に、表示信号線 3-1 から +5 V を供給する。そして、制御部 12 は、時刻 $t_{0a} \sim t_{1a}$ の

期間、走査線 5-1 からスイッチング素子 2-11 をオンし、液晶素子 1-11 の node Y に基準電位幹線 4-1 から +1 V を印可する。このため、液晶素子 1-11 には、表示信号線 3-1 の +5 V と基準電位幹線 4-1 の +1 V との電位差 = +4 V が発生する。すなわち、液晶素子 1-11 (等価的な電気容量) に電位差 = +4 V が書き込まれることに相当する。そして、走査線 5-1 から L レベルの信号が印可されて、スイッチング素子 2-11 がオフになった時刻 t_{1a} 以降、液晶素子 1-11 により、この電位差 = +4 V が次のフレーム L+1 まで保持される。また、時刻 $t_{0a} \sim t_{1a}$ の期間、2 行目の画素 104 に接続されているスイッチング素子 2-41 ~ 2-42 は、図 5 のようにオフ状態のため電位差は保持されたままである。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、スイッチング素子 2-12 がオンし、液晶素子 1-12 (等価的な電気容量) には、表示信号線 3-1 の +5 V と基準電位幹線 4-2 の 0 V との電位差 = +5 V が発生する。この結果、サブ画素 111 ~ 112 の輝度は、電位差の大きなサブ画素 112 の方がサブ画素 111 より輝度が高く表示される。このため、サブ画素 111 は暗く、サブ画素 112 は明るく表示される。

また、制御部 12 は、表示信号線 3-3 に表示信号線 3-1 と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素 103 のサブ画素 131 の液晶素子 1-31 (等価的な電気容量) には、サブ画素 111 と同様に電位差 = +4 V が発生する。また、サブ画素 132 の液晶素子 1-32 (等価的な電気容量) には、サブ画素 112 と同様に電位差 = +5 V が発生する。そのため、サブ画素 131 は暗く、サブ画素 132 は明るく表示される。

[0031] 次に、画素 102 のサブ画素 121 とサブ画素 122 との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、スイッチング素子 2-21 と 2-22 がオンする。このため、液晶素子 1-21 (等価的な電気容量) には、表示信号線 3-2 の -4 V と基準電位幹線 4-1 の +1 V との電位差 = -5 V が発生する。また、液晶素子 1-22 (等価的な電気容量) には、表示信号線

3-2の-4Vと基準電位幹線4-2の0Vとの電位差=-4Vが発生する。この結果、サブ画素121~122の輝度は、サブ画素122は暗く、サブ画素121は明るく表示される。

[0032] 次に、画素104のサブ画素141とサブ画素142との動作について説明する。時刻 t_{1a} ~ t_{2a} の期間、スイッチング素子2-41と2-42がオンする。このため、液晶素子1-41（等価的な電気容量）には、表示信号線3-1の+4Vと基準電位幹線4-2の0Vとの電位差=+4Vが発生する。また、液晶素子1-42（等価的な電気容量）には、表示信号線3-1の+4Vと基準電位幹線4-1の+1Vとの電位差=+3Vが発生する。この結果、サブ画素141~142の輝度は、サブ画素142は暗く、サブ画素141は明るく表示される。

また、時刻 t_{1a} ~ t_{2a} の期間、画素106のサブ画素161の液晶素子1-61（等価的な電気容量）には電位差=+4Vが発生する。また、サブ画素162の液晶素子1-62（等価的な電気容量）には電位差=+3Vが発生する。そのため、サブ画素162は暗く、サブ画素161は明るく表示される。

[0033] 次に、画素105のサブ画素151とサブ画素152との動作について説明する。時刻 t_{1a} ~ t_{2a} の期間、スイッチング素子2-51と2-52がオンする。このため、液晶素子1-51（等価的な電気容量）には、表示信号線3-2の-3Vと基準電位幹線4-2の0Vとの電位差=-3Vが発生する。また、液晶素子1-52（等価的な電気容量）には、表示信号線3-2の-3Vと基準電位幹線4-1の+1Vとの電位差=-4Vが発生する。この結果、サブ画素151~152の輝度は、サブ画素151は暗く、サブ画素152は明るく表示される。

[0034] 次に、L+1フレームの動作について図4と図5を用いて説明する。図5において、時刻 t_{0b} 以降が、L+1フレームのタイミングチャートである。制御部12が、垂直帰線期間、表示信号線3-1~3-3の電位の極性をLフレーム時とは逆極性に切り替える。

そして、制御部 12 は、基準電位幹線 4-1 の電位を +1 V から 0 V に切り替え、基準電位幹線 4-2 の電位を 0 V から +1 V に切り替える（図 5 の波形 3 および波形 4、時刻 t_{0b} ）。すなわち、制御部 12 は、電位の大きさを基準電位幹線 4-1 の電位が基準電位幹線 4-2 の電位よりも大である関係から基準電位幹線 4-2 の電位が基準電位幹線 4-1 の電位よりも大である関係に切り替える。また、この制御は、基準電位幹線 4-1 ~ 4-2 の電位をフレーム毎に切り替え、且つ、両者の電位をフレーム毎に交換することを意味する。なお、基準電位幹線 4-2 の電位を基準電位幹線 4-1 と逆位相に切り替えるとは、L フレーム目、基準電位幹線 4-1 の電位を +1 V、基準電位幹線 4-2 の電位を 0 V、L+1 フレーム目、基準電位幹線 4-1 の電位を 0 V、基準電位幹線 4-2 の電位を +1 V のようにフレーム毎に交互に電位を交換することである。

次に、制御部 12 は、走査線 5-1 を時刻 t_{0b} ~ t_{1b} の期間、H レベルに制御し、スイッチング素子 2-11 ~ 2-12、2-21 ~ 2-22、および 2-31 ~ 2-32 をオン状態にする。このため、制御部 12 は、表示信号線 3-1 から 1 行目の画素 101 に -4 V の信号を供給し、表示信号線 3-2 から 1 行目の画素 102 に +5 V の信号を供給する。さらに、制御部 12 は、走査線 5-2 を時刻 t_{1b} ~ t_{2b} の期間、H レベルに制御し、スイッチング素子 2-41 ~ 2-42、2-51 ~ 2-52、および 2-61 ~ 2-62 をオン状態にする。このため、制御部 12 は、表示信号線 3-1 から 2 行目の画素 104 に -3 V の信号を供給し、表示信号線 3-2 から 2 行目の画素 105 に +4 V の信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0035] 画素 101 のサブ画素 111 とサブ画素 112 との動作について説明する。時刻 t_{0b} ~ t_{1b} の期間、液晶素子 1-11 には、表示信号線 3-1 の -4 V と基準電位幹線 4-1 の 0 V との電位差 = -4 V が発生する。また、液晶素子 1-12 には、表示信号線 3-1 の -4 V と基準電位幹線 4-2 の +1 V との電位差 = -5 V が発生する。この結果、サブ画素 111 ~ 112

の輝度は、サブ画素 1 1 1 は暗く、サブ画素 1 1 2 は明るく表示される。

また、制御部 1 2 は、表示信号線 3 - 3 に表示信号線 3 - 1 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 1 0 3 のサブ画素 1 3 1 の液晶素子 1 - 3 1 には電位差 $= -4V$ が発生し、サブ画素 1 3 2 の液晶素子 1 - 3 2 には電位差 $= -5V$ が発生する。そのため、サブ画素 1 3 1 は暗く、サブ画素 1 3 2 は明るく表示される。

[0036] 次に、画素 1 0 2 のサブ画素 1 2 1 とサブ画素 1 2 2 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1 - 2 1 には、表示信号線 3 - 2 の $+5V$ と基準電位幹線 4 - 1 の $0V$ との電位差 $= +5V$ が発生する。また、液晶素子 1 - 2 2 には、表示信号線 3 - 2 の $+5V$ と基準電位幹線 4 - 2 の $+1V$ との電位差 $= +4V$ が発生する。この結果、サブ画素 1 2 1 $\sim$ 1 2 2 の輝度は、サブ画素 1 2 2 は暗く、サブ画素 1 2 1 は明るく表示される。

[0037] 次に、画素 1 0 4 のサブ画素 1 4 1 とサブ画素 1 4 2 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1 - 4 1 には、表示信号線 3 - 1 の $-3V$ と基準電位幹線 4 - 2 の $+1V$ との電位差 $= -4V$ が発生する。また、液晶素子 1 - 4 2 には、表示信号線 3 - 1 の $-3V$ と基準電位幹線 4 - 1 の $0V$ との電位差 $= -3V$ が発生する。この結果、サブ画素 1 4 1 $\sim$ 1 4 2 の輝度は、サブ画素 1 4 2 は暗く、サブ画素 1 4 1 は明るく表示される。

また、時刻 $t_{1b} \sim t_{2b}$ の期間、画素 1 0 6 のサブ画素 1 6 2 の液晶素子 1 - 6 2 には電位差 $= -4V$ が発生し、サブ画素 1 6 1 の液晶素子 1 - 6 1 には電位差 $= -3V$ が発生する。そのため、サブ画素 1 6 2 は暗く、サブ画素 1 6 1 は明るく表示される。

[0038] 次に、画素 1 0 5 のサブ画素 1 5 1 とサブ画素 1 5 2 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1 - 5 1 には、表示信号線 3 - 2 の $+4V$ と基準電位幹線 4 - 2 の $+1V$ との電位差 $= +3V$ が発生する。また、液晶素子 1 - 5 2 には、表示信号線 3 - 2 の $+4V$ と基準電位幹線

4-1の0Vとの電位差=+4Vが発生する。この結果、サブ画素151~152の輝度は、サブ画素151は暗く、サブ画素152は明るく表示される。

[0039] 図6は、第1実施形態を適用した第1基板10上のレイアウトの一例を説明する図である。図6に示すTFT部300において、領域A11と同じハッチングを付した領域は、第1電極（ゲート電極）を示している。また、領域A12と同じハッチングを付した領域は、第2電極（ソース電極、ドレイン電極）を示している。また、領域A13と同じハッチングを付した領域は、半導体層（シリコン層）を示している。また、領域A14と同じハッチングを付した領域は、第3電極（画素電極）を示している。また、領域A15で示した部分は、第1電極と第2電極のコンタクトを示している。また、領域A16で示した部分は、第2電極と第3電極のコンタクトを示している。

[0040] ここで、図6および後述する図13に図示したTFTの例として、現在一般的な液晶テレビに用いられているアモルファスシリコンTFTの断面図を図7に示す。このTFTは、ガラス基板500、ゲート電極501、ゲート絶縁膜502、アモルファスシリコン層503（図6及び図13の領域A13）、n⁺アモルファスシリコン層504、ソース電極505（図6及び図13の領域A12）／ドレイン電極506（図6及び図13の領域A13）、および保護膜507、平坦化膜508、画素電極509（図6及び図13の領域A14）が順に積層された構成である。図7において、画素電極509とドレイン電極506は、コンタクト領域510（図6及び図13の領域A16）において、電氣的に接続されている。

なお、ガラス基板500は、ステンレス基板などのフレキシブル基板でも良い。また、アモルファスシリコン層503は、ポリシリコン、微結晶シリコン、あるいはIGZO（インジウム亜鉛複合酸化物）に代表される透明アモルファス酸化物半導体を用いても良い。ただし、アモルファスシリコン層503として、透明アモルファス酸化物半導体を用いる場合は、n⁺アモルファスシリコン層は無くても良い。

[0041] 図6において、表示信号線3-1～3-3が接続されている透明電極13は対向する第2基板20上にある。そのため、第1基板10上には、基準電位幹線4-1～4-3と走査線5-1～5-2、スイッチング素子2、及び表示電極11とが形成されている。

図6において、各画素は、Subpixel1とSubpixel2とを備える。各サブ画素では、各スイッチング素子2のゲート端子は、走査線5-1または5-2に接続されている。また、サブ画素Subpixel1のスイッチング素子2のソース端子は、基準電位幹線4-1に接続されている。また、サブ画素Subpixel1のスイッチング素子2のドレイン端子は、表示電極11を介して液晶素子1の一方に接続されている。また、液晶素子1の他方は、透明電極13を介して表示信号線3に接続されている。また、サブ画素Subpixel2のスイッチング素子2のソース端子は、基準電位幹線4-2に接続されている。また、サブ画素Subpixel2のスイッチング素子2のドレイン端子は、表示電極11を介して液晶素子1の一方に接続されている。また、液晶素子1の他方は、透明電極13を介して表示信号線3に接続されている。

[0042] また、本実施形態では、基準電位幹線4-1～4-3の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、60Hz駆動、解像度Full-HD（1080本の走査線を有する）の表示装置では1/60/1080（秒）毎である。さらに、画素選択期間を1Hと定義すると、2kHz（kは1以上の整数）毎に電位の切り替えを行うようにしてもよい。

[0043] 以上のように、各々の画素の2つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、1フレームに1回のみしか各基準電圧幹線4-1～4-2の電位を変化する必要が無いため、低消費電力の表示装置を実現できる。

[0044] [第2実施形態]

第2実施形態は、1画素が2つのサブ画素から構成されている液晶表示装置の別の実施形態である。図8は、第2実施形態における2つのサブ画素（ $Sub-Pix1$ 、 $Sub-Pix2$ ）を備える画素（ $Pix(n-1)$ 、 $Pix(n)$ ）を有する液晶表示装置のLフレーム時の動作を説明する等価回路である。図9は、第2実施形態における2つのサブ画素（ $Sub-Pix1$ 、 $Sub-Pix2$ ）を備える画素（ $Pix(n-1)$ 、 $Pix(n)$ ）を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。図8のように回路構成は、第1実施形態と同じである。

[0045] 次に、Lフレーム（Lは1以上の自然数）時、画素101～106の各サブ画素の動作について図8を用いて説明する。

制御部12は、基準電位幹線4-1を+1Vに制御し、基準電位幹線4-2を0Vに制御する。次に、制御部12は、走査線5-1をHレベルに制御し、スイッチング素子2-11～2-12、2-21～2-22、および2-31～2-32をオン状態にする。制御部12は、表示信号線3-1から1行目の画素101に+5V（最大階調）の信号を供給する。また、表示信号線3-2から1行目の画素102に+4V（中間調）の信号を供給する。また、表示信号線3-3から1行目の画素103に+1V（最小階調）の信号を供給する。すなわち、最大階調を表示する信号電位である+5Vを中心とし、正極性側を+1V～+5V、負極性側を+5V～+9Vに割り振る。さらに基準電位幹線4-1には+5Vを中心に±4Vの電圧振幅を付加し、基準電位幹線4-2には+5Vを中心に±5Vの電圧振幅を付加する。

また、制御部12は、走査線5-2をHレベルに制御し、スイッチング素子2-41～2-42、2-51～2-52、および2-61～2-62をオン状態にする。そして、制御部12は、表示信号線3-1から2行目の画素104に+5V（最大階調）の信号を供給する。また、表示信号線3-2から2行目の画素105に+4V（中間調）の信号を供給する。また、表示信号線3-3から2行目の画素106に+1V（最小階調）の信号を供給する。なお、図8に示した表示信号線3-1～3-3の信号レベルは、動作の

一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0046] 画素101のサブ画素111とサブ画素112との動作について説明する。スイッチング素子2-11がオンの期間、液晶素子1-11には、表示信号線3-1の+5Vと基準電位幹線4-1の+1Vとの電位差=+4Vが発生する。また、スイッチング素子2-12がオンの期間、液晶素子1-12には、表示信号線3-1の+5Vと基準電位幹線4-2の+0Vとの電位差=+5Vが発生する。この結果、サブ画素111~112の輝度は、サブ画素111は暗く、サブ画素112は明るく表示される。

[0047] 次に、画素102のサブ画素121とサブ画素122との動作について説明する。スイッチング素子2-21がオンの期間、液晶素子1-21には、表示信号線3-2の+4Vと基準電位幹線4-1の+1Vとの電位差=+3Vが発生する。また、スイッチング素子2-22がオンの期間、液晶素子1-22には、表示信号線3-2の+4Vと基準電位幹線4-2の0Vとの電位差=+4Vが発生する。この結果、サブ画素121~122の輝度は、サブ画素121は暗く、サブ画素122は明るく表示される。

[0048] 次に、画素103のサブ画素131とサブ画素132との動作について説明する。スイッチング素子2-31がオンの期間、液晶素子1-31には、表示信号線3-3の+1Vと基準電位幹線4-1の+1Vとの電位差=0Vが発生する。また、スイッチング素子2-32がオンの期間、液晶素子1-32には、表示信号線3-3の+1Vと基準電位幹線4-2の0Vとの電位差=+1Vが発生する。この結果、サブ画素131~132の輝度は、サブ画素131は暗く、サブ画素132は明るく表示される。

[0049] 次に、画素104のサブ画素141とサブ画素142との動作について説明する。スイッチング素子2-41がオンの期間、液晶素子1-41には、表示信号線3-1の+5Vと基準電位幹線4-2の0Vとの電位差=+5Vが発生する。また、スイッチング素子2-42がオンの期間、液晶素子1-42には、表示信号線3-1の+5Vと基準電位幹線4-1の+1Vとの電

位差 $=+4\text{ V}$ が発生する。この結果、サブ画素 $141\sim142$ の輝度は、サブ画素 142 は暗く、サブ画素 141 は明るく表示される。

[0050] 次に、画素 105 のサブ画素 151 とサブ画素 152 との動作について説明する。スイッチング素子 $2-51$ がオンの期間、液晶素子 $1-51$ には、表示信号線 $3-2$ の $+4\text{ V}$ と基準電位幹線 $4-2$ の 0 V との電位差 $=+4\text{ V}$ が発生する。また、スイッチング素子 $2-52$ がオンの期間、液晶素子 $1-52$ には、表示信号線 $3-2$ の $+4\text{ V}$ と基準電位幹線 $4-1$ の $+1\text{ V}$ との電位差 $=+3\text{ V}$ が発生する。この結果、サブ画素 $151\sim152$ の輝度は、サブ画素 152 は暗く、サブ画素 151 は明るく表示される。

[0051] 次に、画素 106 のサブ画素 161 とサブ画素 162 との動作について説明する。スイッチング素子 $2-61$ がオンの期間、液晶素子 $1-61$ には、表示信号線 $3-3$ の $+1\text{ V}$ と基準電位幹線 $4-2$ の 0 V との電位差 $=+1\text{ V}$ が発生する。また、スイッチング素子 $2-62$ がオンの期間、液晶素子 $1-62$ には、表示信号線 $3-3$ の $+1\text{ V}$ と基準電位幹線 $4-1$ の $+1\text{ V}$ との電位差 $=0\text{ V}$ が発生する。この結果、サブ画素 $161\sim162$ の輝度は、サブ画素 162 は暗く、サブ画素 161 は明るく表示される。

[0052] 次に、 $L+1$ フレームの動作について図9を用いて説明する。制御部 12 は、基準電位幹線 $4-1$ を $+1\text{ V}$ から $+9\text{ V}$ に切り替え、基準電位幹線 $4-2$ を 0 V から $+10\text{ V}$ に切り替え、基準電位幹線 $4-3$ を $+1\text{ V}$ から $+9\text{ V}$ に切り替える。次に、制御部 12 は、走査線 $5-1$ をHレベルに制御し、スイッチング素子 $2-11\sim2-12$ 、 $2-21\sim2-22$ 、および $2-31\sim2-32$ をオン状態にする。また、制御部 12 は、表示信号線 $3-1$ から1行目の画素 101 に $+5\text{ V}$ （最大階調）の信号を供給する。また、表示信号線 $3-2$ から1行目の画素 102 に $+6\text{ V}$ （中間調）の信号を供給する。また、表示信号線 $3-3$ から1行目の画素 103 に $+9\text{ V}$ （最小階調）の信号を供給する。さらに、制御部 12 は、走査線 $5-2$ をHレベルに制御し、スイッチング素子 $2-41\sim2-42$ 、 $2-51\sim2-52$ 、およびスイッチング素子 $2-61\sim2-62$ をオン状態にする。さらに、制御部 12 は、

表示信号線 3-1 から 2 行目の 104 に +5 V（最大階調）の信号を供給する。また、表示信号線 3-2 から 2 行目の画素 104 に +6 V（中間調）の信号を供給する。また、表示信号線 3-3 から 2 行目の画素 106 に +9 V（最小階調）の信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0053] 画素 101 のサブ画素 111 とサブ画素 112 との動作について説明する。スイッチング素子 2-11 がオンの期間、液晶素子 1-11 には、表示信号線 3-1 の +5 V と基準電位幹線 4-1 の +9 V との電位差 = -4 V が発生する。また、スイッチング素子 2-12 がオンの期間、液晶素子 1-12 には、表示信号線 3-1 の +5 V と基準電位幹線 4-2 の +10 V との電位差 = -5 V が発生する。この結果、サブ画素 111 ~ 112 の輝度は、サブ画素 111 は暗く、サブ画素 112 は明るく表示される。

[0054] 次に、画素 102 のサブ画素 121 とサブ画素 122 との動作について説明する。スイッチング素子 2-21 がオンの期間、液晶素子 1-21 には、表示信号線 3-2 の +6 V と基準電位幹線 4-1 の +9 V との電位差 = -3 V が発生する。また、スイッチング素子 2-22 がオンの期間、液晶素子 1-22 には、表示信号線 3-2 の +6 V と基準電位幹線 4-2 の 10 V との電位差 = -4 V が発生する。この結果、サブ画素 121 ~ 122 の輝度は、サブ画素 121 は暗く、サブ画素 122 は明るく表示される。

[0055] 次に、画素 103 のサブ画素 131 とサブ画素 132 との動作について説明する。スイッチング素子 2-31 がオンの期間、液晶素子 1-31 には、表示信号線 3-3 の +9 V と基準電位幹線 4-1 の +9 V との電位差 = 0 V が発生する。また、スイッチング素子 2-32 がオンの期間、液晶素子 1-32 には、表示信号線 3-3 の +9 V と基準電位幹線 4-2 の 10 V との電位差 = -1 V が発生する。この結果、サブ画素 131 ~ 132 の輝度は、サブ画素 131 は暗く、サブ画素 132 は明るく表示される。

[0056] 次に、画素 104 のサブ画素 141 とサブ画素 142 との動作について説明する。スイッチング素子 2-41 がオンの期間、液晶素子 1-41 には、

表示信号線 3-1 の +5 V と基準電位幹線 4-2 の +10 V との電位差 = -5 V が発生する。また、スイッチング素子 2-4 2 がオンの期間、液晶素子 1-4 2 には、表示信号線 3-1 の +5 V と基準電位幹線 4-1 の +9 V との電位差 = -4 V が発生する。この結果、サブ画素 1 4 1 ~ 1 4 2 の輝度は、サブ画素 1 4 2 は暗く、サブ画素 1 4 1 は明るく表示される。

[0057] 次に、画素 1 0 5 のサブ画素 1 5 1 とサブ画素 1 5 2 との動作について説明する。スイッチング素子 2-5 1 がオンの期間、液晶素子 1-5 1 には、表示信号線 3-2 の +6 V と基準電位幹線 4-2 の +10 V との電位差 = -4 V が発生する。また、スイッチング素子 2-5 2 がオンの期間、液晶素子 1-5 2 には、表示信号線 3-2 の +6 V と基準電位幹線 4-1 の +9 V との電位差 = -3 V が発生する。この結果、サブ画素 1 5 1 ~ 1 5 2 の輝度は、サブ画素 1 5 2 は暗く、サブ画素 1 5 1 は明るく表示される。

[0058] 次に、画素 1 0 6 のサブ画素 1 6 1 とサブ画素 1 6 2 との動作について説明する。スイッチング素子 2-6 1 がオンの期間、液晶素子 1-6 1 には、表示信号線 3-3 の +9 V と基準電位幹線 4-2 の +10 V との電位差 = -1 V が発生する。また、スイッチング素子 2-6 2 がオンの期間、液晶素子 1-6 2 には、表示信号線 3-3 の +9 V と基準電位幹線 4-1 の +9 V との電位差 = 0 V が発生する。この結果、サブ画素 1 6 1 ~ 1 6 2 の輝度は、サブ画素 1 6 2 は暗く、サブ画素 1 6 1 は明るく表示される。

[0059] また、本実施形態では、基準電位幹線 4-1 ~ 4-3 の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、60 Hz 駆動、解像度 Full-HD (1080 本の走査線を有する) の表示装置では 1/60/1080 (秒) 毎である。さらに、画素選択期間を 1 H と定義すると、2 k H (k は 1 以上の整数) 毎に電位の切り替えを行うようにしてもよい。

[0060] 以上のように、1 つの画素の 2 つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、第 2 実施形態によれば、図

8と図9のように、明るい画素（2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が大きい方）と、暗い画素（2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が小さい方）の行方向の並びが、走査線5-1に対して平行に配置することができる。そのため、第1実施形態の効果に加えて、表示特性の向上を実現できる。

[0061] [第3実施形態]

第3実施形態は、1画素が2つのサブ画素から構成されている液晶表示装置の別の実施形態である。図10は、第3実施形態における2つのサブ画素（Sub-Pix1、Sub-Pix2）を備える画素（Pix（n-1）、Pix（n））を有する液晶表示装置のLフレーム時の動作を説明する等価回路である。図11は、第3実施形態における2つのサブ画素（Sub-Pix1、Sub-Pix2）を備える画素（Pix（n-1）、Pix（n））を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。図10のように、第3実施形態における液晶表示装置は、画素101～106を備える。各画素101～106は、さらに2つのサブ画素を備える。そして、画素101と画素102は行方向に隣接して配置されている。画素101は、基準電位幹線4-1から列方向に対してサブ画素111とサブ画素112との順に配置されている。画素102は、基準電位幹線（第1基準電位幹線）4-1から列方向に対してサブ画素121とサブ画素122との順に配置されている。また、行方向に隣接して配置されている画素104と105が、基準電位幹線（第2基準電位幹線）4-2に関して画素101および画素102と線対称に配置されている。

そして、画素104は、基準電位幹線4-1から列方向に対してサブ画素142とサブ画素141との順に配置されている。画素105は、基準電位幹線4-1から列方向に対してサブ画素152とサブ画素151との順に配置されている。画素103、106の構成についても同様である。

[0062] 画素101のサブ画素111とサブ画素112との構成は第1実施形態と同様である。

次に、画素 102 のサブ画素 121 とサブ画素 122 との構成を説明する。スイッチング素子 2-21 とスイッチング素子 2-22 のゲート端子は、共通の走査線 5-1 に接続されている。スイッチング素子 2-21 のソース端子は、基準電位幹線（第 1' 基準電位幹線）4-3 に接続されている。スイッチング素子 2-21 のドレイン端子は、表示電極 11 を介して液晶素子 1-21 の一方に接続されている。液晶素子 1-21 の他方は、透明電極 13 を介して表示信号線（第 2 表示信号線）3-2 に接続されている。また、スイッチング素子 2-22 のソース端子は、基準電位幹線 4-2 に接続されている。スイッチング素子 2-22 のドレイン端子は、表示電極 11 を介して液晶素子 1-22 の一方に接続されている。液晶素子 1-22 の他方は、透明電極 13 を介して表示信号線 3-2 に接続されている。

[0063] 画素 104 のサブ画素 141 とサブ画素 142 との構成は第 1 実施形態と同様である。

次に、画素 105 のサブ画素 151 とサブ画素 152 との構成を説明する。スイッチング素子 2-51 と 2-52 のゲート端子は、共通の走査線 5-2 に接続されている。スイッチング素子 2-52 のソース端子は、基準電位幹線 4-3 に接続されている。スイッチング素子 2-52 のドレイン端子は、表示電極 11 を介して液晶素子 1-52 の一方に接続されている。液晶素子 1-52 の他方は、透明電極 13 を介して表示信号線 3-2 に接続されている。また、スイッチング素子 2-51 のソース端子は、基準電位幹線 4-2 に接続されている。スイッチング素子 2-51 のドレイン端子は、表示電極 11 を介して液晶素子 1-51 の一方に接続されている。液晶素子 1-51 の他方は、透明電極 13 を介して表示信号線 3-2 に接続されている。画素 103、106 の構成についても同様である。

[0064] 次に、液晶表示装置の動作を、図 10 と図 12 を用いて説明する。図 12 は、第 3 実施形態における L フレーム時と L+1 フレーム時の液晶表示装置のタイミングチャートである。まず、L フレーム（L は 1 以上の自然数）時、画素 101 ~ 106 の各サブ画素の動作について説明する。

図 1 2 において、横軸は時間を示しており、縦軸は電位を示している。図 1 2 の波形 1 は、走査線 5 - 1 の電位の時間変化を示している。図 1 2 の波形 2 は、走査線 5 - 2 の電位の時間変化を示している。図 1 2 の波形 3 は、基準電位幹線 4 - 1 の電位の時間変化を示している。図 1 2 の波形 4 は、基準電位幹線 4 - 2 の電位の時間変化を示している。図 1 2 の波形 5 は、基準電位幹線 4 - 3 の電位の時間変化を示している。図 1 2 の波形 6 は、表示信号線 3 - 1 の電位の時間変化を示している。図 1 2 の波形 7 は、表示信号線 3 - 2 の電位の時間変化を示している。図 1 2 の波形 8 は、ノード X (node X) の電位の時間変化を示している。図 1 2 の波形 9 は、ノード Y (node Y) の電位の時間変化を示している。図 1 2 の波形 10 は、ノード X - ノード Y (node X - node Y) の電位 (Sub-pixel の印加電圧) の時間変化を示している。

[0065] 制御部 1 2 は、基準電位幹線 4 - 1 を +1 V に制御し、基準電位幹線 4 - 2 を 0 V に制御し、基準電位幹線 4 - 3 を -1 V に制御する (図 1 2 の波形 3 ~ 5、時刻 t_{0a})。すなわち、制御部 1 2 は、電位の大きさを基準電位幹線 4 - 1 の電位が基準電位幹線 4 - 2 の電位より大であり、且つ、基準電位幹線 4 - 2 の電位が基準電位幹線 4 - 3 の電位より大である関係に制御する。

次に、制御部 1 2 は、走査線 5 - 1 を時刻 $t_{0a} \sim t_{1a}$ の期間、H レベルに制御し、スイッチング素子 2 - 11 ~ 2 - 12、2 - 21 ~ 2 - 22、および 2 - 31 ~ 2 - 32 をオン状態にする。このため、制御部 1 2 は、表示信号線 3 - 1 から 1 行目の画素 101 に +5 V の信号を供給し、表示信号線 3 - 2 から 1 行目の画素 102 に -5 V の信号を供給する。また、各表示信号線 3 - 1 ~ 3 - 3 の信号レンジは、例えば、正極性側 +5 V ~ +1 V、負極性側 -5 V ~ -1 V である。さらに、制御部 1 2 は、走査線 5 - 2 を時刻 $t_{1b} \sim t_{2b}$ の期間、H レベルに制御し、スイッチング素子 2 - 41 ~ 2 - 42、2 - 51 ~ 2 - 52、および 2 - 61 ~ 2 - 62 をオン状態にする。このため、制御部 1 2 は、表示信号線 3 - 1 から 2 行目の画素 104 に

+4 Vの信号を供給し、表示信号線3-2から2行目の画素105に-4 Vの信号を供給する。なお、図12に示した表示信号線3-1と3-2の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0066] 画素101のサブ画素111とサブ画素112との動作は、第1実施形態のLフレーム時と同様である。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、サブ画素111の液晶素子1-11に電位差=+4 Vが発生し、サブ画素112の液晶素子1-12に電位差=+5 Vが発生する。そのため、電位差の大きなサブ画素112の方がサブ画素111より輝度が高く表示される。このため、サブ画素111は暗く、サブ画素112は明るく表示される。

また、制御部12は、表示信号線3-3に表示信号線3-1と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素103のサブ画素131の液晶素子1-31には電位差=+4 Vが発生し、サブ画素132の液晶素子1-32には電位差=+5 Vが発生する。そのため、サブ画素131は暗く、サブ画素132は明るく表示される。

[0067] 次に、画素102のサブ画素121とサブ画素122との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-21には、表示信号線3-2の-5 Vと基準電位幹線4-3の-1 Vとの電位差=-4 Vが発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-22には、表示信号線3-2の-5 Vと基準電位幹線4-2の0 Vとの電位差=-5 Vが発生する。この結果、サブ画素121~122の輝度は、サブ画素121は暗く、サブ画素122は明るく表示される。

[0068] 次に、画素104のサブ画素141とサブ画素142との動作は、第1実施形態のLフレーム時と同様である。このため、時刻 $t_{1b} \sim t_{2b}$ の期間、サブ画素141の液晶素子1-41に電位差=+4 Vが発生し、サブ画素142の液晶素子1-42に電位差=+3 Vが発生する。そのため、サブ画素141~142の輝度は、電位差に応じてサブ画素142は暗く、サブ画素141は明るく表示される。

また、時刻 $t_{1b} \sim t_{2b}$ の期間、画素 106 のサブ画素 162 の液晶素子 1-62 には電位差 $= +4V$ が発生し、サブ画素 161 の液晶素子 1-61 には電位差 $= +3V$ が発生する。そのため、サブ画素 162 は暗く、サブ画素 161 は明るく表示される。

[0069] 次に、画素 105 のサブ画素 151 とサブ画素 152 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-51（等価的な電気容量）には、表示信号線 3-2 の $-4V$ と基準電位幹線 4-2 の $0V$ との電位差 $= -4V$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-52（等価的な電気容量）には、表示信号線 3-2 の $-4V$ と基準電位幹線 4-3 の $-1V$ との電位差 $= -3V$ が発生する。この結果、サブ画素 151 ~ 152 の輝度は、電位差に応じてサブ画素 152 は暗く、サブ画素 151 は明るく表示される。

[0070] 次に、 $L+1$ フレームの動作について図 11 と図 12 を用いて説明する。図 12 において、時刻 t_{0b} 以降が、 $L+1$ フレームのタイミングチャートである。制御部 12 が、垂直帰線期間、表示信号線 3-1 ~ 3-3 の電位の極性を L フレーム時とは逆極性に切り替える。そして、制御部 12 は、基準電位幹線 4-1 を $+1V$ から $-1V$ に切り替え、基準電位幹線 4-3 を $-1V$ から $+1V$ に切り替える（図 12、時刻 t_{0b} ）。すなわち、制御部 12 は、基準電位幹線 4-1 と 4-2 の電位をフレーム毎に切り替え、且つ、両者の電位をフレーム毎に交換する。すなわち、制御部 12 は、電位の大きさを、基準電位幹線 4-1 の電位が基準電位幹線 4-2 の電位より大であり、且つ、基準電位幹線 4-2 の電位が基準電位幹線 4-3 の電位より大である関係から、基準電位幹線 4-3 の電位が基準電位幹線 4-2 の電位より大であり、且つ、基準電位幹線 4-2 の電位が基準電位幹線 4-1 の電位より大である関係に切り替える。

次に、制御部 12 は、走査線 5-1 を時刻 $t_{0b} \sim t_{1b}$ の期間、 H レベルに制御し、スイッチング素子 2-11 ~ 2-12、2-21 ~ 2-22、および 2-31 ~ 2-32 をオン状態にする。このため、制御部 12 は、表

示信号線 3-1 から 1 行目の画素 101 に -5 V の信号を供給し、表示信号線 3-2 から 1 行目の画素 102 に $+5\text{ V}$ の信号を供給する。さらに、制御部 12 は、走査線 5-2 を時刻 $t_{1b} \sim t_{2b}$ の期間、H レベルに制御し、スイッチング素子 2-41 $\sim$ 2-42、2-51 $\sim$ 2-52、および 2-61 $\sim$ 2-62 をオン状態にする。このため、制御部 12 は、表示信号線 3-1 から 2 行目の画素 104 に -4 V の信号を供給し、表示信号線 3-2 から 2 行目の画素 105 に $+4\text{ V}$ の信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0071] 画素 101 のサブ画素 111 とサブ画素 112 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-11 には、表示信号線 3-1 の -5 V と基準電位幹線 4-1 の -1 V との電位差 $= -4\text{ V}$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-12 には、表示信号線 3-1 の -5 V と基準電位幹線 4-2 の 0 V との電位差 $= -5\text{ V}$ が発生する。この結果、サブ画素 111 $\sim$ 112 の輝度は、電位差に応じてサブ画素 111 は暗く、サブ画素 112 は明るく表示される。

また、制御部 12 は、表示信号線 3-3 に表示信号線 3-1 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 103 のサブ画素 131 の液晶素子 1-31 には電位差 $= -4\text{ V}$ が発生し、サブ画素 132 の液晶素子 1-32 には電位差 $= -5\text{ V}$ が発生する。そのため、サブ画素 131 は暗く、サブ画素 132 は明るく表示される。

[0072] 次に、画素 102 のサブ画素 121 とサブ画素 122 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-21 には、表示信号線 3-2 の $+5\text{ V}$ と基準電位幹線 4-3 の $+1\text{ V}$ との電位差 $= +4\text{ V}$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-22 には、表示信号線 3-2 の $+5\text{ V}$ と基準電位幹線 4-2 の 0 V との電位差 $= +5\text{ V}$ が発生する。この結果、サブ画素 121 $\sim$ 122 の輝度は、電位差に応じてサブ画素 121 は暗く、サブ画素 122 は明るく表示される。

[0073] 次に、画素 104 のサブ画素 141 とサブ画素 142 との動作について説

明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-41 には、表示信号線 3-1 の $-4V$ と基準電位幹線 4-2 の $0V$ との電位差 $= -4V$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-42 には、表示信号線 3-1 の $-4V$ と基準電位幹線 4-1 の $-1V$ との電位差 $= -3V$ が発生する。この結果、サブ画素 141 $\sim$ 142 の輝度は、電位差に応じてサブ画素 142 は暗く、サブ画素 141 は明るく表示される。

また、時刻 $t_{1b} \sim t_{2b}$ の期間、画素 106 のサブ画素 162 の液晶素子 1-62 には電位差 $= -4V$ が発生し、サブ画素 161 の液晶素子 1-61 には電位差 $= -3V$ が発生する。そのため、サブ画素 162 は暗く、サブ画素 161 は明るく表示される。

[0074] 次に、画素 105 のサブ画素 151 とサブ画素 152 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-51 には、表示信号線 3-2 の $+4V$ と基準電位幹線 4-2 の $0V$ との電位差 $= +4V$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-52 には、表示信号線 3-2 の $+4V$ と基準電位幹線 4-3 の $+1V$ との電位差 $= +3V$ が発生する。この結果、サブ画素 151 $\sim$ 152 の輝度は、電位差に応じてサブ画素 152 は暗く、サブ画素 151 は明るく表示される。

[0075] 図 13 は、第 3 実施形態を適用した第 1 基板 10 上のレイアウトの一例を説明する図である。図 13 に示す TFT 部 300 において、領域 A11 と同じハッチングを付した領域は、第 1 電極（ゲート電極）を示している。また、領域 A12 と同じハッチングを付した領域は、第 2 電極（ソース電極、ドレイン電極）を示している。また、領域 A13 と同じハッチングを付した領域は、半導体層（シリコン層）を示している。また、領域 A14 と同じハッチングを付した領域は、第 3 電極（画素電極）を示している。また、領域 A15 で示した部分は、第 1 電極と第 2 電極のコンタクトを示している。また、領域 A16 で示した部分は、第 2 電極と第 3 電極のコンタクトを示している。

[0076] 図 13 において、表示信号線 3-1 $\sim$ 3-3 が接続されている透明電極 1

3は対向する第2基板20上にある。そのため、第1基板10上には、基準電位幹線4-1~4-3と走査線5-1~5-2、スイッチング素子2、及び表示電極11とが形成されている。

図13において、各画素は、Subpixel1とSubpixel2とを備える。各サブ画素は、各スイッチング素子2のゲート端子は、走査線5-1または5-2に接続されている。サブ画素Subpixel1のスイッチング素子2のソース端子は、基準電位幹線4-1または基準電位幹線4-3に接続されている。サブ画素Subpixel1のスイッチング素子2のドレイン端子は、表示電極11を介して液晶素子1の一方に接続されている。液晶素子1の他方は、透明電極13を介して表示信号線3に接続されている。また、サブ画素Subpixel2のスイッチング素子2のソース端子は、基準電位幹線4-2に接続されている。サブ画素Subpixel2のスイッチング素子2のドレイン端子は、表示電極11を介して液晶素子1の一方に接続され、液晶素子1の他方は、透明電極13を介して表示信号線3に接続されている。

[0077] また、本実施形態では、基準電位幹線4-1~4-3の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、60Hz駆動、解像度Full-HD(1080本の走査線を有する)の表示装置では1/60/1080(秒)毎である。さらに、画素選択期間を1Hと定義すると、2kHz(kは1以上の整数)毎に電位の切り替えを行うようにしてもよい。

[0078] 以上のように、1つの画素の2つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、第3実施形態によれば、図10と図11のように、明るい画素(2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が大きい方)と、暗い画素(2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が小さい方)の行方向の並びが、走査線5-1に対して平行に配置することができる。そのため、

第2実施形態と同様に、表示特性の向上を実現できる。また、1フレームに1回のみしか基準電圧幹線4-1と4-3の電位を変化する必要が無いため、低消費電力の表示装置を実現できる。

[0079] [第4実施形態]

第4実施形態は、1画素が2つのサブ画素から構成されている液晶表示装置の別の実施形態である。図14は、第4実施形態における2つのサブ画素（Sub-Pix1、Sub-Pix2）を備える画素（Pix（n-1）、Pix（n））を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。なお、第4実施形態の構成は第1実施形態と同じであり、Lフレーム時の動作は、図3の第1実施形態のLフレームと同じである。

[0080] 次に、液晶表示装置のL+1フレームの動作を、図14と図15を用いて説明する。図15は、第4実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。図15において、時刻t0以降が、L+1フレームのタイミングチャートである。

図15において、横軸は時間を示しており、縦軸は電位を示している。図15の波形1は、走査線5-1の電位の時間変化を示している。図15の波形2は、走査線5-2の電位の時間変化を示している。図15の波形3は、基準電位幹線4-1の電位の時間変化を示している。図15の波形4は、基準電位幹線4-2の電位の時間変化を示している。図15の波形5は、表示信号線3-1の電位の時間変化を示している。図15の波形6は、表示信号線3-2の電位の時間変化を示している。図15の波形7は、ノードX（node X）の電位の時間変化を示している。図15の波形8は、ノードY（node Y）の電位の時間変化を示している。図15の波形9は、ノードX-ノードY（node X-node Y）の電位（Sub-pix1の印加電圧）の時間変化を示している。図15の波形10は、sub-pix2の液晶印加電圧の時間変化を示している。

[0081] 制御部12が、垂直帰線期間、表示信号線3-1～3-3の電位の極性をLフレーム時とは逆極性に切り替える。次に、制御部12は、走査線5-1

を時刻 $t_{0b} \sim t_{1b}$ の期間、Hレベルに制御し、スイッチング素子 $2-11 \sim 2-12$ 、 $2-21 \sim 2-22$ 、および $2-31 \sim 2-32$ をオン状態にする。このため、制御部 12 は、表示信号線 3-1 から 1 行目の画素 101 に $-4V$ の信号を供給し、表示信号線 3-2 から 1 行目の画素 102 に $+5V$ の信号を供給する。また、各表示信号線 3-11 $\sim$ 3-13 のレンジは、例えば正極性側 $+5V \sim +1V$ 、負極性側 $-5V \sim -1V$ である。さらに、制御部 12 は、走査線 5-2 を時刻 $t_{1b} \sim t_{2b}$ の期間、Hレベルに制御し、スイッチング素子 $2-41 \sim 2-42$ 、 $2-51 \sim 2-52$ 、および $2-61 \sim 2-62$ をオン状態にする。このため、制御部 12 は、表示信号線 3-1 から 2 行目の画素 104 に $-3V$ の信号を供給し、表示信号線 3-2 から 2 行目の画素 105 に $+4V$ の信号を供給する。

なお、図 15 に示した表示信号線 3-1 と表示信号線 3-2 の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0082] 画素 101 のサブ画素 111 とサブ画素 112 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-11 には、表示信号線 3-1 の $-4V$ と基準電位幹線 4-1 の $+1V$ との電位差 $= -5V$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-12 には、表示信号線 3-1 の $-4V$ と基準電位幹線 4-2 の $0V$ との電位差 $= -4V$ が発生する。この結果、サブ画素 111 $\sim$ 112 の輝度は、電位差に応じてサブ画素 112 は暗く、サブ画素 111 は明るく表示される。

また、制御部 12 は、表示信号線 3-3 に表示信号線 3-1 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 103 のサブ画素 131 の液晶素子 1-31 には電位差 $= -5V$ が発生し、サブ画素 132 の液晶素子 1-32 には電位差 $= -4V$ が発生する。そのため、サブ画素 132 は暗く、サブ画素 131 は明るく表示される。

[0083] 次に、画素 102 のサブ画素 121 とサブ画素 122 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-21 には、表示信号線 3

−2の+5Vと基準電位幹線4−1の+1Vとの電位差=+4Vが発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子1−22には、表示信号線3−2の+5Vと基準電位幹線4−2の0Vとの電位差=+5Vが発生する。この結果、サブ画素121~122の輝度は、電位差に応じてサブ画素121は暗く、サブ画素122は明るく表示される。

[0084] 次に、画素104のサブ画素141とサブ画素142との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1−41には、表示信号線3−1の−3Vと基準電位幹線4−2の0Vとの電位差=−3Vが発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1−42には、表示信号線3−1の−3Vと基準電位幹線4−1の+1Vとの電位差=−4Vが発生する。この結果、サブ画素141~142の輝度は、電位差に応じてサブ画素141は暗く、サブ画素142は明るく表示される。

また、時刻 $t_{1b} \sim t_{2b}$ の期間、画素106のサブ画素161の液晶素子1−61には電位差=−3Vが発生し、サブ画素162の液晶素子1−62には電位差=−4Vが発生する。そのため、サブ画素162は暗く、サブ画素161は明るく表示される。

[0085] 次に、画素105のサブ画素151とサブ画素152との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1−51には、表示信号線3−2の+4Vと基準電位幹線4−2の0Vとの電位差=+4Vが発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1−52には、表示信号線3−2の+4Vと基準電位幹線4−1の+1Vとの電位差=+3Vが発生する。この結果、サブ画素151~152の輝度は、電位差に応じてサブ画素152は暗く、サブ画素151は明るく表示される。

[0086] 以上のように、1つの画素の2つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、各基準電位幹線4−1~4−2の電位をフレーム毎に切り替えないので常に一定(DC)電位に設定できるため、液晶表示装置の大幅な消費電力削減を実現できる。

[0087] [第5実施形態]

第5実施形態における液晶表示装置は、1画素（ $P_{ix}(n-1)$ 、 $P_{ix}(n)$ ）が3つのサブ画素（ $Sub-P_{ix1}$ 、 $Sub-P_{ix2}$ 、 $Sub-P_{ix3}$ ）から構成されている液晶表示装置の実施形態である。図16は、第5実施形態における3つのサブ画素を備える液晶表示装置のLフレーム時の動作を説明する等価回路である。図17は、第5実施形態における3つのサブ画素（ $Sub-P_{ix1}$ 、 $Sub-P_{ix2}$ 、 $Sub-P_{ix3}$ ）を備える画素（ $P_{ix}(n-1)$ 、 $P_{ix}(n)$ ）を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。図16のように、第5実施形態における液晶表示装置は、画素201～206を備える。各画素201～206は、それぞれ3つのサブ画素を備える。そして、画素201と画素202は行方向に隣接して配置されている。画素201は、列方向に対してサブ画素211とサブ画素212とサブ画素213の順に配置されている。画素202は、列方向に対してサブ画素221とサブ画素222とサブ画素223の順に配置されている。また、行方向に隣接して配置されている画素204と205が、基準電位幹線4-12に関して画素201および画素202と線対称に配置されている。そして、画素204は、列方向に対してサブ画素243とサブ画素242とサブ画素241の順に配置されている。画素205は、列方向に対してサブ画素253とサブ画素252とサブ画素251の順に配置されている。画素203と206の構成についても同様である。

[0088] まず、画素201のサブ画素211とサブ画素212とサブ画素213の構成を説明する。スイッチング素子2-211とスイッチング素子2-212およびスイッチング素子2-213とのゲート端子は、共通の走査線5-11に接続されている。スイッチング素子2-211のソース端子は、基準電位幹線4-11に接続されている。スイッチング素子2-211のドレイン端子は、表示電極11を介して液晶素子1-211の一方に接続されている。液晶素子1-211の他方は、透明電極13を介して表示信号線（第1

表示信号線) 3-11に接続されている。また、スイッチング素子2-212のソース端子は、基準電位幹線4-12に接続されている。スイッチング素子2-212のドレイン端子は、表示電極11を介して液晶素子1-212の一方に接続されている。液晶素子1-212の他方は、透明電極13を介して表示信号線3-11に接続されている。さらに、スイッチング素子2-213のソース端子は、基準電位幹線4-13に接続されている。スイッチング素子2-113のドレイン端子は、表示電極11を介して液晶素子1-213の一方に接続されている。液晶素子1-213の他方は、透明電極13を介して表示信号線3-11に接続されている。

[0089] 次に、画素202のサブ画素221とサブ画素222およびサブ画素223との構成を説明する。スイッチング素子2-221とスイッチング素子2-222およびスイッチング素子2-223とのゲート端子は、共通の走査線5-11に接続されている。スイッチング素子2-221のソース端子は、基準電位幹線4-11に接続されている。スイッチング素子2-221のドレイン端子は、表示電極11を介して液晶素子1-221の一方に接続されている。液晶素子1-221の他方は、透明電極13を介して表示信号線(第2表示信号線)3-12に接続されている。また、スイッチング素子2-222のソース端子は、基準電位幹線4-12に接続されている。スイッチング素子2-222のドレイン端子は、表示電極11を介して液晶素子1-222の一方に接続されている。液晶素子1-222の他方は、透明電極13を介して表示信号線3-12に接続されている。さらに、スイッチング素子2-223のソース端子は、基準電位幹線4-13に接続されている。スイッチング素子2-123のドレイン端子は、表示電極11を介して液晶素子1-223の一方に接続されている。液晶素子1-223の他方は、透明電極13を介して表示信号線3-12に接続されている。

[0090] 次に、画素204のサブ画素241とサブ画素242とサブ画素243の構成を説明する。スイッチング素子2-241と2-242および2-243とのゲート端子は、共通の走査線5-12に接続されている。スイッチン

グ素子 2-241 のソース端子は、基準電位幹線 4-13 に接続されている。スイッチング素子 2-241 のドレイン端子は、表示電極 11 を介して液晶素子 1-241 の一方に接続されている。液晶素子 1-241 の他方は、透明電極 13 を介して表示信号線 3-11 に接続されている。また、スイッチング素子 2-242 のソース端子は、基準電位幹線 4-12 に接続されている。スイッチング素子 2-242 のドレイン端子は、表示電極 11 を介して液晶素子 1-242 の一方に接続されている。液晶素子 1-242 の他方は、透明電極 13 を介して表示信号線 3-11 に接続されている。さらに、スイッチング素子 2-243 のソース端子は、基準電位幹線 4-11 に接続されている。スイッチング素子 2-243 のドレイン端子は、表示電極 11 を介して液晶素子 1-243 の一方に接続されている。液晶素子 1-243 の他方は、透明電極 13 を介して表示信号線 3-11 に接続されている。

[0091] 次に、画素 205 のサブ画素 251 とサブ画素 252 とサブ画素 253 の構成を説明する。スイッチング素子 2-251 とスイッチング素子 2-252 およびスイッチング素子 2-253 とのゲート端子は、共通の走査線 5-12 に接続されている。スイッチング素子 2-251 のソース端子は、基準電位幹線 4-13 に接続されている。スイッチング素子 2-251 のドレイン端子は、表示電極 11 を介して液晶素子 1-251 の一方に接続されている。液晶素子 1-251 の他方は、透明電極 13 を介して表示信号線 3-12 に接続されている。また、スイッチング素子 2-252 のソース端子は、基準電位幹線 4-12 に接続されている。スイッチング素子 2-252 のドレイン端子は、表示電極 11 を介して液晶素子 1-252 の一方に接続されている。液晶素子 1-252 の他方は、透明電極 13 を介して表示信号線 3-12 に接続されている。さらに、スイッチング素子 2-253 のソース端子は、基準電位幹線 4-11 に接続されている。スイッチング素子 2-253 のドレイン端子は、表示電極 11 を介して液晶素子 1-253 の一方に接続されている。液晶素子 1-253 の他方は、透明電極 13 を介して表示信号線 3-12 に接続されている。画素 203 と 206 の構成についても同様

である。

[0092] 次に、液晶表示装置の動作を、図 16 と図 18 を用いて説明する。図 18 は、第 5 実施形態における L フレーム時と L + 1 フレーム時の液晶表示装置のタイミングチャートである。

まず、L フレーム（L は 1 以上の自然数）時、画素 201 ~ 206 の各サブ画素の動作について説明する。制御部 12 は、基準電位幹線 4-11 を +2 V に制御し、基準電位幹線 4-12 を +1 V に制御し、基準電位幹線 4-13 を 0 V に制御する（図 18、時刻 t0a）。すなわち、制御部 12 は、電位の大きさを、基準電位幹線 4-11 の電位が基準電位幹線 4-12 の電位より大きく、且つ、基準電位幹線 4-12 の電位が基準電位幹線 4-13 の電位より大きい関係（基準電位幹線 4-11 > 基準電位幹線 4-12 > 基準電位幹線 4-13）に制御する。

次に、制御部 12 は、走査線 5-11 を時刻 t0a ~ t1a の期間、H レベルに制御し、スイッチング素子 2-211 ~ 2-213、2-221 ~ 2-223、および、2-231 ~ 2-233 をオン状態にする。このため、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 から、1 行目の画素 201 と画素 203 とに +5 V の信号を供給し、表示信号線 3-2 から 1 行目の画素 202 に -3 V の信号を供給する。また、各表示信号線 3-11 ~ 3-13 のレンジは、例えば正極性側 +5 V ~ +1 V、負極性側 -5 V ~ -1 V である。さらに、制御部 12 は、走査線 5-12 を時刻 t1a ~ t2a の期間、H レベルに制御し、スイッチング素子 2-241 ~ 2-243、2-251 ~ 2-253、および 2-261 ~ 2-263 をオン状態にする。このため、制御部 12 は、表示信号線 3-11 と 3-13 から、2 行目の画素 204 と画素 206 とに +4 V の信号を供給し、表示信号線 3-2 から 2 行目の画素 205 に -2 V の信号を供給する。なお、図 18 に示した表示信号線 3-1 と 3-2 の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0093] 画素 201 のサブ画素 211～サブ画素 213 との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-211（等価的な電気容量）には、表示信号線 3-11 の +5V と基準電位幹線 4-11 の +2V との電位差 = +3V が発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-212（等価的な電気容量）には、表示信号線 3-11 の +5V と基準電位幹線 4-12 の +1V との電位差 = +4V が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-213（等価的な電気容量）には、表示信号線 3-11 の +5V と基準電位幹線 4-13 の 0V との電位差 = +5V が発生する。この結果、サブ画素 211～213 の輝度は、電位差に応じてサブ画素 213 がサブ画素 212 より輝度が高く、且つ、サブ画素 212 がサブ画素 211 より輝度が高い。なお、図 16 と図 17 とにおいて、記号 a、b、c は輝度の順を表す。a が b より輝度が高く、且つ、b が c より輝度が高い（ $a > b > c$ ）。

また、制御部 12 は、表示信号線 3-13 に表示信号線 3-11 と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素 203 のサブ画素 231 の液晶素子 1-231（等価的な電気容量）には電位差 = +3V が発生する。また、サブ画素 232 の液晶素子 1-232（等価的な電気容量）には電位差 = +4V が発生する。また、サブ画素 233 の液晶素子 1-233（等価的な電気容量）には電位差 = +5V が発生する。このため、サブ画素 231～233 の輝度は、電位差に応じてサブ画素 233 がサブ画素 232 より輝度が高く、且つ、サブ画素 232 がサブ画素 231 より輝度が高い。

[0094] 次に、画素 202 のサブ画素 221～サブ画素 223 との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-221（等価的な電気容量）には、表示信号線 3-12 の -3V と基準電位幹線 4-11 の +2V との電位差 = -5V が発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-222（等価的な電気容量）には、表示信号線 3-12 の -3V と基準電位幹線 4-12 の +1V との電位差 = -4V が発生する。さらに、時刻 t

0 a ~ t 1 a の期間、液晶素子 1-2 2 3（等価的な電気容量）には、表示信号線 3-1 2 の -3 V と基準電位幹線 4-1 3 の 0 V との電位差 = -3 V が発生する。この結果、サブ画素 2 2 1 ~ 2 2 3 の輝度は、電位差に応じてサブ画素 2 2 1 がサブ画素 2 2 2 より輝度が高く、且つ、サブ画素 2 2 2 がサブ画素 2 2 3 より輝度が高い。

[0095] 次に、画素 2 0 4 のサブ画素 2 4 1 ~ サブ画素 2 4 3 との動作について説明する。時刻 t 1 a ~ t 2 a の期間、液晶素子 1-2 4 1（等価的な電気容量）には、表示信号線 3-1 1 の +4 V と基準電位幹線 4-1 3 の 0 V との電位差 = +4 V が発生する。また、時刻 t 1 a ~ t 2 a の期間、液晶素子 1-2 4 2（等価的な電気容量）には、表示信号線 3-1 1 の +4 V と基準電位幹線 4-1 2 の +1 V との電位差 = +3 V が発生する。さらに、時刻 t 1 a ~ t 2 a の期間、液晶素子 1-2 4 3（等価的な電気容量）には、表示信号線 3-1 1 の +4 V と基準電位幹線 4-1 1 の +2 V との電位差 = +2 V が発生する。この結果、サブ画素 2 4 1 ~ 2 4 3 の輝度は、電位差に応じてサブ画素 2 4 1 がサブ画素 2 4 2 より輝度が高く、且つ、サブ画素 2 4 2 がサブ画素 2 4 3 より輝度が高い。

また、制御部 1 2 は、表示信号線 3-1 3 に表示信号線 3-1 1 と同じ極性の表示信号を供給する。このため、時刻 t 1 a ~ t 2 a の期間、画素 2 0 6 のサブ画素 2 6 1 の液晶素子 1-2 6 1（等価的な電気容量）には電位差 = +4 V が発生する。また、サブ画素 2 6 2 の液晶素子 1-2 6 2（等価的な電気容量）には電位差 = +3 V が発生する。また、サブ画素 2 6 3 の液晶素子 1-2 6 3（等価的な電気容量）には電位差 = +2 V が発生する。このため、サブ画素 2 6 1 ~ 2 6 3 の輝度は、電位差に応じてサブ画素 2 6 1 がサブ画素 2 6 2 より輝度が高く、且つ、サブ画素 2 6 2 がサブ画素 2 6 3 より輝度が高い。

[0096] 次に、画素 2 0 5 のサブ画素 2 5 1 ~ サブ画素 2 5 3 との動作について説明する。時刻 t 1 a ~ t 2 a の期間、液晶素子 1-2 5 1（等価的な電気容量）には、表示信号線 3-1 2 の -2 V と基準電位幹線 4-1 3 の 0 V との

電位差 $=-2\text{ V}$ が発生する。また、時刻 $t_{1a} \sim t_{2a}$ の期間、液晶素子 $1-252$ （等価的な電気容量）には、表示信号線 $3-12$ の -2 V と基準電位幹線 $4-12$ の $+1\text{ V}$ との電位差 $=-3\text{ V}$ が発生する。さらに、時刻 $t_{1a} \sim t_{2a}$ の期間、液晶素子 $1-253$ （等価的な電気容量）には、表示信号線 $3-12$ の -2 V と基準電位幹線 $4-11$ の $+2\text{ V}$ との電位差 $=-4\text{ V}$ が発生する。この結果、サブ画素 $251 \sim 253$ の輝度は、電位差に応じてサブ画素 253 がサブ画素 252 より輝度が高く、且つ、サブ画素 252 がサブ画素 251 より輝度が高い。

[0097] 次に、 $L+1$ フレームの動作について図 17 と図 18 を用いて説明する。図 18 において、時刻 t_{0b} 以降が、 $L+1$ フレームのタイミングチャートである。

図 18 において、横軸は時間を示しており、縦軸は電位を示している。図 18 の波形 1 は、走査線 $5-11$ の電位の時間変化を示している。図 18 の波形 2 は、走査線 $5-12$ の電位の時間変化を示している。図 18 の波形 3 は、基準電位幹線 $4-11$ の電位の時間変化を示している。図 18 の波形 4 は、基準電位幹線 $4-12$ の電位の時間変化を示している。図 18 の波形 5 は、基準電位幹線 $4-13$ の電位の時間変化を示している。図 18 の波形 6 は、表示信号線 $3-11$ の電位の時間変化を示している。図 18 の波形 7 は、表示信号線 $3-12$ の電位の時間変化を示している。図 18 の波形 8 は、ノード X （ $\text{node } X$ ）の電位の時間変化を示している。図 18 の波形 9 は、ノード Y （ $\text{node } Y$ ）の電位の時間変化を示している。図 18 の波形 10 は、ノード X －ノード Y （ $\text{node } X - \text{node } Y$ ）の電位（ Sub-pixel の印加電圧）の時間変化を示している。図 18 の波形 11 は、 $\text{sub-pixel } 2$ の液晶印加電圧の時間変化を示している。図 18 の波形 12 は、 $\text{sub-pixel } 3$ の液晶印加電圧の時間変化を示している。

[0098] 制御部 12 が、垂直帰線期間、表示信号線 $3-11 \sim 3-13$ の電位の極性を L フレーム時とは逆極性に切り替える。さらに、制御部 12 は、基準電位幹線 $4-11$ の電位を $+2\text{ V}$ から 0 V に切り替え、基準電位幹線 $4-13$

の電位を0 Vから+2 Vに切り替える。すなわち、制御部12は、電位の大きさを、基準電位幹線4-11の電位が基準電位幹線4-12より大であり、且つ、基準電位幹線4-12の電位が基準電位幹線4-13より大である関係から、基準電位幹線4-13の電位が基準電位幹線4-12より大であり、且つ、基準電位幹線4-12の電位が基準電位幹線4-11より大である関係に切り替える。

次に、制御部12は、走査線5-11を時刻 t_{0b} ~ t_{1b} の期間、Hレベルに制御し、スイッチング素子2-211~2-213、2-221~2-223、および2-231~2-233をオン状態にする。このため、制御部12は、表示信号線3-11と3-13から1行目の画素201と画素203とに-3 Vの信号を供給し、表示信号線3-12から1行目の画素202に+5 Vの信号を供給する。さらに、制御部12は、走査線5-12を時刻 t_{1b} ~ t_{2b} の期間、Hレベルに制御し、スイッチング素子2-241~2-243、2-251~2-253、および2-261~2-263をオン状態にする。このため、制御部12は、表示信号線3-11と表示信号線3-13から2行目の画素204と画素206とに-2 Vの信号を供給し、表示信号線3-12から2行目の画素205に+4 Vの信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0099] 画素201のサブ画素211~サブ画素213との動作について説明する。時刻 t_{0b} ~ t_{1b} の期間、液晶素子1-211には、表示信号線3-11の-3 Vと基準電位幹線4-11の0 Vとの電位差=-3 Vが発生する。また、時刻 t_{0b} ~ t_{1b} の期間、液晶素子1-212には、表示信号線3-11の-3 Vと基準電位幹線4-12の+1 Vとの電位差=-4 Vが発生する。さらに、時刻 t_{0b} ~ t_{1b} の期間、液晶素子1-213には、表示信号線3-11の-3 Vと基準電位幹線4-13の+2 Vとの電位差=-5 Vが発生する。この結果、サブ画素211~213の輝度は、電位差に応じてサブ画素213がサブ画素212より輝度が高く、且つ、サブ画素212

がサブ画素 2 1 1 より輝度が高い。

また、制御部 1 2 は、表示信号線 3 - 1 3 に表示信号線 3 - 1 1 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 2 0 3 のサブ画素 2 3 1 の液晶素子 1 - 2 3 1 には電位差 $= -3 \text{ V}$ が発生する。また、サブ画素 2 3 2 の液晶素子 1 - 2 3 2 には電位差 $= -4 \text{ V}$ が発生する。また、サブ画素 2 3 2 の液晶素子 1 - 2 3 3 には電位差 $= -5 \text{ V}$ が発生する。このため、サブ画素 2 3 1 ~ 2 3 3 の輝度は、輝度は電位差に応じてサブ画素 2 3 3 がサブ画素 2 3 2 より輝度が高く、且つ、サブ画素 2 3 2 がサブ画素 2 3 1 より輝度が高い。

[0100] 次に、画素 2 0 2 のサブ画素 2 2 1 ~ サブ画素 2 2 3 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1 - 2 2 1 には、表示信号線 3 - 1 2 の $+5 \text{ V}$ と基準電位幹線 4 - 1 1 の 0 V との電位差 $= +5 \text{ V}$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1 - 2 2 2 には、表示信号線 3 - 1 2 の $+5 \text{ V}$ と基準電位幹線 4 - 1 2 の $+1 \text{ V}$ との電位差 $= +4 \text{ V}$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1 - 2 2 3 には、表示信号線 3 - 1 2 の $+5 \text{ V}$ と基準電位幹線 4 - 1 3 の $+2 \text{ V}$ との電位差 $= +3 \text{ V}$ が発生する。この結果、サブ画素 2 2 1 ~ 2 2 3 の輝度は、電位差に応じてサブ画素 2 2 1 がサブ画素 2 2 2 より輝度が高く、且つ、サブ画素 2 2 2 がサブ画素 2 2 3 より輝度が高い。

[0101] 次に、画素 2 0 4 のサブ画素 2 4 1 ~ サブ画素 2 4 3 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1 - 2 4 1 には、表示信号線 3 - 1 1 の -2 V と基準電位幹線 4 - 1 3 の $+2 \text{ V}$ との電位差 $= -4 \text{ V}$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1 - 2 4 2 には、表示信号線 3 - 1 1 の -2 V と基準電位幹線 4 - 1 2 の $+1 \text{ V}$ との電位差 $= -3 \text{ V}$ が発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1 - 2 4 3 には、表示信号線 3 - 1 1 の -2 V と基準電位幹線 4 - 1 1 の 0 V との電位差 $= -2 \text{ V}$ が発生する。この結果、サブ画素 2 4 1 ~ 2 4 3 の輝度は、電位差に応じてサブ画素 2 4 1 がサブ画素 2 4 2 より輝度が高く、且つ、サブ画素

242がサブ画素243より輝度が高い。

また、制御部12は、表示信号線3-13に表示信号線3-11と同じ極性の表示信号を供給する。このため、時刻 $t_{1b} \sim t_{2b}$ の期間、画素206のサブ画素261の液晶素子1-261には電位差 $= -4V$ が発生する。また、サブ画素262の液晶素子1-262には電位差 $= -3V$ が発生する。また、サブ画素262の液晶素子1-263には電位差 $= -2V$ が発生する。このため、サブ画素261~263の輝度は、輝度は電位差に応じてサブ画素261がサブ画素262より輝度が高く、且つ、サブ画素262がサブ画素263より輝度が高い。

[0102] 次に、画素205のサブ画素251~サブ画素253との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1-251には、表示信号線3-12の $+4V$ と基準電位幹線4-13の $+2V$ との電位差 $= +2V$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1-252には、表示信号線3-12の $+4V$ と基準電位幹線4-12の $+1V$ との電位差 $= +3V$ が発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子1-253には、表示信号線3-12の $+4V$ と基準電位幹線4-11の $0V$ との電位差 $= +4V$ が発生する。この結果、サブ画素251~253の輝度は、電位差に応じてサブ画素253がサブ画素252より輝度が高く、且つ、サブ画素252がサブ画素251より輝度が高い。

[0103] また、本実施形態では、基準電位幹線4-11~4-13の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、 $60Hz$ 駆動、解像度Full-HD（1080本の走査線を有する）の表示装置では $1/60/1080$ （秒）毎である。さらに、画素選択期間を1Hと定義すると、 $2kH$ （ k は1以上の整数）毎に電位の切り替えを行うようにしてもよい。

[0104] 以上のように、1つの画素の3つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置になる。また、1フレームに1回のみしか各基準電

圧幹線 4-11~4-13 の電位を変化する必要が無いため、低消費電力の表示装置を実現できる。

[0105] [第6実施形態]

第6実施形態は、1画素が3つのサブ画素から構成されている液晶表示装置の他の実施形態である。図19は、第6実施形態における3つのサブ画素 (Sub-Pix1、Sub-Pix2、Sub-Pix3) を備える画素 (Pix(n-1)、Pix(n)) を有する液晶表示装置のLフレーム時の動作を説明する等価回路である。図20は、第6実施形態における3つのサブ画素 (Sub-Pix1、Sub-Pix2、Sub-Pix3) を備える画素 (Pix(n-1)、Pix(n)) を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。

[0106] まず、画素201のサブ画素211とサブ画素212とサブ画素213の構成を説明する。スイッチング素子2-211とスイッチング素子2-212およびスイッチング素子2-213とのゲート端子は、共通の走査線5-11に接続されている。スイッチング素子2-211のソース端子は、基準電位幹線（第1基準電位幹線）4-111に接続されている。スイッチング素子2-211のドレイン端子は、表示電極11を介して液晶素子1-211の一方に接続されている。液晶素子1-211の他方は、透明電極13を介して表示信号線（第1表示信号線）3-11に接続されている。また、スイッチング素子2-212のソース端子は、基準電位幹線（第2基準電位幹線）4-112に接続されている。スイッチング素子2-212のドレイン端子は、表示電極11を介して液晶素子1-212の一方に接続されている。液晶素子1-212の他方は、透明電極13を介して表示信号線3-11に接続されている。さらに、スイッチング素子2-213のソース端子は、基準電位幹線（第3基準電位幹線）4-114に接続されている。スイッチング素子2-213のドレイン端子は、表示電極11を介して液晶素子1-213の一方に接続されている。液晶素子1-213の他方は、透明電極13を介して表示信号線3-11に接続されている。画素203の構成について

ても同様である。

[0107] 次に、画素202のサブ画素221とサブ画素222およびサブ画素223との構成を説明する。スイッチング素子2-221とスイッチング素子2-222およびスイッチング素子2-223とのゲート端子は、共通の走査線5-11に接続されている。スイッチング素子2-221のソース端子は、基準電位幹線（第1'基準電位幹線）4-113に接続されている。スイッチング素子2-221のドレイン端子は、表示電極11を介して液晶素子1-221の一方に接続されている。液晶素子1-221の他方は、透明電極13を介して表示信号線（第2表示信号線）3-12に接続されている。また、スイッチング素子2-222のソース端子は、基準電位幹線（第1基準電位幹線）4-112に接続されている。スイッチング素子2-222のドレイン端子は、表示電極11を介して液晶素子1-222の一方に接続されている。液晶素子1-222の他方は、透明電極13を介して表示信号線3-12に接続されている。さらに、スイッチング素子2-223のソース端子は、基準電位幹線（第3'基準電位幹線）4-115に接続されている。スイッチング素子2-123のドレイン端子は、表示電極11を介して液晶素子1-223の一方に接続されている。液晶素子1-223の他方は、透明電極13を介して表示信号線3-12に接続されている。

[0108] 次に、画素204のサブ画素241とサブ画素242とサブ画素243の構成を説明する。スイッチング素子2-241とスイッチング素子2-242およびスイッチング素子2-243とのゲート端子は、共通の走査線5-12に接続されている。スイッチング素子2-241のソース端子は、基準電位幹線（第3基準電位幹線）4-114に接続されている。スイッチング素子2-241のドレイン端子は、表示電極11を介して液晶素子1-241の一方に接続されている。液晶素子1-241の他方は、透明電極13を介して表示信号線3-11に接続されている。また、スイッチング素子2-242のソース端子は、基準電位幹線（第2基準電位幹線）4-112に接続されている。スイッチング素子2-242のドレイン端子は、表示電極1

1を介して液晶素子1-242の一方に接続されている。液晶素子1-242の他方は、透明電極13を介して表示信号線3-11に接続されている。さらに、スイッチング素子2-243のソース端子は、基準電位幹線（第1基準電位幹線）4-111に接続されている。スイッチング素子2-243のドレイン端子は、表示電極11を介して液晶素子1-243の一方に接続されている。液晶素子1-243の他方は、透明電極13を介して表示信号線3-11に接続されている。

[0109] 次に、画素205のサブ画素251とサブ画素252とサブ画素253の構成を説明する。スイッチング素子2-251とスイッチング素子2-252およびスイッチング素子2-253とのゲート端子は、共通の走査線5-12に接続されている。スイッチング素子2-251のソース端子は、基準電位幹線（第3'基準電位幹線）4-115に接続されている。スイッチング素子2-251のドレイン端子は、表示電極11を介して液晶素子1-251の一方に接続されている。液晶素子1-251の他方は、透明電極13を介して表示信号線3-12に接続されている。また、スイッチング素子2-252のソース端子は、基準電位幹線（第2基準電位幹線）4-112に接続されている。スイッチング素子2-252のドレイン端子は、表示電極11を介して液晶素子1-252の一方に接続されている。液晶素子1-252の他方は、透明電極13を介して表示信号線3-12に接続されている。さらに、スイッチング素子2-253のソース端子は、基準電位幹線（第1'基準電位幹線）4-113に接続されている。スイッチング素子2-253のドレイン端子は、表示電極11を介して液晶素子1-253の一方に接続されている。液晶素子1-253の他方は、透明電極13を介して表示信号線3-12に接続されている。画素206の構成についても同様である。

[0110] 次に、液晶表示装置の動作を、図19と図21を用いて説明する。図21は、第6実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

まず、 L フレーム（ L は1以上の自然数）時、画素201～206の各サブ画素の動作について説明する。制御部12は、基準電位幹線4-111を+3Vに制御する。また、基準電位幹線4-112を+1Vに制御する。また、基準電位幹線4-113を+2Vに制御する。また、基準電位幹線4-114を0Vに制御する。また、基準電位幹線4-115を-1Vに制御する（図21、時刻 t_{0a} ）。すなわち、制御部12は、電位の大きさを、基準電位幹線（第1基準電位幹線）4-111の電位が基準電位幹線（第2基準電位幹線）4-112の電位より大であり、且つ、基準電位幹線（第2基準電位幹線）4-112の電位が基準電位幹線（第3基準電位幹線）4-114の電位より大である関係に制御する。さらに、基準電位幹線4-111の電位が基準電位幹線4-113の電位より大である関係に制御する。また、基準電位幹線4-114の電位が基準電位幹線4-115の電位より大である関係に制御する。

次に、制御部12は、走査線5-11を時刻 $t_{0a} \sim t_{1a}$ の期間、Hレベルに制御し、スイッチング素子2-211～2-213、2-221～2-223、および、2-231～2-233をオン状態にする。このため、制御部12は、表示信号線3-11と3-13から、1行目の画素201と203とに+5Vの信号を供給し、表示信号線3-12から、1行目の画素202に-3Vの信号を供給する。また、各表示信号線3-11～13の信号レンジは、例えば、正極性側+5V～+1V、負極性側、-5V～-1Vである。さらに、制御部12は、走査線5-12を時刻 $t_{1a} \sim t_{2a}$ の期間、Hレベルに制御し、スイッチング素子2-241～2-243、2-251～2-253、および2-261～2-263をオン状態にする。このため、制御部12は、表示信号線3-11と3-13から、2行目の画素204と206とに+4Vの信号を供給し、表示信号線3-12から、2行目の画素205に-2Vの信号を供給する。なお、図21に示した表示信号線3-11と3-12の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差

を説明する。

- [0111] 画素201のサブ画素211～サブ画素213との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-211には、表示信号線3-11の+5Vと基準電位幹線4-111の+3Vとの電位差=+2Vが発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-212には、表示信号線3-11の+5Vと基準電位幹線4-112の+1Vとの電位差=+4Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-213には、表示信号線3-11の+5Vと基準電位幹線4-114の0Vとの電位差=+5Vが発生する。この結果、サブ画素211～213の輝度は、電位差に応じてサブ画素213がサブ画素212より輝度が高く、且つ、サブ画素212がサブ画素211より輝度が高い。なお、図19と図20とにおいて、記号a、b、cは輝度の順を表す。aがbより輝度が高く、且つ、bがcより輝度が高い($a > b > c$)。

また、制御部12は、表示信号線3-13に表示信号線3-11と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素203のサブ画素231の液晶素子1-231には電位差=+2Vが発生する。また、サブ画素232の液晶素子1-232には電位差=+4Vが発生する。また、サブ画素233の液晶素子1-233には電位差=+5Vが発生する。このため、サブ画素231～233の輝度は、輝度は電位差に応じてサブ画素233がサブ画素232より輝度が高く、且つ、サブ画素232がサブ画素231より輝度が高い。

- [0112] 次に、画素202のサブ画素221～サブ画素223との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-221には、表示信号線3-12の-3Vと基準電位幹線4-113の+2Vとの電位差=-5Vが発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-222には、表示信号線3-12の-3Vと基準電位幹線4-112の+1Vとの電位差=-4Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-223には、表示信号線3-12の-3Vと基準電位幹線4-115の-1Vと

の電位差 $= -2\text{ V}$ が発生する。この結果、サブ画素 $221 \sim 223$ の輝度は、電位差に応じてサブ画素 221 がサブ画素 222 より輝度が高く、且つ、サブ画素 222 がサブ画素 223 より輝度が高い。

[0113] 次に、画素 204 のサブ画素 $241 \sim 243$ との動作について説明する。時刻 $t1a \sim t2a$ の期間、液晶素子 $1-241$ には、表示信号線 $3-11$ の $+4\text{ V}$ と基準電位幹線 $4-114$ の 0 V との電位差 $= +4\text{ V}$ が発生する。また、時刻 $t1a \sim t2a$ の期間、液晶素子 $1-242$ には、表示信号線 $3-11$ の $+4\text{ V}$ と基準電位幹線 $4-112$ の $+1\text{ V}$ との電位差 $= +3\text{ V}$ が発生する。さらに、時刻 $t1a \sim t2a$ の期間、液晶素子 $1-243$ には、表示信号線 $3-11$ の $+4\text{ V}$ と基準電位幹線 $4-111$ の $+3\text{ V}$ との電位差 $= +1\text{ V}$ が発生する。この結果、サブ画素 $241 \sim 243$ の輝度は、電位差に応じてサブ画素 241 がサブ画素 242 より輝度が高く、且つ、サブ画素 242 がサブ画素 243 より輝度が高い。

また、制御部 12 は、表示信号線 $3-13$ に表示信号線 $3-11$ と同じ極性の表示信号を供給する。このため、時刻 $t1a \sim t2a$ の期間、画素 206 のサブ画素 261 の液晶素子 $1-261$ には電位差 $= +4\text{ V}$ が発生する。また、サブ画素 262 の液晶素子 $1-262$ には電位差 $= +3\text{ V}$ が発生する。また、サブ画素 263 の液晶素子 $1-263$ には電位差 $= +1\text{ V}$ が発生する。このため、サブ画素 $261 \sim 263$ の輝度は、輝度は電位差に応じてサブ画素 261 がサブ画素 262 より輝度が高く、且つ、サブ画素 262 がサブ画素 263 より輝度が高い。

[0114] 次に、画素 205 のサブ画素 $251 \sim 253$ との動作について説明する。時刻 $t1a \sim t2a$ の期間、液晶素子 $1-251$ には、表示信号線 $3-12$ の -2 V と基準電位幹線 $4-115$ の -1 V との電位差 $= -1\text{ V}$ が発生する。また、時刻 $t1a \sim t2a$ の期間、液晶素子 $1-252$ には、表示信号線 $3-12$ の -2 V と基準電位幹線 $4-112$ の $+1\text{ V}$ との電位差 $= -3\text{ V}$ が発生する。さらに、時刻 $t1a \sim t2a$ の期間、液晶素子 $1-253$ には、表示信号線 $3-12$ の -2 V と基準電位幹線 $4-113$ の $+2\text{ V}$ と

の電位差 $= -4\text{ V}$ が発生する。この結果、サブ画素 $251 \sim 253$ の輝度は、電位差に応じてサブ画素 253 がサブ画素 252 より輝度が高く、且つ、サブ画素 252 がサブ画素 251 より輝度が高い。

[0115] 次に、 $L+1$ フレームの動作について図20と図21を用いて説明する。図21において、時刻 $t0b$ 以降が、 $L+1$ フレームのタイミングチャートである。

図21において、横軸は時間を示しており、縦軸は電位を示している。図21の波形1は、走査線 $5-11$ の電位の時間変化を示している。図21の波形2は、走査線 $5-12$ の電位の時間変化を示している。図21の波形3は、基準電位幹線 $4-111$ の電位の時間変化を示している。図21の波形4は、基準電位幹線 $4-112$ の電位の時間変化を示している。図21の波形5は、基準電位幹線 $4-113$ の電位の時間変化を示している。図21の波形6は、基準電位幹線 $4-114$ の電位の時間変化を示している。図21の波形7は、基準電位幹線 $4-115$ の電位の時間変化を示している。図21の波形8は、表示信号線 $3-11$ の電位の時間変化を示している。図21の波形9は、ノード X (node X) の電位の時間変化を示している。図21の波形10は、ノード Y (node Y) の電位の時間変化を示している。図21の波形11は、ノード X —ノード Y (node X —node Y) の電位 (Sub-pixelの印加電圧) の時間変化を示している。図21の波形12は、sub-pixel2の液晶印加電圧の時間変化を示している。図21の波形13は、sub-pixel3の液晶印加電圧の時間変化を示している。

[0116] 制御部12が、垂直帰線期間、表示信号線 $3-11 \sim 3-13$ の電位の極性を L フレーム時とは逆極性に切り替える。さらに、制御部12は、基準電位幹線 $4-111$ の電位を $+3\text{ V}$ から -1 V に切り替える。また、基準電位幹線 $4-113$ の電位を $+2\text{ V}$ から 0 V に切り替える。また、基準電位幹線 $4-114$ の電位を 0 V から $+2\text{ V}$ に切り替える。また、基準電位幹線 $4-115$ の電位を -1 V から $+3\text{ V}$ に切り替える。すなわち、制御部12は、

Lフレーム時とL+1フレーム時に、基準電位幹線（第1基準電位幹線）4-111と基準電位幹線（第1'基準電位幹線）4-113の電位の大きさの関係を、基準電位幹線4-111の電位が基準電位幹線4-113の電位より大である関係から、基準電位幹線4-113の電位が基準電位幹線4-111の電位より大である関係に入れ替える。また、制御部12は、Lフレーム時とL+1フレーム時に、基準電位幹線（第3基準電位幹線）4-114と基準電位幹線（第3'基準電位幹線）4-115の電位の大きさの関係を、基準電位幹線4-114の電位が基準電位幹線4-115の電位より大である関係から、基準電位幹線4-115の電位が基準電位幹線4-114の電位より大である関係に入れ替える。さらに、制御部12は、Lフレーム時とL+1フレーム時に、基準電位幹線4-111（第1基準電位幹線）の電位の大きさと基準電位幹線（第2基準電位幹線）4-112の電位の大きさと基準電位幹線（第3基準電位幹線）4-114の電位の大きさの関係を、基準電位幹線（第1基準電位幹線）4-111の電位が基準電位幹線（第2基準電位幹線）4-112の電位より大であり、且つ、基準電位幹線（第2基準電位幹線）4-112の電位が基準電位幹線（第3基準電位幹線）4-114の電位より大である関係から、基準電位幹線4-114（第3基準電位幹線）の電位が基準電位幹線（第2基準電位幹線）4-112の電位より大であり、且つ、基準電位幹線（第2基準電位幹線）4-112の電位が基準電位幹線（第1基準電位幹線）4-111の電位より大である関係に制御する。

次に、制御部12は、走査線5-11を時刻 $t_{0b} \sim t_{1b}$ の期間、Hレベルに制御し、スイッチング素子2-211~2-213、2-221~2-223、および2-231~2-233をオン状態にする。このため、制御部12は、表示信号線3-11と3-13とから1行目の画素201と203とに-3Vの信号を供給し、表示信号線3-12から1行目の画素202に+5Vの信号を供給する。さらに、制御部12は、走査線5-12を時刻 $t_{1b} \sim t_{2b}$ の期間、Hレベルに制御し、スイッチング素子2-241

～2-243、2-251～2-253、および2-261～2-263をオン状態にする。

このため、制御部12は、表示信号線3-11と3-13とから2行目の画素204と206とに-2Vの信号を供給し、表示信号線3-12から2行目の画素205に+4Vの信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0117] 画素201のサブ画素211～サブ画素213との動作について説明する。時刻 t_{0b} ～ t_{1b} の期間、液晶素子1-211には、表示信号線3-11の-3Vと基準電位幹線4-111の-1Vとの電位差=-2Vが発生する。また、時刻 t_{0b} ～ t_{1b} の期間、液晶素子1-212には、表示信号線3-11の-3Vと基準電位幹線4-112の+1Vとの電位差=-4Vが発生する。さらに、時刻 t_{0b} ～ t_{1b} の期間、液晶素子1-213には、表示信号線3-11の-3Vと基準電位幹線4-114の+2Vとの電位差=-5Vが発生する。この結果、サブ画素211～213の輝度は、電位差に応じてサブ画素213がサブ画素212より輝度が高く、且つ、サブ画素212がサブ画素213より輝度が高い。

また、制御部12は、表示信号線3-13に表示信号線3-11と同じ極性の表示信号を供給する。このため、時刻 t_{0b} ～ t_{1b} の期間、画素203のサブ画素231の液晶素子1-231には電位差=-3Vが発生する。また、サブ画素232の液晶素子1-232には電位差=-4Vが発生する。また、サブ画素233の液晶素子1-233には電位差=-6Vが発生する。このため、サブ画素231～233の輝度は、輝度は電位差に応じてサブ画素233がサブ画素232より輝度が高く、且つ、サブ画素232がサブ画素231より輝度が高い。

[0118] 次に、画素202のサブ画素221～サブ画素223との動作について説明する。時刻 t_{0b} ～ t_{1b} の期間、液晶素子1-221には、表示信号線3-12の+5Vと基準電位幹線4-113の0Vとの電位差=+5Vが発生する。また、時刻 t_{0b} ～ t_{1b} の期間、液晶素子1-222には、表示

信号線 3-12 の +5 V と基準電位幹線 4-112 の +1 V との電位差 = +4 V が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-223 には、表示信号線 3-12 の +5 V と基準電位幹線 4-115 の +3 V との電位差 = +2 V が発生する。この結果、サブ画素 221 ~ 223 の輝度は、電位差に応じてサブ画素 221 がサブ画素 222 より輝度が高く、且つ、サブ画素 222 がサブ画素 223 より輝度が高い。

[0119] 次に、画素 204 のサブ画素 241 ~ サブ画素 243 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-241 には、表示信号線 3-11 の -2 V と基準電位幹線 4-115 の +2 V との電位差 = -4 V が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-242 には、表示信号線 3-11 の -2 V と基準電位幹線 4-112 の +1 V との電位差 = -3 V が発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-243 には、表示信号線 3-11 の -2 V と基準電位幹線 4-111 の -1 V との電位差 = -1 V が発生する。この結果、サブ画素 241 ~ 243 の輝度は、電位差に応じてサブ画素 241 がサブ画素 242 より輝度が高く、且つ、サブ画素 242 がサブ画素 243 より輝度が高い。

また、制御部 12 は、表示信号線 3-13 に表示信号線 3-11 と同じ極性の表示信号を供給する。このため、時刻 $t_{1b} \sim t_{2b}$ の期間、画素 206 のサブ画素 261 の液晶素子 1-261 には電位差 = -5 V が発生する。また、サブ画素 262 の液晶素子 1-262 には電位差 = -3 V が発生する。また、サブ画素 263 の液晶素子 1-263 には電位差 = -2 V が発生する。このため、サブ画素 261 ~ 263 の輝度は、輝度は電位差に応じてサブ画素 261 がサブ画素 262 より輝度が高く、且つ、サブ画素 262 がサブ画素 263 より輝度が高い。

[0120] 次に、画素 205 のサブ画素 251 ~ サブ画素 253 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-251 には、表示信号線 3-12 の +4 V と基準電位幹線 4-115 の +3 V との電位差 = +1 V が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-252 には、表

示信号線 3-12 の +4 V と基準電位幹線 4-112 の +1 V との電位差 = +3 V が発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-253 には、表示信号線 3-12 の +4 V と基準電位幹線 4-113 の 0 V との電位差 = +4 V が発生する。この結果、サブ画素 251 ~ 253 の輝度は、電位差に応じてサブ画素 253 がサブ画素 252 より輝度が高く、且つ、サブ画素 252 がサブ画素 251 より輝度が高い。

[0121] また、本実施形態では、基準電位幹線 4-111 ~ 4-115 の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、60 Hz 駆動、解像度 Full-HD (1080 本の走査線を有する) の表示装置では 1/60/1080 (秒) 毎である。さらに、画素選択期間を 1 H と定義すると、2 kH (k は 1 以上の整数) 毎に電位の切り替えを行うようにしてもよい。

[0122] 以上のように、1 つの画素の 3 つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、1 フレームに 1 回のみしか各基準電圧幹線 4-111 ~ 4-115 の電位を変化する必要が無い場合、低消費電力の表示装置を実現できる。

[0123] [第 7 実施形態]

第 7 実施形態は、1 画素が 3 つのサブ画素から構成されている液晶表示装置の他の実施形態である。図 22 は、第 7 実施形態における 3 つのサブ画素 (Sub-Pix 1、Sub-Pix 2、Sub-Pix 3) を備える画素 (Pix (n-1)、Pix (n)) を有する液晶表示装置の L フレーム時の動作を説明する等価回路である。図 23 は、第 7 実施形態における 3 つのサブ画素 (Sub-Pix 1、Sub-Pix 2、Sub-Pix 3) を備える画素 (Pix (n-1)、Pix (n)) を有する液晶表示装置の L+1 フレーム時の動作を説明する等価回路である。また、構成は第 6 実施形態と同じである。

[0124] 次に、液晶表示装置の動作を、図 22 と図 24 を用いて説明する。図 24

は、第7実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

まず、Lフレーム（Lは1以上の自然数）時、画素201～206の各サブ画素の動作について説明する。制御部12は、基準電位幹線（第1基準電位幹線）4-111を0Vに制御する。また、基準電位幹線（第2基準電位幹線）4-112を+1Vに制御する。また、基準電位幹線（第1'基準電位幹線）4-113を+2Vに制御する。また、基準電位幹線（第3基準電位幹線）4-114を+3Vに制御する。また、基準電位幹線（第3'基準電位幹線）4-115を-1Vに制御する（図24、時刻t0a）。すなわち、制御部12は、電位の大きさを、基準電位幹線4-113の電位が基準電位幹線4-111の電位より大である関係に制御し、基準電位幹線4-114の電位が基準電位幹線4-115の電位より大である関係に制御する。

次に、制御部12は、走査線5-11を時刻t0a～t1aの期間、Hレベルに制御し、スイッチング素子2-211～2-213、2-221～2-223、および、2-231～2-233をオン状態にする。このため、制御部12は、表示信号線3-11と3-13から、1行目の画素201と203とに+5Vの信号を供給し、表示信号線3-12から、1行目の画素202に-3Vの信号を供給する。また、各表示信号線3-11～13の信号レンジは、例えば、正極性側+5V～+1V、負極性側、-5V～-1Vである。さらに、制御部12は、走査線5-12を時刻t1a～t2aの期間、Hレベルに制御し、スイッチング素子2-241～2-243、2-251～2-253、および2-261～2-263をオン状態にする。このため、制御部12は、表示信号線3-11と3-13から、2行目の画素204と206とに+4Vの信号を供給し、表示信号線3-12から、2行目の画素205に-2Vの信号を供給する。なお、図24に示した表示信号線3-11と表示信号線3-12の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0125] 画素201のサブ画素211～サブ画素213との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-211には、表示信号線3-11の+5Vと基準電位幹線4-111の0Vとの電位差=+5Vが発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-212には、表示信号線3-11の+5Vと基準電位幹線4-112の+1Vとの電位差=+4Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-213には、表示信号線3-11の+5Vと基準電位幹線4-114の+3Vとの電位差=+2Vが発生する。この結果、サブ画素211～213の輝度は、電位差に応じてサブ画素211がサブ画素212より輝度が高く、且つ、サブ画素212がサブ画素213より輝度が高い。なお、図22と図23とにおいて、記号a、b、cは輝度の順を表す。aがbより輝度が高く、且つ、bがcより輝度が高い($a > b > c$)。

また、制御部12は、表示信号線3-13に表示信号線3-11と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素203のサブ画素231の液晶素子1-231には電位差=+5Vが発生する。また、サブ画素232の液晶素子1-232には電位差=+4Vが発生する。また、サブ画素233の液晶素子1-233には電位差=-2Vが発生する。このため、サブ画素231～233の輝度は、輝度は電位差に応じてサブ画素231がサブ画素232より輝度が高く、且つ、サブ画素232がサブ画素233より輝度が高い。

[0126] 次に、画素202のサブ画素221～サブ画素223との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-221に、表示信号線3-12の-3Vと基準電位幹線4-113の+2Vとの電位差=-5Vが発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-222に、表示信号線3-12の-3Vと基準電位幹線4-112の+1Vとの電位差=-3Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-223に、表示信号線3-12の-3Vと基準電位幹線4-115の-1Vとの電位差=-2Vが発生する。この結果、サブ画素221～223の輝度は、電位

差に応じてサブ画素 221 がサブ画素 222 より輝度が高く、且つ、サブ画素 222 がサブ画素 223 より輝度が高い。

[0127] 次に、画素 204 のサブ画素 241～サブ画素 243 との動作について説明する。時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-241 には、表示信号線 3-11 の +4V と基準電位幹線 4-114 の +3V との電位差 = +1V が発生する。また、時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-242 には、表示信号線 3-11 の +4V と基準電位幹線 4-112 の +1V との電位差 = +3V が発生する。さらに、時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-243 には、表示信号線 3-11 の +4V と基準電位幹線 4-111 の 0V との電位差 = +4V が発生する。この結果、サブ画素 241～243 の輝度は、電位差に応じてサブ画素 243 がサブ画素 242 より輝度が高く、且つ、サブ画素 242 がサブ画素 241 より輝度が高い。

また、制御部 12 は、表示信号線 3-13 に表示信号線 3-11 と同じ極性の表示信号を供給する。このため、時刻 t_{1a} ～ t_{2a} の期間、画素 206 のサブ画素 261 の液晶素子 1-261 には電位差 = +1V が発生する。また、サブ画素 262 の液晶素子 1-262 には電位差 = +3V が発生する。また、サブ画素 263 の液晶素子 1-263 には電位差 = +4V が発生する。このため、サブ画素 261～263 の輝度は、輝度は電位差に応じてサブ画素 263 がサブ画素 262 より輝度が高く、且つ、サブ画素 262 がサブ画素 261 より輝度が高い。

[0128] 次に、画素 205 のサブ画素 251～サブ画素 253 との動作について説明する。時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-251 には、表示信号線 3-12 の -2V と基準電位幹線 4-115 の -1V との電位差 = -1V が発生する。また、時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-252 には、表示信号線 3-12 の -2V と基準電位幹線 4-112 の +1V との電位差 = -3V が発生する。さらに、時刻 t_{1a} ～ t_{2a} の期間、液晶素子 1-253 には、表示信号線 3-12 の -2V と基準電位幹線 4-113 の +3V との電位差 = -4V が発生する。この結果、サブ画素 251～253 の輝度は、

電位差に応じてサブ画素 2 5 3 がサブ画素 2 5 2 より輝度が高く、且つ、サブ画素 2 5 2 がサブ画素 2 5 1 より輝度が高い。

[0129] 次に、 $L + 1$ フレームの動作について図 2 3 と図 2 4 を用いて説明する。図 2 4 において、時刻 t_0b 以降が、 $L + 1$ フレームのタイミングチャートである。

図 2 4 において、横軸は時間を示しており、縦軸は電位を示している。図 2 4 の波形 1 は、走査線 5 - 1 1 の電位の時間変化を示している。図 2 4 の波形 2 は、走査線 5 - 1 2 の電位の時間変化を示している。図 2 4 の波形 3 は、基準電位幹線 4 - 1 1 1 の電位の時間変化を示している。図 2 4 の波形 4 は、基準電位幹線 4 - 1 1 2 の電位の時間変化を示している。図 2 4 の波形 5 は、基準電位幹線 4 - 1 1 3 の電位の時間変化を示している。図 2 4 の波形 6 は、基準電位幹線 4 - 1 1 4 の電位の時間変化を示している。図 2 4 の波形 7 は、基準電位幹線 4 - 1 1 5 の電位の時間変化を示している。図 2 4 の波形 8 は、表示信号線 3 - 1 1 の電位の時間変化を示している。図 2 4 の波形 9 は、ノード X (node X) の電位の時間変化を示している。図 2 4 の波形 10 は、ノード Y (node Y) の電位の時間変化を示している。図 2 4 の波形 11 は、ノード X - ノード Y (node X - node Y) の電位 (Sub-pix 1 の印加電圧) の時間変化を示している。図 2 4 の波形 12 は、sub-pix 2 の液晶印加電圧の時間変化を示している。図 2 4 の波形 13 は、sub-pix 3 の液晶印加電圧の時間変化を示している。

[0130] 制御部 1 2 が、垂直帰線期間、表示信号線 3 - 1 1 ~ 3 - 1 3 の電位の極性を L フレーム時とは逆極性に切り替える。さらに、制御部 1 2 は、基準電位幹線 4 - 1 1 1 の電位を 0 V から +2 V に切り替える。また、基準電位幹線 4 - 1 1 3 の電位を +2 V から 0 V に切り替える。また、基準電位幹線 4 - 1 1 4 の電位を +3 V から 0 V に切り替える。また、基準電位幹線 4 - 1 1 5 の電位を -1 V から +3 V に切り替える。すなわち、制御部 1 2 は、電位の大きさを、基準電位幹線 4 - 1 1 1 と基準電位幹線 4 - 1 1 3 の電位の

大きさの関係を、基準電位幹線 4-113 の電位が基準電位幹線 4-111 の電位より大である関係から、基準電位幹線 4-111 の電位が基準電位幹線 4-113 の電位より大である関係に入れ替える。また、制御部 12 は、L フレーム時と L+1 フレーム時に、基準電位幹線 4-114 と基準電位幹線 4-115 の電位の大きさの関係を、基準電位幹線 4-114 の電位が基準電位幹線 4-115 の電位より大である関係から、基準電位幹線 4-115 の電位が基準電位幹線 4-114 の電位より大である関係に入れ替える。さらに、表示信号線 3-1~3-3 から、正極性と負極性の信号を各液晶素子に供給する時、各液晶素子に発生するフレーム毎の電位差の絶対値を揃えるため、基準電位幹線 4-2 の電位もフレーム毎に切り替える。

次に、制御部 12 は、走査線 5-11 を時刻 $t_{0b} \sim t_{1b}$ の期間、H レベルに制御し、スイッチング素子 2-211~2-213、2-221~2-223、および 2-231~2-233 をオン状態にする。このため、制御部 12 は、表示信号線 3-11 と 3-13 とから 1 行目の画素 201 と画素 203 とに $-3V$ の信号を供給し、表示信号線 3-12 から 1 行目の画素 202 に $+5V$ の信号を供給する。さらに、制御部 12 は、走査線 5-12 を時刻 $t_{1b} \sim t_{2b}$ の期間、H レベルに制御し、スイッチング素子 2-241~2-243、2-251~2-253、および 2-261~2-263 をオン状態にする。

このため、制御部 12 は、表示信号線 3-11 と表示信号線 3-13 とから 2 行目の画素 204 と画素 206 とに $-2V$ の信号を供給し、表示信号線 3-12 から 2 行目の画素 205 に $+4V$ の信号を供給する。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0131] 画素 201 のサブ画素 211~サブ画素 213 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-211 には、表示信号線 3-11 の $-3V$ と基準電位幹線 4-111 の $+2V$ との電位差 $= -5V$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-212 には、表示信号線 3-11 の $-3V$ と基準電位幹線 4-112 の $+1V$ との電位差 $= -4V$

が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-213 には、表示信号線 3-11 の $-3V$ と基準電位幹線 4-114 の $-1V$ との電位差 $= -2V$ が発生する。この結果、サブ画素 211 ~ 213 の輝度は、電位差に応じてサブ画素 211 がサブ画素 212 より輝度が高く、且つ、サブ画素 212 がサブ画素 213 より輝度が高い。

また、制御部 12 は、表示信号線 3-13 に表示信号線 3-11 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 203 のサブ画素 231 の液晶素子 1-231 には電位差 $= -5V$ が発生する。また、サブ画素 232 の液晶素子 1-232 には電位差 $= -4V$ が発生する。また、サブ画素 233 の液晶素子 1-233 には電位差 $= -2V$ が発生する。このため、サブ画素 231 ~ 233 の輝度は、輝度は電位差に応じてサブ画素 231 がサブ画素 232 より輝度が高く、且つ、サブ画素 232 がサブ画素 233 より輝度が高い。

[0132] 次に、画素 202 のサブ画素 221 ~ サブ画素 223 との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-221 には、表示信号線 3-12 の $+5V$ と基準電位幹線 4-113 の $0V$ との電位差 $= +5V$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-222 には、表示信号線 3-12 の $+5V$ と基準電位幹線 4-112 の $+1V$ との電位差 $= +4V$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-223 には、表示信号線 3-12 の $+5V$ と基準電位幹線 4-115 の $+3V$ との電位差 $= +2V$ が発生する。この結果、サブ画素 221 ~ 223 の輝度は、電位差に応じてサブ画素 221 がサブ画素 222 より輝度が高く、且つ、サブ画素 222 がサブ画素 223 より輝度が高い。

[0133] 次に、画素 204 のサブ画素 241 ~ サブ画素 243 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-241 には、表示信号線 3-11 の $-2V$ と基準電位幹線 4-114 の $-1V$ との電位差 $= -1V$ が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-242 には、表示信号線 3-11 の $-2V$ と基準電位幹線 4-112 の $+1V$ との電位差 $=$

−3 Vが発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-243 には、表示信号線 3-11 の −2 V と基準電位幹線 4-111 の +2 V との電位差 = −4 V が発生する。この結果、サブ画素 241 ~ 243 の輝度は、電位差に応じてサブ画素 243 がサブ画素 242 より輝度が高く、且つ、サブ画素 242 がサブ画素 241 より輝度が高い。

また、制御部 12 は、表示信号線 3-13 に表示信号線 3-11 と同じ極性の表示信号を供給する。このため、時刻 $t_{1b} \sim t_{2b}$ の期間、画素 206 のサブ画素 261 の液晶素子 1-261 には電位差 = −1 V が発生する。また、サブ画素 262 の液晶素子 1-262 には電位差 = −3 V が発生する。また、サブ画素 263 の液晶素子 1-263 には電位差 = −4 V が発生する。このため、サブ画素 261 ~ 263 の輝度は、輝度は電位差に応じてサブ画素 263 がサブ画素 262 より輝度が高く、且つ、サブ画素 262 がサブ画素 261 より輝度が高い。

[0134] 次に、画素 205 のサブ画素 251 ~ サブ画素 253 との動作について説明する。時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-251 には、表示信号線 3-12 の +4 V と基準電位幹線 4-115 の +3 V との電位差 = +1 V が発生する。また、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-252 には、表示信号線 3-12 の +4 V と基準電位幹線 4-112 の +1 V との電位差 = +3 V が発生する。さらに、時刻 $t_{1b} \sim t_{2b}$ の期間、液晶素子 1-253 には、表示信号線 3-12 の +4 V と基準電位幹線 4-113 の 0 V との電位差 = +4 V が発生する。この結果、サブ画素 251 ~ 253 の輝度は、電位差に応じてサブ画素 253 がサブ画素 252 より輝度が高く、且つ、サブ画素 252 がサブ画素 251 より輝度が高い。

[0135] また、本実施形態では、基準電位幹線 4-111 ~ 4-115 の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、60 Hz 駆動、解像度 Full-HD (1080 本の走査線を有する) の表示装置では 1/60/1080 (秒) 毎である。さらに、画素選択期間を 1 H と定義すると、2 kH (k は 1 以

上の整数) 毎に電位の切り替えを行うようにしてもよい。

[0136] 以上のように、1つの画素の3つのサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、マルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。さらに、第7実施形態では、図22と図23のように、明るい画素(2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が大きい方)と、暗い画素(2つのサブ画素のうち、液晶素子の両端に印加される電位差の絶対値が小さい方)の行方向の並びが、走査線5-11に対して平行に配置することができる。そのため、第6実施形態の効果に加えて、表示特性の向上を実現できる。さらに、1フレームに1回のみしか各基準電圧幹線4-111~4-115の電位を変化する必要が無い場合、低消費電力の表示装置を実現できる。

[0137] [第8実施形態]

第8実施形態における液晶表示装置は、1画素が n 個(偶数)のサブ画素から構成されている液晶表示装置の実施形態である。図25は、第8実施形態における n 個のサブ画素(Sub-Pix(1)、Sub-Pix(2)、 $\dots$ 、Sub-Pix($n-1$)、Sub-Pix(n))を備える画素(Pix(n))を有する液晶表示装置のLフレーム時の動作を説明する等価回路である。図26は、第8実施形態における n 個のサブ画素(Sub-Pix(1)、Sub-Pix(2)、 $\dots$ 、Sub-Pix($n-1$)、Sub-Pix(n))を備える画素(Pix(n))を有する液晶表示装置のL+1フレーム時の動作を説明する等価回路である。図25のように、第8実施形態における液晶表示装置は、行方向に隣接する画素301~303を備える。各画素301~303は、さらに n 個のサブ画素を備える。そして、画素301は、列方向に対してサブ画素301-1~サブ画素301- n の順に配置されている。画素302は、列方向に対してサブ画素302-1~サブ画素302- n の順に配置されている。

[0138] まず、画素301のサブ画素301-1~サブ画素301- n の構成を説明する。スイッチング素子2-31-1~2-31- n とのゲート端子は、

共通の走査線 5-31 に接続されている。スイッチング素子 2-31-1 のソース端子は、基準電位幹線 4-3-1 に接続されている。スイッチング素子 2-31-1 のドレイン端子は、表示電極 11 を介して液晶素子 1-31-1 の一方に接続されている。液晶素子 1-31-1 の他方は、透明電極 13 を介して表示信号線（第 1 表示信号線）3-31 に接続されている。また、スイッチング素子 2-31-2 のソース端子は、基準電位幹線 4-3-2 に接続されている。スイッチング素子 2-31-2 のドレイン端子は、表示電極 11 を介して液晶素子 1-31-2 の一方に接続されている。液晶素子 1-31-2 の他方は、透明電極 13 を介して表示信号線 3-31 に接続されている。さらに、スイッチング素子 2-31-(n-1) のソース端子は、基準電位幹線 4-3-(n-1) に接続されている。スイッチング素子 2-31-(n-1) のドレイン端子は、表示電極 11 を介して液晶素子 1-31-(n-1) の一方に接続されている。液晶素子 1-31-(n-1) の他方は、透明電極 13 を介して表示信号線 3-31 に接続されている。さらに、スイッチング素子 2-31-n のソース端子は、基準電位幹線 4-3-n に接続されている。スイッチング素子 2-31-n のドレイン端子は、表示電極 11 を介して液晶素子 1-31-n の一方に接続され、液晶素子 1-31-n の他方は、透明電極 13 を介して表示信号線 3-31 に接続されている。

- [0139] 次に、画素 302 のサブ画素 302-1 ~ サブ画素 302-n との構成を説明する。スイッチング素子 2-32-1 ~ 2-32-n とのゲート端子は、共通の走査線 5-31 に接続されている。スイッチング素子 2-32-1 のソース端子は、基準電位幹線 4-3-1 に接続されている。スイッチング素子 2-32-1 のドレイン端子は、表示電極 11 を介して液晶素子 1-32-1 の一方に接続されている。液晶素子 1-32-1 の他方は、透明電極 13 を介して表示信号線（第 2 表示信号線）3-32 に接続されている。また、スイッチング素子 2-32-2 のソース端子は、基準電位幹線 4-3-2 に接続されている。スイッチング素子 2-32-2 のドレイン端子は、表

示電極 11 を介して液晶素子 1-32-2 の一方に接続されている。液晶素子 1-32-2 の他方は、透明電極 13 を介して表示信号線 3-32 に接続されている。さらに、スイッチング素子 2-32-(n-1) のソース端子は、基準電位幹線 4-3-(n-1) に接続されている。スイッチング素子 2-32-(n-1) のドレイン端子は、表示電極 11 を介して液晶素子 1-32-(n-1) の一方に接続されている。液晶素子 1-32-(n-1) の他方は、透明電極 13 を介して表示信号線 3-32 に接続されている。さらに、スイッチング素子 2-32-n のソース端子は、基準電位幹線 4-3-n に接続されている。スイッチング素子 2-32-n のドレイン端子は、表示電極 11 を介して液晶素子 1-32-n の一方に接続されている。液晶素子 1-32-n の他方は、透明電極 13 を介して表示信号線 3-32 に接続されている。

[0140] 次に、液晶表示装置の動作を、図 25 と図 27 を用いて説明する。図 27 は、第 8 実施形態における L フレーム時と L+1 フレーム時の液晶表示装置のタイミングチャートである。

まず、L フレーム (L は 1 以上の自然数) 時、画素 301 ~ 303 の各サブ画素の動作について説明する。制御部 12 は、基準電位幹線 4-3-1 を +3V に制御し、基準電位幹線 4-3-2 を +2V に制御し、基準電位幹線 4-3-(n-1) を +1V に制御し、基準電位幹線 4-3-n を 0V に制御する (図 27、時刻 t0a)。すなわち、制御部 12 は、電位の大きさを、基準電位線 4-3-1 の電位が基準電位線 4-3-2 の電位より大であり、且つ、基準電位線 4-3-2 の電位が基準電位線 4-3-(n-1) の電位より大であり、且つ、基準電位線 4-3-(n-1) の電位が基準電位線 4-3-n の電位より大の関係 (基準電位線 4-3-1 > 基準電位線 4-3-2 > ... > 基準電位線 4-3-(n-1) > 基準電位線 4-3-n) に制御する。また、制御部 12 は、表示信号線 3-31 と表示信号線 3-33 から画素 301 と画素 303 とに、+5V の信号を供給し、表示信号線 3-32 から画素 302 に -2V の信号を供給する。また、各表示信号線 3-

11～3-13のレンジは、例えば正極性側+5V～+1V、負極性側-5V～-1Vである。

次に、制御部12は、走査線5-31を時刻 t_{0a} ～ t_{1a} の期間、Hレベルに制御し、スイッチング素子2-31-1～2-31-n、2-32-1～2-32-n、および、2-33-1～2-33-nをオン状態にする。なお、図27に示した表示信号線3-31と表示信号線3-32の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0141] 画素301のサブ画素301-1～サブ画素301-nとの動作について説明する。時刻 t_{0a} ～ t_{1a} の期間、液晶素子1-31-1（等価的な電気容量）には、表示信号線3-31の+5Vと基準電位幹線4-3-1の+3Vとの電位差=+2Vが発生する。また、時刻 t_{0a} ～ t_{1a} の期間、液晶素子1-31-2（等価的な電気容量）には、表示信号線3-31の+5Vと基準電位幹線4-3-2の+2Vとの電位差=+3Vが発生する。さらに、時刻 t_{0a} ～ t_{1a} の期間、液晶素子1-31-(n-1)（等価的な電気容量）には、表示信号線3-31の+5Vと基準電位幹線4-3-(n-1)の+1Vとの電位差=+4Vが発生する。さらに、時刻 t_{0a} ～ t_{1a} の期間、液晶素子1-31-n（等価的な電気容量）には、表示信号線3-31の+5Vと基準電位幹線4-3-nの0Vとの電位差=+5Vが発生する。この結果、サブ画素301-1～301-nの輝度は、電位差に応じてサブ画素301-nがサブ画素301-(n-1)より輝度が高く、且つ、サブ画素301-(n-1)がサブ画素301-2より輝度が高く、且つ、サブ画素301-2がサブ画素301-1より輝度が高い。なお、図25と図26とにおいて、記号a、b、・・・、n-1、nは輝度の順を表す。aがbより輝度が高く、且つ、bがn-1より輝度が高く、且つ、n-1がnより輝度が高い（ $a > b > \dots > n-1 > n$ ）。

[0142] また、制御部12は、表示信号線3-33に表示信号線3-31と同じ極性の表示信号を供給する。このため、時刻 t_{0a} ～ t_{1a} の期間、画素30

3のサブ画素303-1の液晶素子1-33-1（等価的な電気容量）には電位差 $=+2\text{ V}$ が発生する。また、サブ画素303-2の液晶素子1-33-2（等価的な電気容量）には電位差 $=+3\text{ V}$ が発生する。また、サブ画素303-（ $n-1$ ）の液晶素子1-33-（ $n-1$ ）（等価的な電気容量）の電位差には電位差 $=+4\text{ V}$ が発生する。また、サブ画素303- n の液晶素子1-33- n （等価的な電気容量）の電位差には $+5\text{ V}$ が発生する。このため、サブ画素303-1～303- n の輝度は、輝度は電位差に応じてサブ画素303- n がサブ画素303-（ $n-1$ ）より輝度が高く、且つ、サブ画素303-（ $n-1$ ）がサブ画素303-2より輝度が高く、且つ、サブ画素303-2がサブ画素303-1より輝度が高い。

[0143] 次に、画素302のサブ画素302-1～サブ画素302- n との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-32-1（等価的な電気容量）には、表示信号線3-32の -2 V と基準電位幹線4-3-1の $+3\text{ V}$ との電位差 $=-5\text{ V}$ が発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-32-2（等価的な電気容量）には、表示信号線3-32の -2 V と基準電位幹線4-3-2の $+2\text{ V}$ との電位差 $=-4\text{ V}$ が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-32-（ $n-1$ ）（等価的な電気容量）には、表示信号線3-32の -2 V と基準電位幹線4-3-（ $n-1$ ）の $+1\text{ V}$ との電位差 $=-3\text{ V}$ が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-32- n （等価的な電気容量）には、表示信号線3-32の -2 V と基準電位幹線4-3- n の 0 V との電位差 $=-2\text{ V}$ が発生する。この結果、サブ画素302-1～302- n の輝度は、電位差に応じてサブ画素302-1がサブ画素サブ画素302-2より輝度が高く、且つ、サブ画素サブ画素302-2がサブ画素302-（ $n-1$ ）より輝度が高く、且つ、サブ画素302-（ $n-1$ ）がサブ画素302- n より輝度が高い。

[0144] 次に、 $L+1$ フレームの動作について図26と図27を用いて説明する。図27において、時刻 t_{0b} 以降が、 $L+1$ フレームのタイミングチャート

である。

図 27 において、横軸は時間を示しており、縦軸は電位を示している。図 27 の波形 1 は、走査線 5-1 の電位の時間変化を示している。図 27 の波形 2 は、走査線 5-2 の電位の時間変化を示している。図 27 の波形 3 は、基準電位幹線 4-1 の電位の時間変化を示している。図 27 の波形 4 は、基準電位幹線 4-2 の電位の時間変化を示している。図 27 の波形 5 は、基準電位幹線 4-(n-1) の電位の時間変化を示している。図 27 の波形 6 は、基準電位幹線 4-(n) の電位の時間変化を示している。図 27 の波形 7 は、表示信号線 3-1 の電位の時間変化を示している。図 27 の波形 8 は、表示信号線 3-2 の電位の時間変化を示している。図 27 の波形 9 は、ノード X (node X) の電位の時間変化を示している。図 27 の波形 10 は、ノード Y (node Y) の電位の時間変化を示している。図 27 の波形 11 は、ノード X-ノード Y (node X-node Y) の電位 (Subpix (n-3) の印加電圧) の時間変化を示している。図 27 の波形 12 は、subpix (n-2) の液晶印加電圧の時間変化を示している。図 27 の波形 13 は、subpix (n-1) の液晶印加電圧の時間変化を示している。図 27 の波形 14 は、subpix (n) の液晶印加電圧の時間変化を示している。

- [0145] 制御部 12 が、垂直帰線期間、表示信号線 3-31~3-33 の電位の極性を L フレーム時とは逆極性に切り替える。さらに、制御部 12 は、基準電位幹線 4-3-1 の電位を +3V から 0V に切り替える。また、基準電位幹線 4-3-2 の電位を +2V から +1V に切り替える。また、基準電位幹線 4-3-(n-1) の電位を +1V から +2V に切り替える。また、基準電位幹線 4-3-n の電位を 0V から +3V に切り替える。すなわち、制御部 12 は、電位の大きさを、基準電位線 4-3-1 の電位が基準電位線 4-3-2 の電位より大であり、且つ、基準電位線 4-3-2 の電位が基準電位線 4-3-(n-1) の電位より大であり、且つ、基準電位線 4-3-(n-1) の電位が基準電位線 4-3-n の電位より大の関係 (基準電位線 4-3

$-1 > \text{基準電位線 } 4-3-2 > \dots > \text{基準電位線 } 4-3-(n-1) >$
 $\text{基準電位線 } 4-3-n)$ から、基準電位線 $4-3-n$ の電位が基準電位線 $4-3-(n-1)$ の電位より大であり、且つ、基準電位線 $4-3-(n-1)$ の電位が基準電位線 $4-3-2$ の電位より大であり、且つ、基準電位線 $4-3-2$ の電位が基準電位線 $4-3-1$ の電位より大の関係（基準電位線 $4-3-1 < \text{基準電位線 } 4-3-2 < \dots < \text{基準電位線 } 4-3-(n-1) < \text{基準電位線 } 4-3-n$ ）に切り替える。そして、制御部 12 は、表示信号線 3-31 から画素 301 と画素 303 とに -2 V を供給し、表示信号線 3-12 から画素 302 に $+5\text{ V}$ を供給する。

次に、制御部 12 は、走査線 5-31 を時刻 $t_{0b} \sim t_{1b}$ の期間、Hレベルに制御し、スイッチング素子 $2-31-1 \sim 2-31-n$ 、 $2-32-1 \sim 2-32-n$ 、および $2-33-1 \sim 2-33-n$ をオン状態にする。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

- [0146] 画素 301 のサブ画素 $301-1 \sim$ サブ画素 $301-n$ との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 $1-31-1$ には、表示信号線 3-31 の -2 V と基準電位幹線 $4-3-1$ の 0 V との電位差 $= -2\text{ V}$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 $1-11-2$ には、表示信号線 3-31 の -2 V と基準電位幹線 $4-3-2$ の $+1\text{ V}$ との電位差 $= -3\text{ V}$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 $1-31-(n-1)$ には、表示信号線 3-31 の -2 V と基準電位幹線 $4-3-(n-1)$ の $+2\text{ V}$ との電位差 $= -4\text{ V}$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 $1-31-n$ には、表示信号線 3-31 の -2 V と基準電位幹線 $4-3-n$ の $+3\text{ V}$ との電位差 $= -5\text{ V}$ が発生する。この結果、サブ画素 $301-1 \sim 301-n$ の輝度は、電位差に応じてサブ画素 $301-n$ がサブ画素 $301-(n-1)$ より輝度が高く、且つ、サブ画素 $301-(n-1)$ がサブ画素 $301-2$ より輝度が高く、且つ、サブ画素 $301-2$ がサブ画素 $301-1$ より輝度が高い。

[0147] また、制御部 12 は、表示信号線 3-33 に表示信号線 3-31 と同じ極性の表示信号を供給する。このため、時刻 $t_{0b} \sim t_{1b}$ の期間、画素 303 のサブ画素 303-1 の液晶素子 1-33-1 にはサブ画電位差 $= -2V$ が発生する。また、サブ画素 303-2 の液晶素子 1-33-2 には電位差 $= -3V$ が発生する。また、サブ画素 303- $(n-1)$ の液晶素子 1-33- $(n-1)$ には電位差 $= -4V$ が発生する。また、サブ画素 303- n の液晶素子 1-33- n には電位差 $= -5V$ が発生する。このため、サブ画素 303-1 $\sim$ 303- n の輝度は、輝度は電位差に応じてサブ画素 303- n がサブ画素 303- $(n-1)$ より輝度が高く、且つ、サブ画素 303- $(n-1)$ がサブ画素 303-2 より輝度が高く、且つ、サブ画素 303-2 がサブ画素 303-1 より輝度が高い。

[0148] 次に、画素 302 のサブ画素 302-1 $\sim$ サブ画素 302- n との動作について説明する。時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-32-1 には、表示信号線 3-32 の $+5V$ と基準電位幹線 4-3-1 の $0V$ との電位差 $= +5V$ が発生する。また、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-32-2 には、表示信号線 3-32 の $+5V$ と基準電位幹線 4-3-2 の $+1V$ との電位差 $= +4V$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-32- $(n-1)$ には、表示信号線 3-32 の $+5V$ と基準電位幹線 4-3- $(n-1)$ の $+2V$ との電位差 $= +3V$ が発生する。さらに、時刻 $t_{0b} \sim t_{1b}$ の期間、液晶素子 1-32- n には、表示信号線 3-32 の $+5V$ と基準電位幹線 4-3- n の $+3V$ との電位差 $= +2V$ が発生する。この結果、サブ画素 302-1 $\sim$ 302- n の輝度は、電位差に応じてサブ画素 302-1 がサブ画素サブ画素 302-2 より輝度が高く、且つ、サブ画素サブ画素 302-2 がサブ画素 302- $(n-1)$ より輝度が高く、且つ、サブ画素 302- $(n-1)$ がサブ画素 302- n より輝度が高い。

[0149] また、本実施形態では、基準電位幹線 4-3-1 $\sim$ 4-3- n の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、 $60Hz$ 駆動、解像度 Full-

H D (1 0 8 0 本の走査線を有する) の表示装置では $1/60/1080$ (秒) 毎である。さらに、画素選択期間を $1H$ と定義すると、 $2kH$ (k は 1 以上の整数) 毎に電位の切り替えを行うようにしてもよい。

[0150] 以上のように、1つの画素の偶数個のサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、データライン反転駆動によるマルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、1フレームに1回のみしか各基準電圧幹線 $4-4-1 \sim 4-4-n$ の電位を変化する必要が無いため、低消費電力の表示装置を実現できる。

[0151] [第9実施形態]

第9実施形態における液晶表示装置は、1画素が n 個 (奇数) のサブ画素から構成されている液晶表示装置の実施形態である。図28は、第9実施形態における n 個のサブ画素 ($Sub-Pix(1)$ 、 $Sub-Pix(2)$ 、 $\dots$ 、 $Sub-Pix((n+1)/2)$ 、 $\dots$ 、 $Sub-Pix(n-1)$ 、 $Sub-Pix(n)$) を備える画素 ($Pix(n)$) を有する液晶表示装置の L フレーム時の動作を説明する等価回路である。図29は、第9実施形態における n 個のサブ画素 ($Sub-Pix(1)$ 、 $Sub-Pix(2)$ 、 $\dots$ 、 $Sub-Pix((n+1)/2)$ 、 $\dots$ 、 $Sub-Pix(n-1)$ 、 $Sub-Pix(n)$) を備える画素 ($Pix(n)$) を有する液晶表示装置の $L+1$ フレーム時の動作を説明する等価回路である。第9実施形態における液晶表示装置は、行方向に隣接する画素 $401 \sim 403$ を備える。各画素 $401 \sim 403$ は、さらに n 個のサブ画素を備える。そして、画素 401 は、列方向に対してサブ画素 $401-1 \sim$ サブ画素 $401-n$ の順に配置されている。画素 402 は、列方向に対してサブ画素 $402-1 \sim$ サブ画素 $402-n$ の順に配置されている。画素 403 は、列方向に対してサブ画素 $403-1 \sim$ サブ画素 $403-n$ の順に配置されている。

[0152] まず、画素 401 のサブ画素 $401-1 \sim$ サブ画素 $401-n$ の構成を説明する。スイッチング素子 $2-41-1 \sim 2-41-n$ とのゲート端子は、

共通の走査線 5-4 1 に接続されている。スイッチング素子 2-4 1-1 のソース端子は、基準電位幹線 4-4-1 に接続されている。また、スイッチング素子 2-4 1-1 のドレイン端子は、表示電極 1 1 を介して液晶素子 1-4 1-1 の一方に接続されている。また、液晶素子 1-4 1-1 の他方は、透明電極 1 3 を介して表示信号線（第 1 表示信号線） 3-4 1 に接続されている。また、スイッチング素子 2-4 1-2 のソース端子は、基準電位幹線 4-4-2 に接続されている。また、スイッチング素子 2-4 1-2 のドレイン端子は、表示電極 1 1 を介して液晶素子 1-4 1-2 の一方に接続されている。また、液晶素子 1-4 1-2 の他方は、透明電極 1 3 を介して表示信号線 3-4 1 に接続されている。さらに、スイッチング素子 2-4 1- $(n+1)/2$ のソース端子は、基準電位幹線 4-4- $(n+1)/2$ に接続されている。また、スイッチング素子 2-4 1- $(n+1)/2$ のドレイン端子は、表示電極 1 1 を介して液晶素子 1-4 1- $(n+1)/2$ の一方に接続されている。また、液晶素子 1-4 1- $(n+1)/2$ の他方は、透明電極 1 3 を介して表示信号線 3-4 1 に接続されている。さらに、スイッチング素子 2-4 1- $(n-1)$ のソース端子は、基準電位幹線 4-4- $(n-1)$ に接続されている。また、スイッチング素子 2-4 1- $(n-1)$ のドレイン端子は、表示電極 1 1 を介して液晶素子 1-4 1- $(n-1)$ の一方に接続されている。また、液晶素子 1-4 1- $(n-1)$ の他方は、透明電極 1 3 を介して表示信号線 3-4 1 に接続されている。さらに、スイッチング素子 2-4 1- n のソース端子は、基準電位幹線 4-4- n に接続されている。また、スイッチング素子 2-4 1- n のドレイン端子は、表示電極 1 1 を介して液晶素子 1-4 1- n の一方に接続されている。また、液晶素子 1-4 1- n の他方は、透明電極 1 3 を介して表示信号線 3-4 1 に接続されている。

[0153] 次に、画素 4 0 2 のサブ画素 4 0 2-1 ~ サブ画素 4 0 2- n の構成を説明する。スイッチング素子 2-4 2-1 ~ 2-4 2- n とのゲート端子は、共通の走査線 5-4 1 に接続されている。スイッチング素子 2-4 2-1 の

ソース端子は、基準電位幹線 $4-4-1$ に接続されている。また、スイッチング素子 $2-42-1$ のドレイン端子は、表示電極 11 を介して液晶素子 $1-42-1$ の一方に接続されている。また、液晶素子 $1-42-1$ の他方は、透明電極 13 を介して表示信号線（第2表示信号線） $3-42$ に接続されている。また、スイッチング素子 $2-42-2$ のソース端子は、基準電位幹線 $4-4-2$ に接続されている。また、スイッチング素子 $2-42-2$ のドレイン端子は、表示電極 11 を介して液晶素子 $1-42-2$ の一方に接続され、液晶素子 $1-42-2$ の他方は、透明電極 13 を介して表示信号線 $3-42$ に接続されている。さらに、スイッチング素子 $2-42-(n+1)/2$ のソース端子は、基準電位幹線 $4-4-(n+1)/2$ に接続されている。また、スイッチング素子 $2-42-(n+1)/2$ のドレイン端子は、表示電極 11 を介して液晶素子 $1-42-(n+1)/2$ の一方に接続されている。また、液晶素子 $1-42-(n+1)/2$ の他方は、透明電極 13 を介して表示信号線 $3-42$ に接続されている。さらに、スイッチング素子 $2-42-(n-1)$ のソース端子は、基準電位幹線 $4-4-(n-1)$ に接続されている。また、スイッチング素子 $2-42-(n-1)$ のドレイン端子は、表示電極 11 を介して液晶素子 $1-42-(n-1)$ の一方に接続されている。また、液晶素子 $1-42-(n-1)$ の他方は、透明電極 13 を介して表示信号線 $3-42$ に接続されている。さらに、スイッチング素子 $2-42-n$ のソース端子は、基準電位幹線 $4-4-n$ に接続されている。また、スイッチング素子 $2-42-n$ のドレイン端子は、表示電極 11 を介して液晶素子 $1-42-n$ の一方に接続されている。また、液晶素子 $1-42-n$ の他方は、透明電極 13 を介して表示信号線 $3-42$ に接続されている。

[0154] 次に、液晶表示装置の動作を、図28と図30を用いて説明する。図30は、第9実施形態におけるLフレーム時とL+1フレーム時の液晶表示装置のタイミングチャートである。

まず、Lフレーム（Lは1以上の自然数）時、画素401～403の各サ

ブ画素の動作について説明する。制御部 12 は、基準電位幹線 4-4-1 を +4 V に制御する。また、基準電位幹線 4-4-2 を +3 V に制御する。また、基準電位幹線 4-(n-1)/2 を +2 V に制御する。また、基準電位幹線 4-4-(n-1) を +1 V に制御する。また、基準電位幹線 4-4-n を 0 V に制御する（図 28、時刻 t0a）。すなわち、制御部 12 は、電位の大小関係を、基準電位線 4-4-1 の電位が基準電位線 4-4-2 の電位より大であり、且つ、基準電位線 4-4-2 の電位が基準電位線 4-(n+1)/2 の電位より大であり、且つ、基準電位線 4-(n+1)/2 の電位が基準電位線 4-4-(n-1) の電位より大であり、且つ、基準電位線 4-4-(n-1) の電位が基準電位線 4-4-n の電位より大の関係（基準電位線 4-4-1 > 基準電位線 4-4-2 > ... > 基準電位線 4-(n+1)/2 > ... > 基準電位線 4-4-(n-1) > 基準電位線 4-4-n）に制御する。また、制御部 12 は、表示信号線 3-41 と 3-43 から画素 401 と画素 403 とに +5 V の信号を供給し、表示信号線 3-42 から画素 402 に -1 V の信号を供給する。また、各表示信号線 3-11 ~ 3-13 のレンジは、例えば正極性側 +5 V ~ +1 V、負極性側 -5 V ~ -1 V である。

次に、制御部 12 は、走査線 5-41 を時刻 t0a ~ t1a の期間、H レベルに制御し、スイッチング素子 2-41-1 ~ 2-41-n、2-42-1 ~ 2-32-n、および、2-33-1 ~ 2-43-n をオン状態にする。なお、図 30 に示した表示信号線 3-41 と 3-42 の信号レベルは、動作の一例を示す信号レベルである。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

[0155] 画素 401 のサブ画素 401-1 ~ サブ画素 401-n との動作について説明する。時刻 t0a ~ t1a の期間、液晶素子 1-41-1（等価的な電気容量）には、表示信号線 3-41 の +5 V と基準電位幹線 4-4-1 の +4 V との電位差 = +1 V が発生する。また、時刻 t0a ~ t1a の期間、液晶素子 1-41-2（等価的な電気容量）には、表示信号線 3-41 の +5

Vと基準電位幹線4-4-2の+3Vとの電位差=+2Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-41-($n+1$)/2（等価的な電気容量）には、表示信号線3-41の+5Vと基準電位幹線4-4-($n+1$)/2の+2Vとの電位差=+3Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-41-($n-1$)（等価的な電気容量）には、表示信号線3-41の+5Vと基準電位幹線4-4-($n-1$)の+1Vとの電位差=+4Vが発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子1-41-n（等価的な電気容量）には、表示信号線3-41の+5Vと基準電位幹線4-4-nの0Vとの電位差=+5Vが発生する。この結果、サブ画素401-1~401-nの輝度は、電位差に応じてサブ画素401-nがサブ画素401-($n-1$)より輝度が高く、且つ、サブ画素401-($n-1$)がサブ画素401-($n+1$)/2より輝度が高く、且つ、サブ画素401-($n+1$)/2がサブ画素401-2より輝度が高く、且つ、サブ画素401-2がサブ画素401-1より輝度が高い。なお、図28と図29とにおいて、記号a、b、・・・、 $n-1$ 、nは輝度の順を表す。aがbより輝度が高く、且つ、bが $n-1$ より輝度が高く、且つ、 $n-1$ がnより輝度が高い（ $a > b > \dots > n-1 > n$ ）。

[0156] また、制御部12は、表示信号線3-43に表示信号線3-41と同じ極性の表示信号を供給する。このため、時刻 $t_{0a} \sim t_{1a}$ の期間、画素403のサブ画素403-1の液晶素子1-43-1（等価的な電気容量）には電位差=+1Vが発生する。また、サブ画素403-2の液晶素子1-43-2（等価的な電気容量）には電位差=+2Vが発生する。また、サブ画素403-($n+1$)/2の液晶素子1-43-($n+1$)/2には電位差=+3Vが発生する。また、サブ画素403-($n-1$)の液晶素子1-4-($n-1$)（等価的な電気容量）には電位差=+4Vが発生する。また、サブ画素403-nの液晶素子1-4-n（等価的な電気容量）には電位差=+5Vが発生する。このため、サブ画素403-1~403-nの輝度は、輝度は電位差に応じてサブ画素403-nがサブ画素403-($n-1$)より

り輝度が高く、且つ、サブ画素 403- $(n-1)$ がサブ画素 403- $(n+1)/2$ より輝度が高く、且つ、サブ画素 403- $(n+1)/2$ がサブ画素 403-2 より輝度が高く、且つ、サブ画素 403-2 がサブ画素 403-1 より輝度が高い。

[0157] 次に、画素 402 のサブ画素 402-1 ~ サブ画素 402- n との動作について説明する。時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-42-1 (等価的な電気容量) には、表示信号線 3-42 の -1 V と基準電位幹線 4-4-1 の +4 V との電位差 = -5 V が発生する。また、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-42-2 (等価的な電気容量) には、表示信号線 3-42 の -1 V と基準電位幹線 4-4-2 の +3 V との電位差 = -4 V が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-42- $(n+1)/2$ (等価的な電気容量) には、表示信号線 3-42 の -1 V と基準電位幹線 4-4- $(n+1)/2$ の +2 V との電位差 = -3 V が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-42- $(n-1)$ (等価的な電気容量) には、表示信号線 3-42 の -1 V と基準電位幹線 4-4- $(n-1)$ の +1 V との電位差 = -2 V が発生する。さらに、時刻 $t_{0a} \sim t_{1a}$ の期間、液晶素子 1-42- n (等価的な電気容量) には、表示信号線 3-42 の -1 V と基準電位幹線 4-4- n の 0 V との電位差 = -1 V が発生する。この結果、サブ画素 402-1 ~ 402- n の輝度は、電位差に応じてサブ画素 402-1 がサブ画素 402-2 より輝度が高く、且つ、サブ画素 402-2 がサブ画素 402- $(n+1)/2$ より輝度が高く、且つ、サブ画素 402- $(n+1)/2$ がサブ画素 402- $(n-1)$ より輝度が高く、且つ、サブ画素 402- $(n-1)$ がサブ画素 402- n より輝度が高い。

[0158] 次に、 $L+1$ フレームの動作について図 29 と図 30 を用いて説明する。図 30 において、時刻 t_{0b} 以降が、 $L+1$ フレームのタイミングチャートである。

図 30 において、横軸は時間を示しており、縦軸は電位を示している。図 30 の波形 1 は、走査線 5-21 の電位の時間変化を示している。図 30 の

波形 2 は、走査線 5-22 の電位の時間変化を示している。図 30 の波形 3 は、基準電位幹線 4-21 の電位の時間変化を示している。図 30 の波形 4 は、基準電位幹線 4-22 の電位の時間変化を示している。図 30 の波形 5 は、基準電位幹線 4-(n-1) の電位の時間変化を示している。図 30 の波形 6 は、基準電位幹線 4-(n) の電位の時間変化を示している。図 30 の波形 7 は、表示信号線 3-21 の電位の時間変化を示している。図 30 の波形 8 は、表示信号線 3-22 の電位の時間変化を示している。図 30 の波形 9 は、ノード X (node X) の電位の時間変化を示している。図 30 の波形 10 は、ノード Y (node Y) の電位の時間変化を示している。図 30 の波形 11 は、ノード X-ノード Y (node X-node Y) の電位 (Subpix (n-3) の印加電圧) の時間変化を示している。図 30 の波形 12 は、subpix (n-2) の液晶印加電圧の時間変化を示している。図 30 の波形 13 は、subpix (n-1) の液晶印加電圧の時間変化を示している。図 30 の波形 14 は、subpix (n) の液晶印加電圧の時間変化を示している。

- [0159] 制御部 12 が、垂直帰線期間、表示信号線 3-41~3-43 の電位の極性を L フレーム時とは逆極性に切り替える。さらに、制御部 12 は、基準電位幹線 4-4-1 の電位を +4 V から 0 V に切り替える。また、基準電位幹線 4-4-2 の電位を +3 V から +1 V に切り替える。また、基準電位幹線 4-4-(n-1) の電位を +1 V から +3 V に切り替える。また、基準電位幹線 4-4-n の電位を 0 V から +4 V に切り替える。すなわち、制御部 12 は、電位の大きさを、基準電位線 4-4-1 の電位が基準電位線 4-4-2 の電位より大であり、且つ、基準電位線 4-4-2 の電位が基準電位線 4-(n+1)/2 の電位より大であり、且つ、基準電位線 4-(n+1)/2 の電位が基準電位線 4-4-(n-1) の電位より大であり、且つ、基準電位線 4-4-(n-1) の電位が基準電位線 4-4-n の電位より大の関係 (基準電位線 4-4-1 > 基準電位線 4-4-2 > ... > 基準電位線 4-(n+1)/2 > ... > 基準電位線 4-4-(n-1) > 基準電位

線 $4-4-n$) から、基準電位線 $4-4-n$ の電位が基準電位線 $4-4-(n-1)$ の電位より大であり、且つ、基準電位線 $4-4-(n-1)$ の電位が基準電位線 $4-(n+1)/2$ の電位より大であり、且つ、基準電位線 $4-(n+1)/2$ の電位が基準電位線 $4-4-2$ の電位より大であり、且つ、基準電位線 $4-4-2$ の電位が基準電位線 $4-4-1$ の電位より大の関係 (基準電位線 $4-4-1 < \text{基準電位線 } 4-4-2 < \dots < \text{基準電位線 } 4-4-(n+1)/2 < \dots < \text{基準電位線 } 4-4-(n-1) < \text{基準電位線 } 4-4-n$) の関係に切り替える。また、制御部 12 は、表示信号線 3-31 から画素 301 と画素 403 に -1V を供給し、表示信号線 3-12 から画素 402 に $+5\text{V}$ を供給する。

次に、制御部 12 は、走査線 5-41 を時刻 $t_{0b} \sim t_{1b}$ の期間、Hレベルに制御し、スイッチング素子 $2-401-1 \sim 2-41-n$ 、 $2-42-1 \sim 2-42-n$ 、および $2-43-1 \sim 2-43-n$ をオン状態にする。以下、各スイッチング素子がオン状態になり、各液晶素子に発生する電位差を説明する。

- [0160] 画素 401 のサブ画素 $401-1 \sim$ サブ画素 $401-n$ との動作について説明する。液晶素子 $1-41-1$ には、表示信号線 3-41 の -1V と基準電位幹線 $4-4-1$ の 0V との電位差 $= -1\text{V}$ が発生する。また、液晶素子 $1-41-2$ には、表示信号線 3-41 の -1V と基準電位幹線 $4-4-2$ の $+1\text{V}$ との電位差 $= -2\text{V}$ が発生する。さらに、液晶素子 $1-41-(n+1)/2$ には、表示信号線 3-41 の -1V と基準電位幹線 $4-4-(n+1)/2$ の $+2\text{V}$ との電位差 $= -3\text{V}$ が発生する。さらに、液晶素子 $1-41-(n-1)$ には、表示信号線 3-41 の -1V と基準電位幹線 $4-4-(n-1)$ の $+3\text{V}$ との電位差 $= -4\text{V}$ が発生する。さらに、液晶素子 $1-41-n$ には、表示信号線 3-41 の -1V と基準電位幹線 $4-4-n$ の $+4\text{V}$ との電位差 $= -5\text{V}$ が発生する。この結果、サブ画素 $401-1 \sim 401-n$ の輝度は、電位差に応じてサブ画素 $401-n$ がサブ画素 $401-(n-1)$ より輝度が高く、且つ、サブ画素 $401-(n-1)$ がサブ画素

$401 - (n + 1) / 2$ より輝度が高く、且つ、サブ画素 $401 - (n + 1) / 2$ がサブ画素 $401 - 2$ より輝度が高く、且つ、サブ画素 $401 - 2$ がサブ画素 $401 - 1$ より輝度が高い。

[0161] また、制御部12は、表示信号線3-43に表示信号線3-41と同じ極性の表示信号を供給する。このため、画素403のサブ画素403-1の液晶素子1-43-1には電位差 $= -1\text{ V}$ が発生する。また、サブ画素403-2の液晶素子1-43-2には電位差 $= -2\text{ V}$ が発生する。また、サブ画素 $403 - (n + 1) / 2$ の液晶素子1-43- $(n + 1) / 2$ には電位差 $= -3\text{ V}$ が発生する。また、サブ画素 $403 - (n - 1)$ の液晶素子1-4- $(n - 1)$ には電位差 $= -4\text{ V}$ が発生する。また、サブ画素 $403 - n$ の液晶素子1-4-nには電位差 $= -5\text{ V}$ が発生する。このため、サブ画素403-1 $\sim$ 403-nの輝度は、輝度は電位差に応じてサブ画素403-nがサブ画素403- $(n - 1)$ より輝度が高く、且つ、サブ画素403- $(n - 1)$ がサブ画素 $403 - (n + 1) / 2$ より輝度が高く、且つ、サブ画素 $403 - (n + 1) / 2$ がサブ画素403-2より輝度が高く、且つ、サブ画素403-2がサブ画素403-1より輝度が高い。

[0162] 次に、画素402のサブ画素402-1 $\sim$ サブ画素402-nとの動作について説明する。液晶素子1-42-1には、表示信号線3-42の $+5\text{ V}$ と基準電位幹線4-4-1の 0 V との電位差 $= +5\text{ V}$ が発生する。また、液晶素子1-42-2には、表示信号線3-42の $+5\text{ V}$ と基準電位幹線4-4-2の $+1\text{ V}$ との電位差 $= +4\text{ V}$ が発生する。さらに、液晶素子1-42- $(n + 1) / 2$ には、表示信号線3-42の $+5\text{ V}$ と基準電位幹線4-4- $(n + 1) / 2$ の $+2\text{ V}$ との電位差 $= +3\text{ V}$ が発生する。さらに、液晶素子1-42- $(n - 1)$ には、表示信号線3-42の $+5\text{ V}$ と基準電位幹線4-4- $(n - 1)$ の $+3\text{ V}$ との電位差 $= +2\text{ V}$ が発生する。さらに、液晶素子1-42-nには、表示信号線3-42の $+5\text{ V}$ と基準電位幹線4-4-nの 0 V との電位差 $= +1\text{ V}$ が発生する。

この結果、サブ画素402-1 $\sim$ 402-nの輝度は、電位差に応じてサ

ブ画素 $402-1$ がサブ画素 $402-2$ より輝度が高く、且つ、サブ画素 $402-2$ がサブ画素 $402-(n+1)/2$ より輝度が高く、且つ、サブ画素 $402-(n+1)/2$ がサブ画素 $402-(n-1)$ より輝度が高く、且つ、サブ画素 $402-(n-1)$ がサブ画素 $402-n$ より輝度が高い。

[0163] また、本実施形態では、基準電位幹線 $4-4-1 \sim 4-4-n$ の電位の大きさをフレーム毎に切り替える例を説明したが、画素選択期間毎であってもよい。なお、画素選択期間とは、例えば、 60Hz 駆動、解像度 Full-HD (1080本の走査線を有する) の表示装置では $1/60/1080$ (秒) 毎である。さらに、画素選択期間を 1H と定義すると、 2kHz (k は1以上の整数) 毎に電位の切り替えを行うようにしてもよい。

[0164] 以上のように、1つの画素の偶数個のサブ画素の各液晶素子の等価的な電気容量間に異なる電位差を生じさせることができ、データライン反転駆動によるマルチ画素の対向マトリクスを構成した液晶表示装置が可能になる。また、1フレームに1回のみしか各基準電圧幹線 $4-4-1 \sim 4-4-n$ の電位を変化する必要が無いため、低消費電力の表示装置を実現できる。

[0165] また、本実施形態では、本発明の液晶表示装置の動作を3画素～6画素の構成について説明したが、画素数は行方向、および列方向にさらに複数の画素が構成されていても良い。

[0166] また、本実施形態では、各表示信号線3と各基準電位幹線4と各走査線5との制御を制御部12で行う例を説明したが、各々別の駆動部で制御するようによっても良い。

[0167] また、本実施形態で説明に用いた各信号レベル、基準電位幹線の電位は例であり、各実施形態における極性や電位の大小関係であれば、異なる電位でも同様に実施できる。

産業上の利用可能性

[0168] 本発明は、マルチ画素の対向マトリクスを構成した液晶表示装置などに適用できる。

符号の説明

- [0169] 1、1-11~1-12、1-21~1-22、1-31~1-32、1-41~1-42、1-51~1-52、1-61~1-62・・・液晶素子
- 2、2-11~2-12、2-21~2-22、2-31~2-32、2-41~2-42、2-51~2-52、2-61~2-62・・・スイッチング素子
- 3、3-1~3-3・・・表示信号線
- 4、4-1~4-2・・・基準電位幹線
- 5、5-1~5-2・・・走査線
- 10・・・第1基板
- 11・・・電極
- 12・・・制御部
- 13・・・透明電極
- 20・・・第2基板
- 101~106・・・画素
- 111~113、121~123、131~133、141~143、151~152、161~163・・・サブ画素

請求の範囲

- [請求項1] 複数の輝度領域に対応した n 個（ $n \geq 2$ 、 n は正の整数）のサブ画素から構成される画素がマトリクス状に配置され、
各々の前記サブ画素が有するスイッチング素子と、
各々の前記サブ画素が有する液晶素子と、
第1基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、
表示信号を供給する第1表示信号線と、
走査線と、
制御部と、
前記第1基準電位幹線から前記第 n 基準電位幹線と前記スイッチング素子とが配置された第1基板と、
前記第1表示信号線が配置された第2基板と、
を備え、
前記第1基板と前記第2基板との間に前記液晶素子が形成され、
前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第1表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第1基準電位幹線から前記第 n 基準電位幹線に接続され、
前記制御部は、
前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する液晶表示装置。
- [請求項2] 前記制御部は、
前記第1表示信号線の電位の極性をフレーム毎に切り替える請求項1に記載の液晶表示装置。
- [請求項3] 前記制御部は、
電位の大きさを第1基準電位幹線から第 n 基準電位幹線の順と第 n 基準電位幹線から第1基準電位幹線の順とにフレーム毎に交互に切り

替える請求項 2 に記載の液晶表示装置。

[請求項 4]

前記制御部は、

前記第 1 表示信号線の電位を所定の基準電位を中心にフレーム毎に切り替え、

電位の大きさを所定の基準電位を中心にし、さらに所定の電圧振幅を加算して、第 1 基準電位幹線から第 n 基準電位幹線の順と第 n 基準電位幹線から第 1 基準電位幹線の順とにフレーム毎に交互に切り替える請求項 1 に記載の液晶表示装置。

[請求項 5]

表示信号を供給する第 2 表示信号線、

を更に備え、

前記 n 個のサブ画素とそれぞれ行方向に隣接して配置される n 個のサブ画素の各々の前記液晶素子は、一方が前記第 2 表示信号線に接続され、他方が各々の前記スイッチング素子を介してそれぞれ前記第 1 基準電位幹線から前記第 n 基準電位幹線に接続され、

前記制御部は、

前記第 1 表示信号線および前記第 2 表示信号線の電位の極性をフレーム毎に交互に切り替える請求項 2 または請求項 3 に記載の液晶表示装置。

[請求項 6]

前記 n 個のサブ画素とそれぞれ行方向に隣接して配置される n 個のサブ画素から構成される画素がマトリクス状に配置され、

前記第 1 基準幹線の電位の大きさと異なる第 1' 基準幹線と、

表示信号を供給する第 2 表示信号線と、

を更に備え、

前記スイッチング素子を介して前記第 1 基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 1' 基準電位幹線に接続され、

前記スイッチング素子を介して前記第 2 基準幹線に接続されている

前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第2表示信号線に接続され、他方が前記スイッチング素子を介して前記第2基準電位幹線に接続され、

前記制御部は、

前記第1基準電位幹線の電位の大きさと前記第1'基準幹線の電位の大きさとの関係を、フレーム毎に交互に切り替える請求項1または請求項2に記載の液晶表示装置。

[請求項7]

前記制御部は、

前記第1基準電位幹線の電位の方が前記第1'基準幹線の電位より大きい関係から、前記第1'基準幹線の電位の方が前記第1基準電位幹線の電位より大きい関係に、フレーム毎に交互に切り替え、

または、

前記第1'基準幹線の電位の極性と前記第1基準電位幹線の電位の極性とをフレーム毎に交互に入れ替える請求項6に記載の液晶表示装置。

[請求項8]

前記n個のサブ画素とそれぞれ行方向に隣接して配置されるn個のサブ画素のサブ画素から構成される画素がマトリクス状に配置され、

前記第1基準幹線の電位の大きさと異なる第1'基準幹線と、

第3基準幹線の電位の大きさと異なる第3'基準幹線と、

表示信号を供給する第2表示信号線と、

を更に備え、

前記スイッチング素子を介して前記第1基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第2表示信号線に接続され、他方が前記スイッチング素子を介して前記第1'基準電位幹線に接続され、

前記スイッチング素子を介して前記第2基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第2表示信号線に接続され、他方が前記スイッ

チング素子を介して前記第 2 基準電位幹線に接続され、

前記スイッチング素子を介して前記第 3 基準幹線に接続されている前記液晶素子のサブ画素と行方向に隣接する画素の前記サブ画素の液晶素子は、一方が前記第 2 表示信号線に接続され、他方が前記スイッチング素子を介して前記第 3' 基準電位幹線に接続され、

前記制御部は、

前記第 1 基準電位幹線の電位の大きさと前記第 1' 基準幹線の電位の大きさの関係と、前記第 3 基準電位幹線の電位の大きさと前記第 3' 基準幹線の電位の大きさの関係とを、フレーム毎に交互に切り替える請求項 1 または請求項 2 に記載の液晶表示装置。

[請求項 9]

前記制御部は、

前記第 1 基準電位幹線の電位の方が前記第 1' 基準幹線の電位より大きい関係且つ前記第 3 基準電位幹線の電位の方が前記第 3' 基準幹線の電位より大きい関係から、前記第 1' 基準幹線の電位の方が前記第 1 基準電位幹線の電位より大きい関係且つ前記第 3' 基準幹線の電位の方が前記第 3 基準電位幹線の電位より大きい関係にフレーム毎に交互に切り替え、

または、

前記第 1' 基準幹線の電位の方が前記第 1 基準電位幹線の電位より大きい関係且つ前記第 3 基準電位幹線の電位の方が前記第 3' 基準幹線の電位より大きい関係から、前記第 1 基準電位幹線の電位の方が前記第 1' 基準幹線の電位より大きい関係且つ前記第 3' 基準幹線の電位の方が前記第 3 基準電位幹線の電位より大きい関係にフレーム毎に交互に切り替える請求項 8 に記載の液晶表示装置。

[請求項 10]

s (s は正の整数) 行目の前記画素の各々前記サブ画素は、前記第 n 基準電位幹線に対して $s - 1$ 行目の前記画素の各々の前記サブ画素と線対称に配置されている請求項 1 に記載の液晶表示装置。

[請求項 11]

第 1 基準電位幹線から前記第 n 基準電位幹線と前記スイッチング素

子とが配置された第1基板と前記第1表示信号線が配置された第2基板との間に液晶素子が形成されている液晶表示装置の画素回路において、

複数の輝度領域に対応した n 個（ $n \geq 2$ 、 n は正の整数）のサブ画素から構成される画素がマトリクス状に配置され、

各々の前記サブ画素が有するスイッチング素子と、

各々の前記サブ画素が有する液晶素子と、

第1基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが異なる n 本の基準電位幹線と、

表示信号を供給する第1表示信号線と、

走査線と、

制御部と、

を備え、

前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第1表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第1基準電位幹線から前記第 n 基準電位幹線に接続され、

前記制御部は、

前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する画素回路。

[請求項12]

第1基準電位幹線から第 n 基準電位幹線とスイッチング素子とが配置された第1基板と第1表示信号線が配置された第2基板との間に液晶素子が形成されている液晶表示装置の駆動方法において、

複数の輝度領域に対応した n 個（ $n \geq 2$ 、 n は正の整数）のサブ画素から構成される画素がマトリクス状に配置され、

各々の前記サブ画素が有するスイッチング素子と、

各々の前記サブ画素が有する液晶素子と、

第1基準電位幹線から第 n 基準電位幹線までの互いに電位の大きさが

が異なる n 本の基準電位幹線と、

表示信号を供給する第 1 表示信号線と、

走査線と、

制御部と、

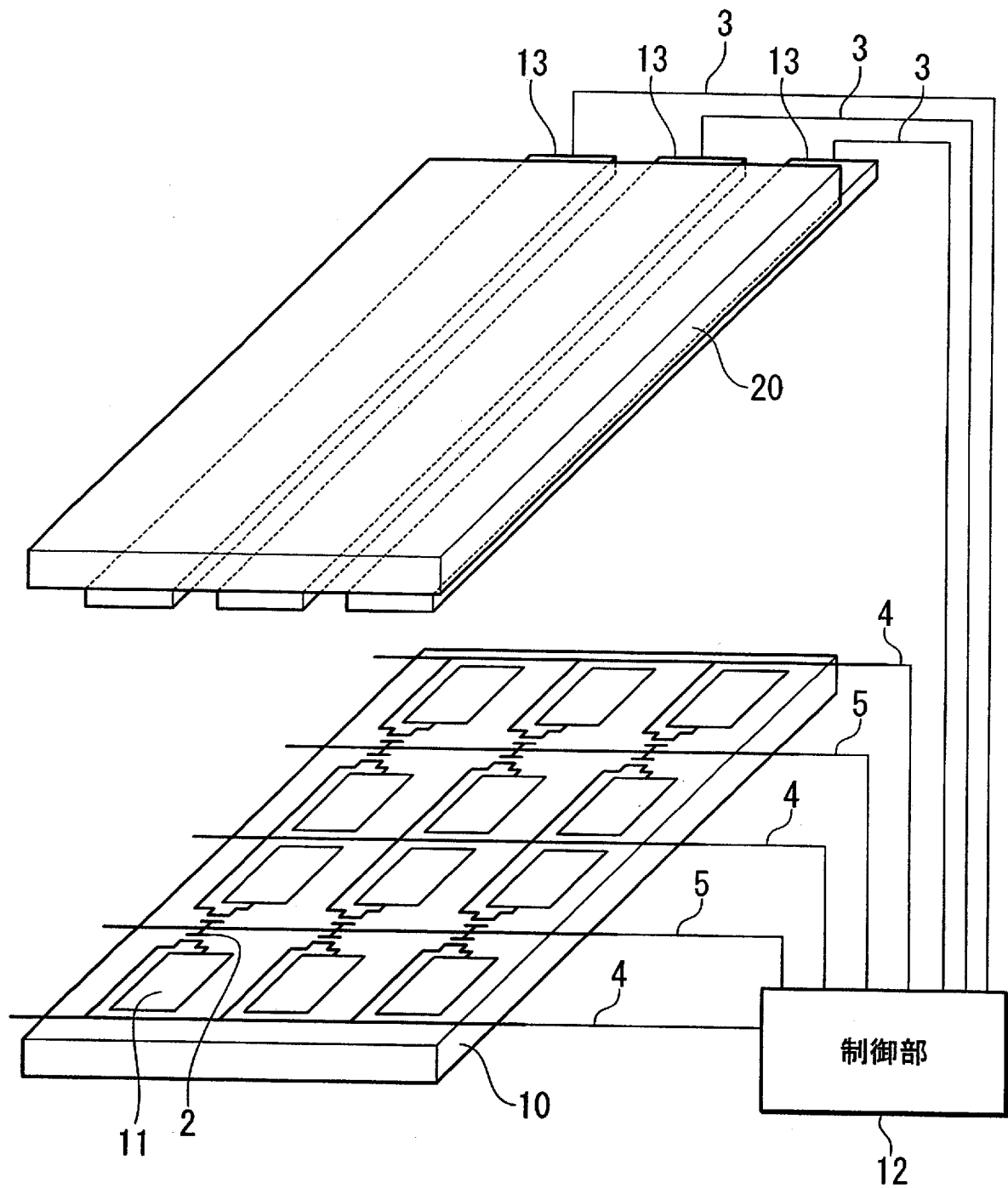
を備え、

前記 n 個のサブ画素の各々の前記液晶素子の一方の極が前記第 1 表示信号線に接続され、 n 個の前記サブ画素の各々の前記液晶素子の他方の極が各々の前記スイッチング素子を介してそれぞれ前記第 1 基準電位幹線から前記第 n 基準電位幹線に接続され、

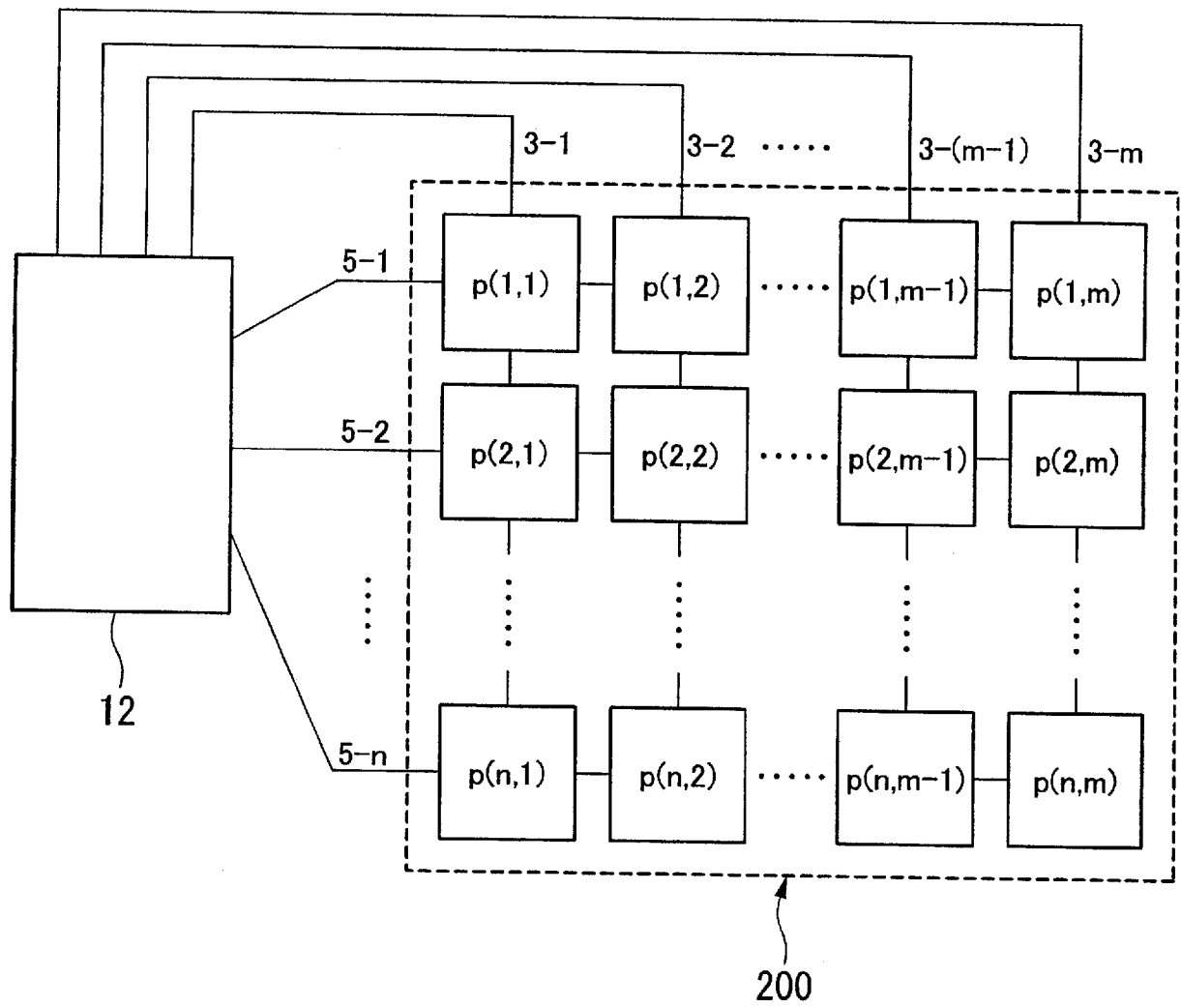
前記制御部は、

前記走査線からオン状態の信号を前記 n 個のサブ画素の各々の前記スイッチング素子に同じタイミングで供給する駆動方法。

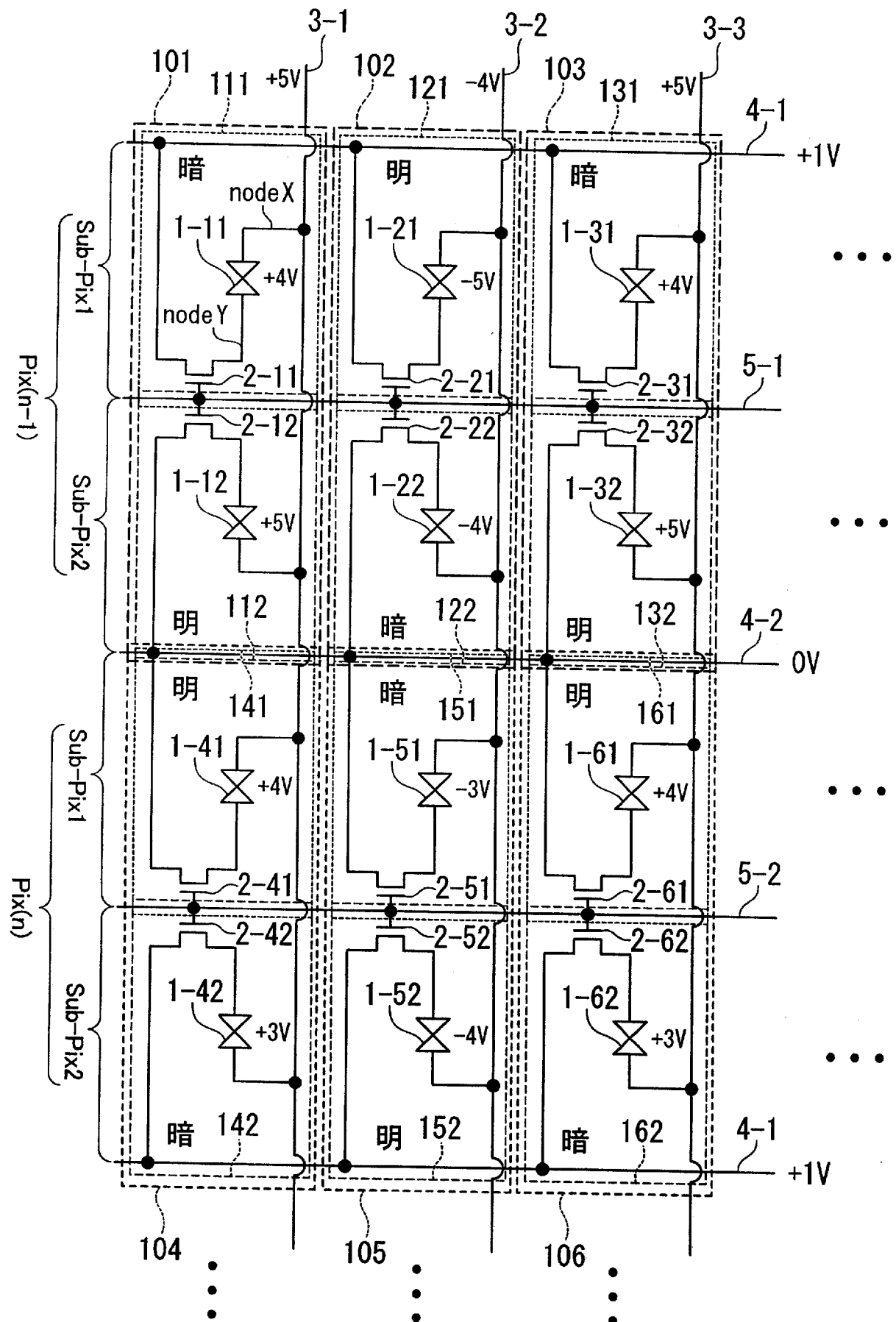
[図1]



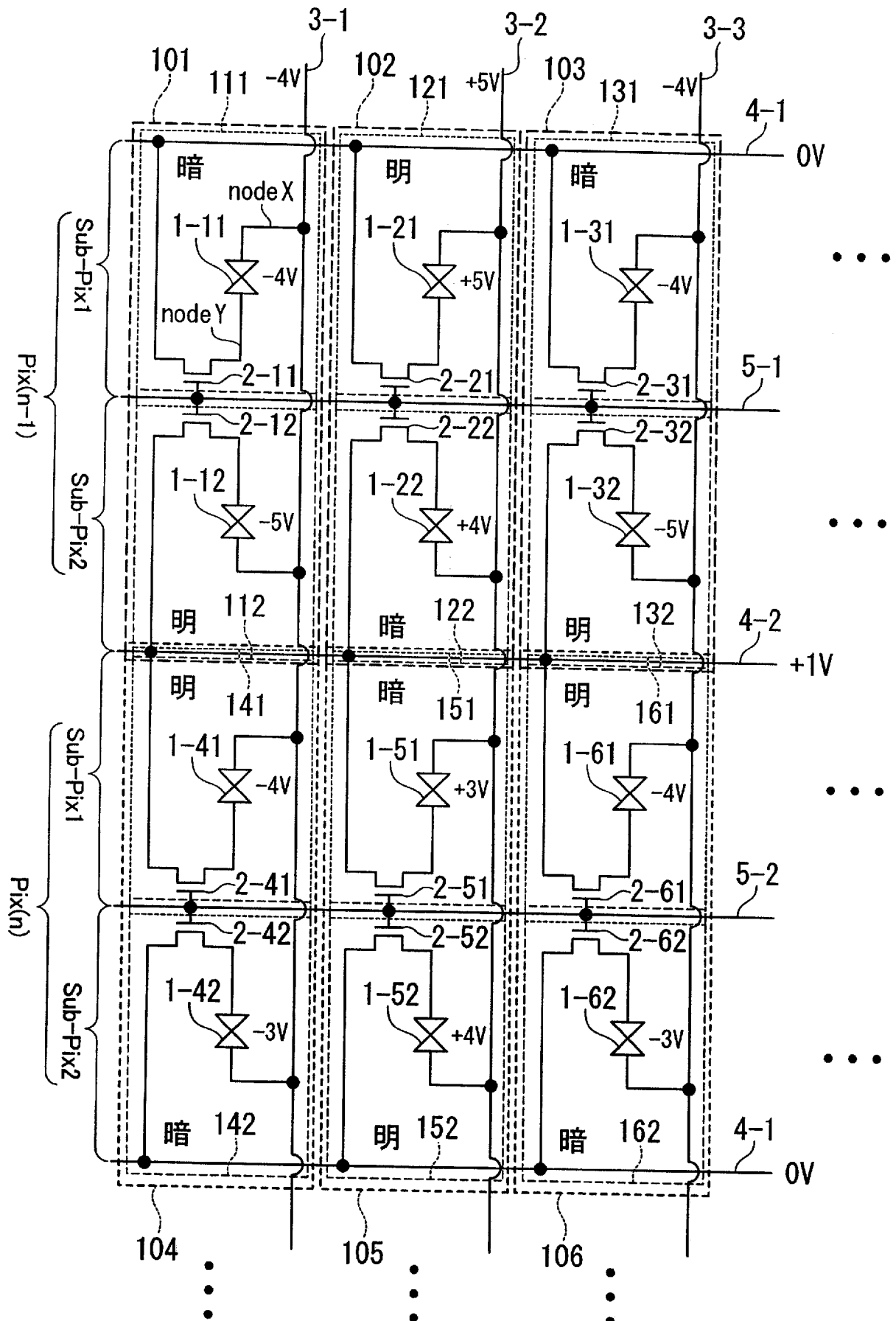
[図2]



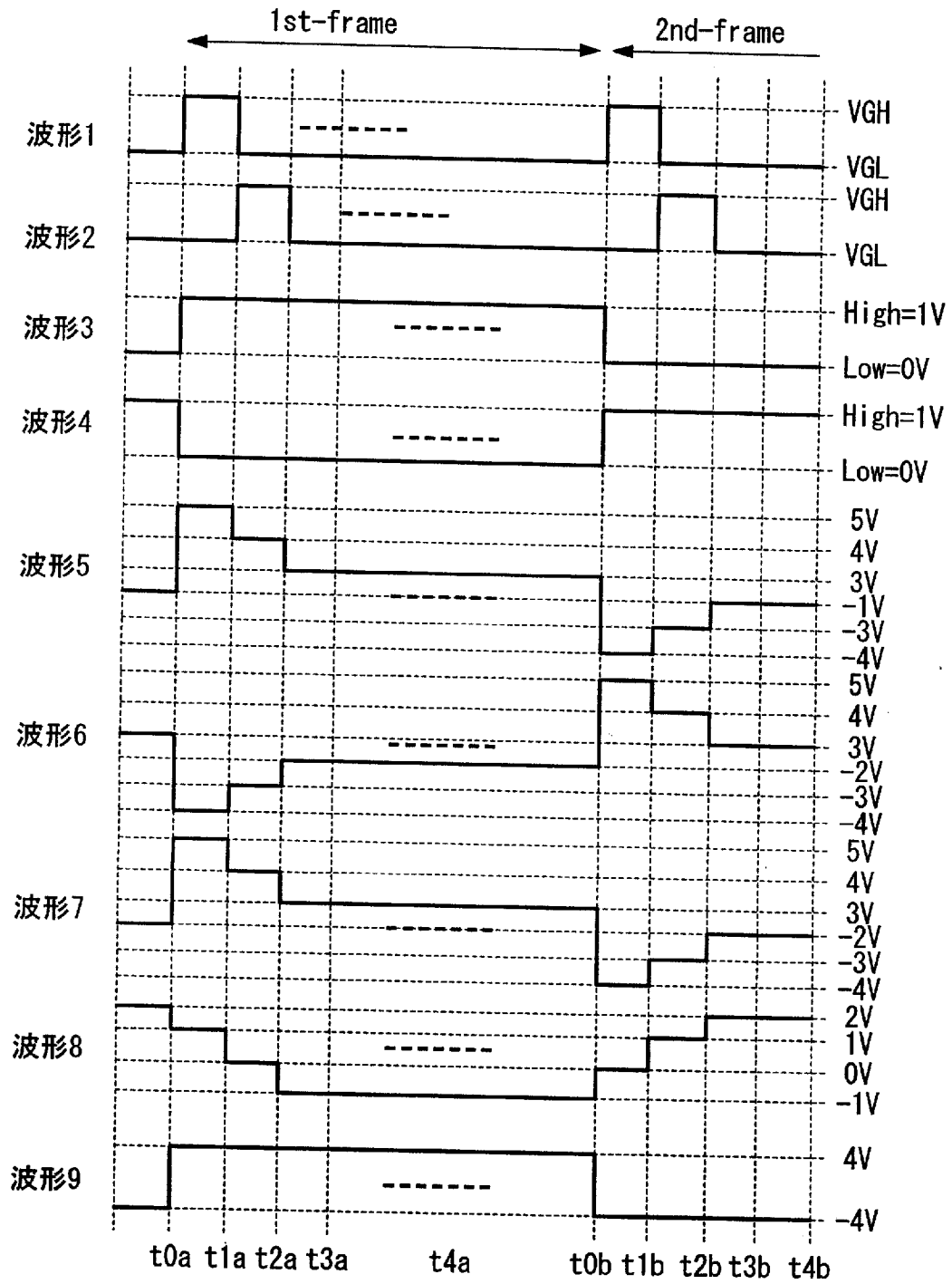
[図3]



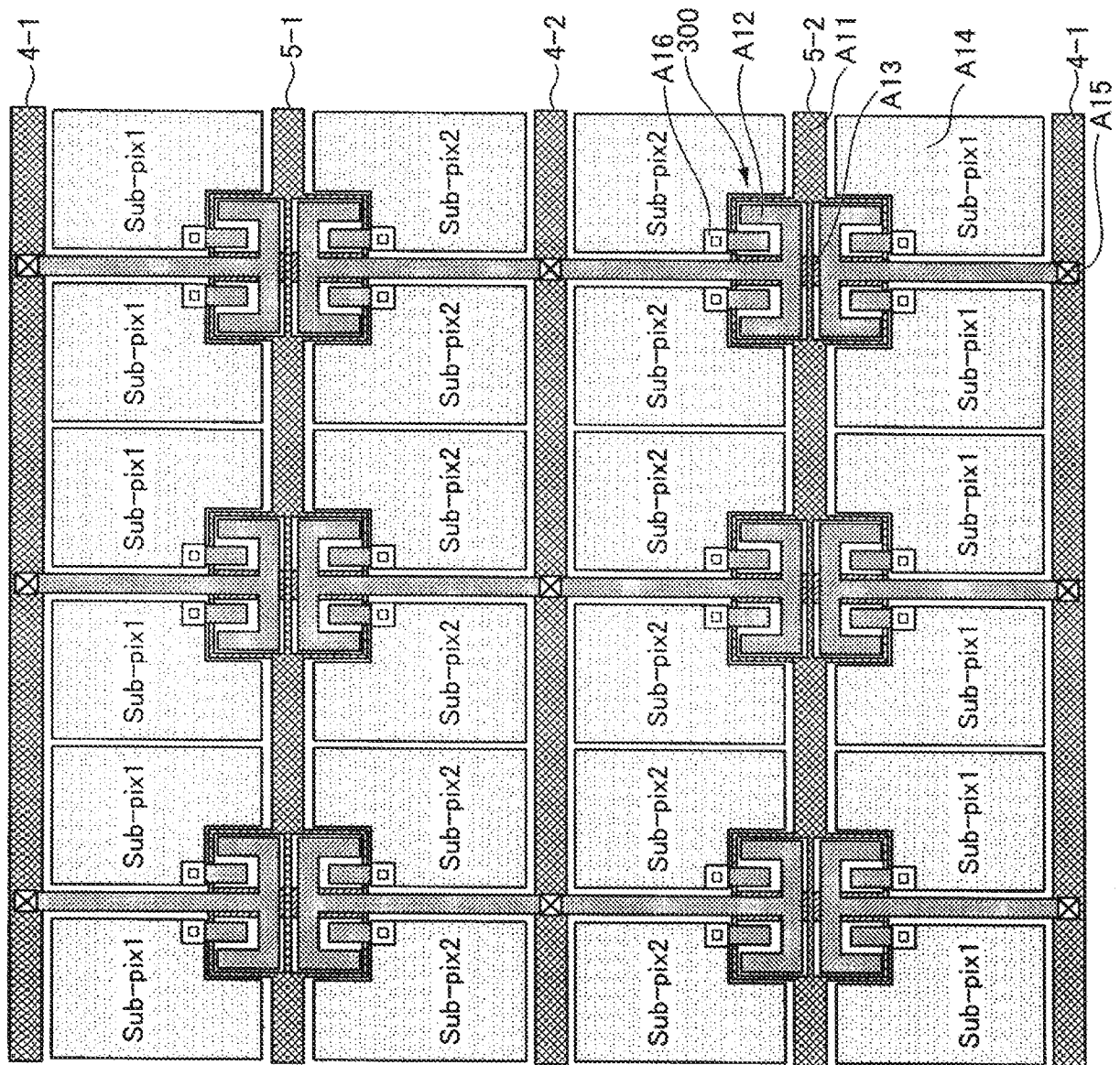
[図4]



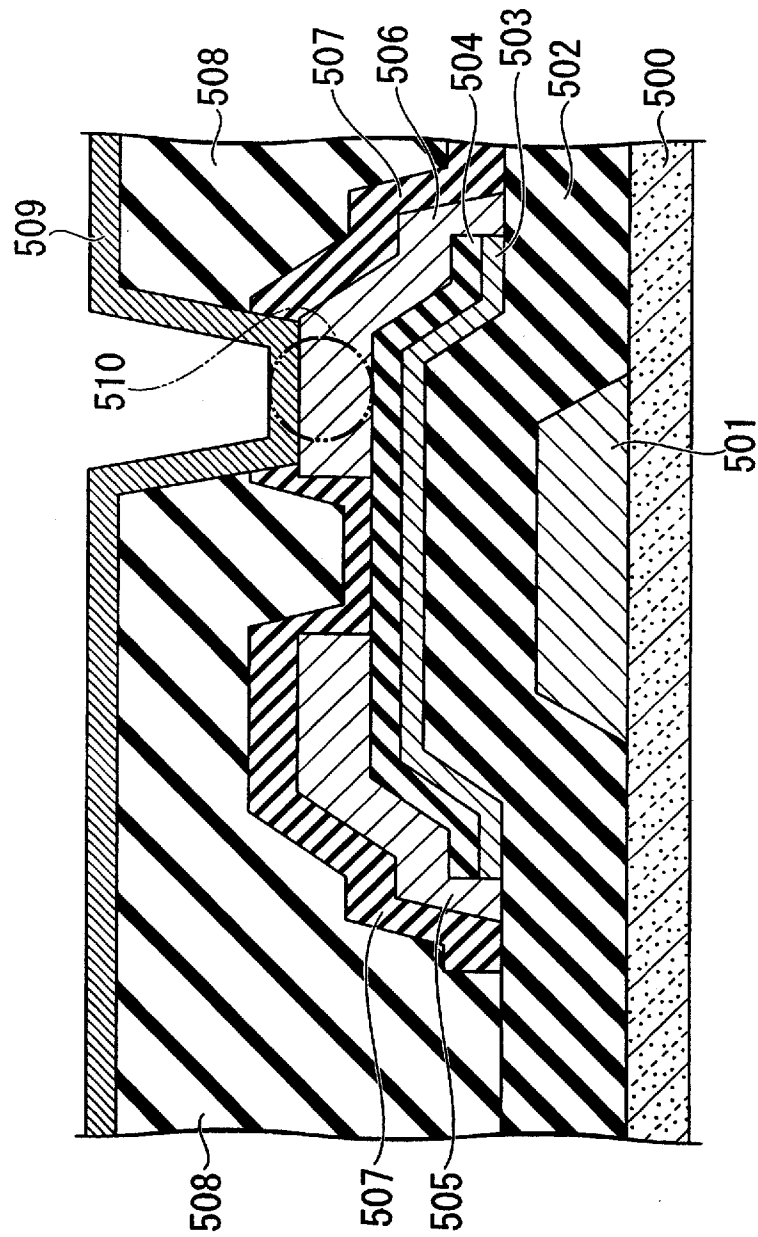
[图5]



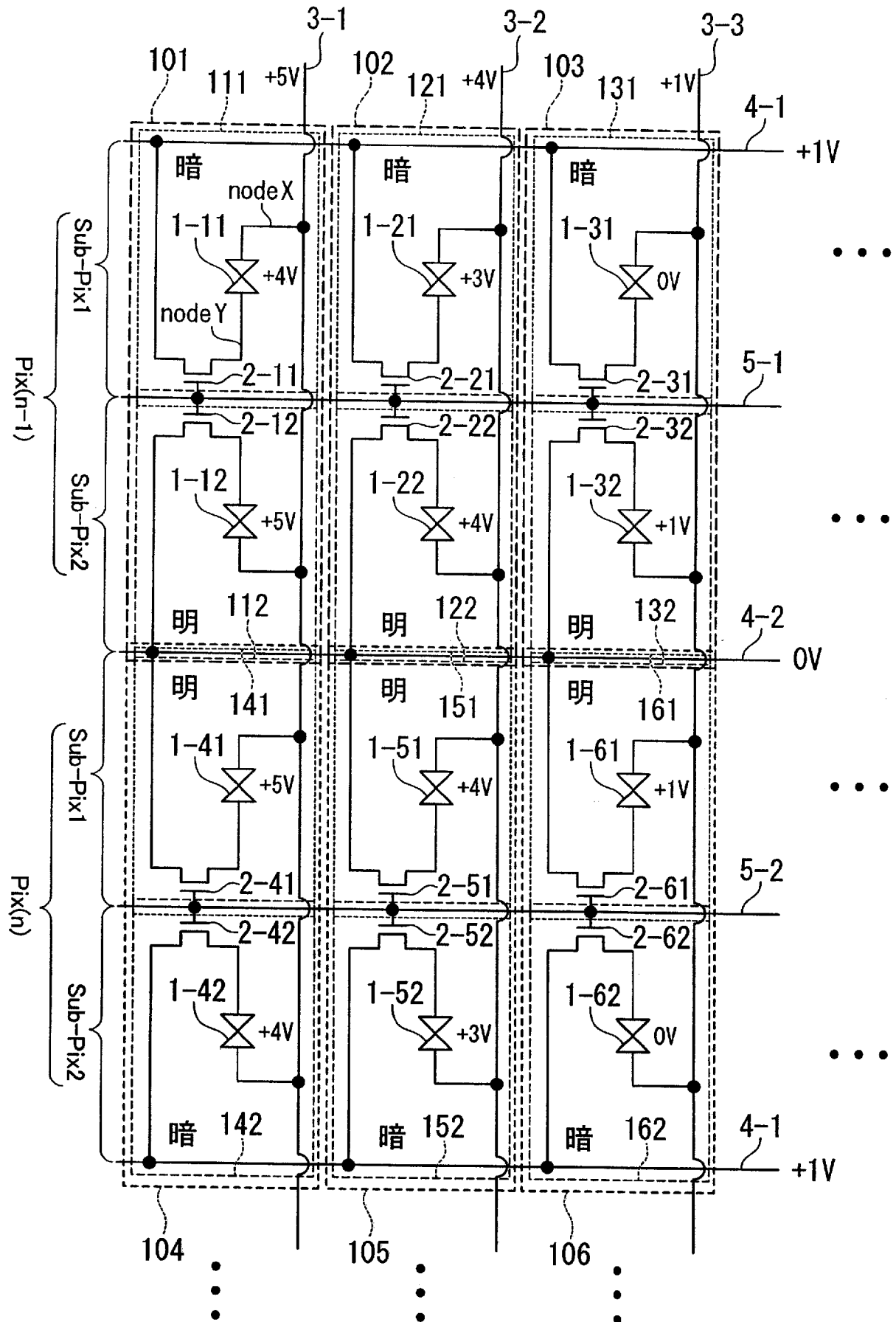
[図6]



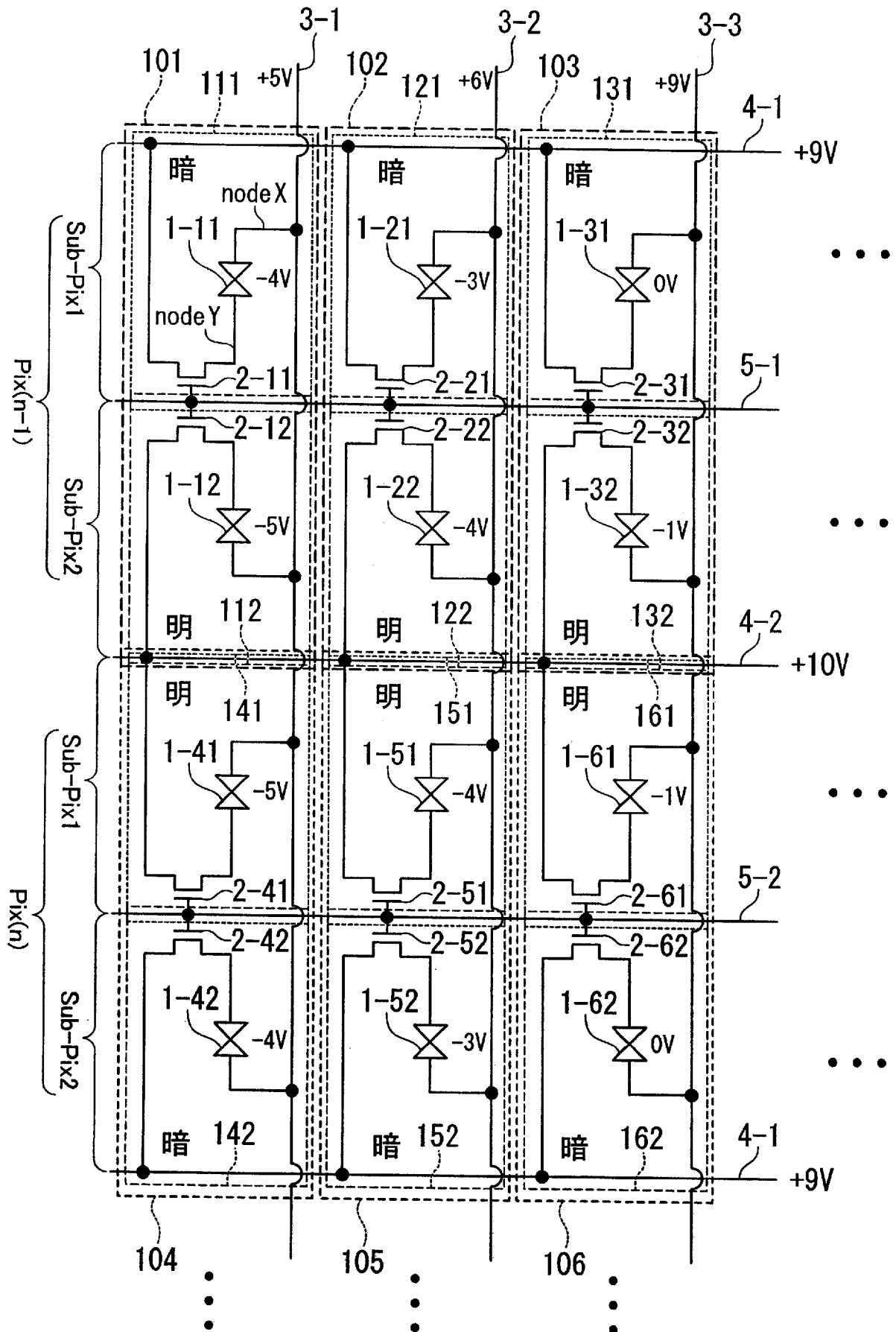
[図7]



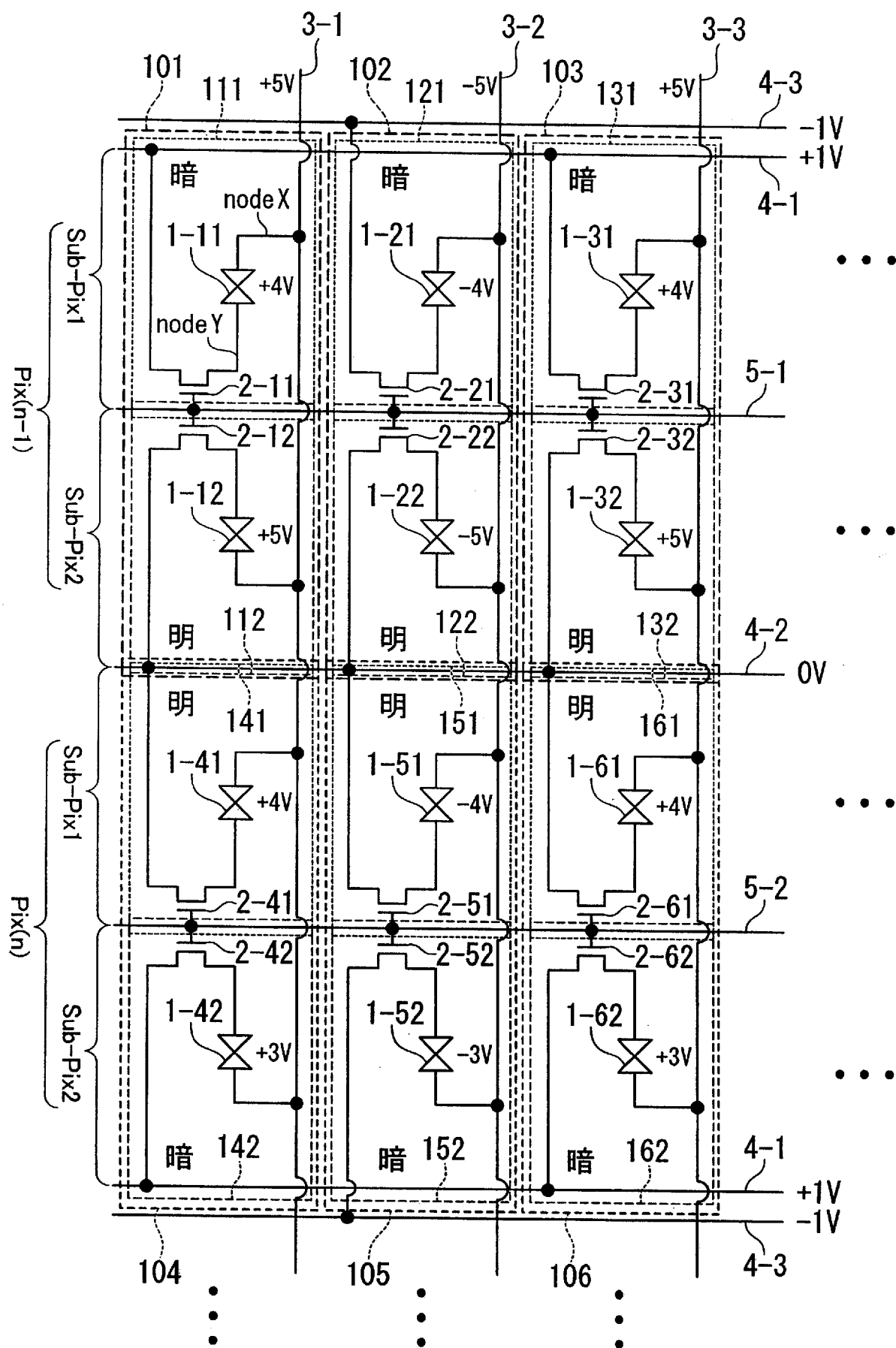
[図8]



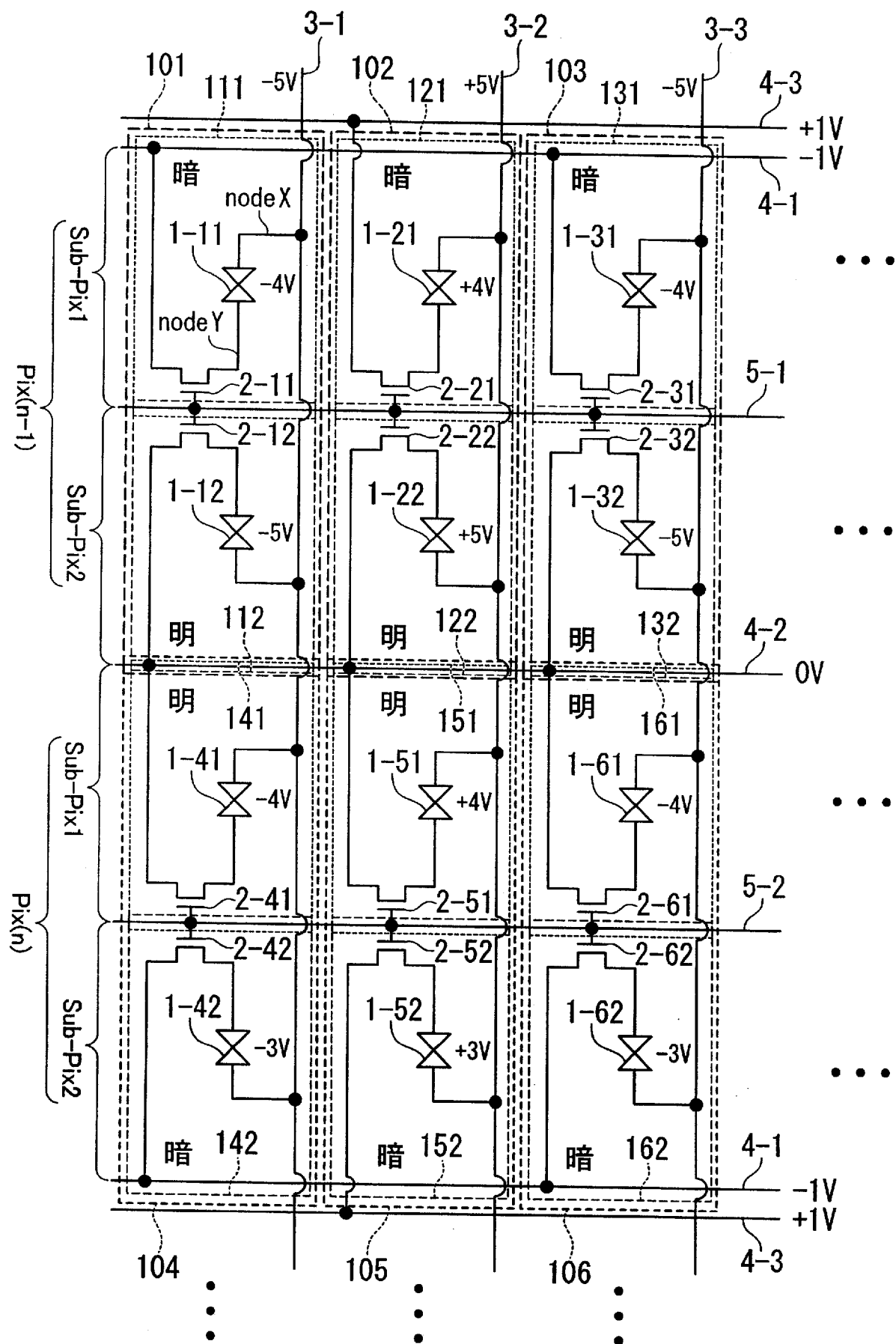
[図9]



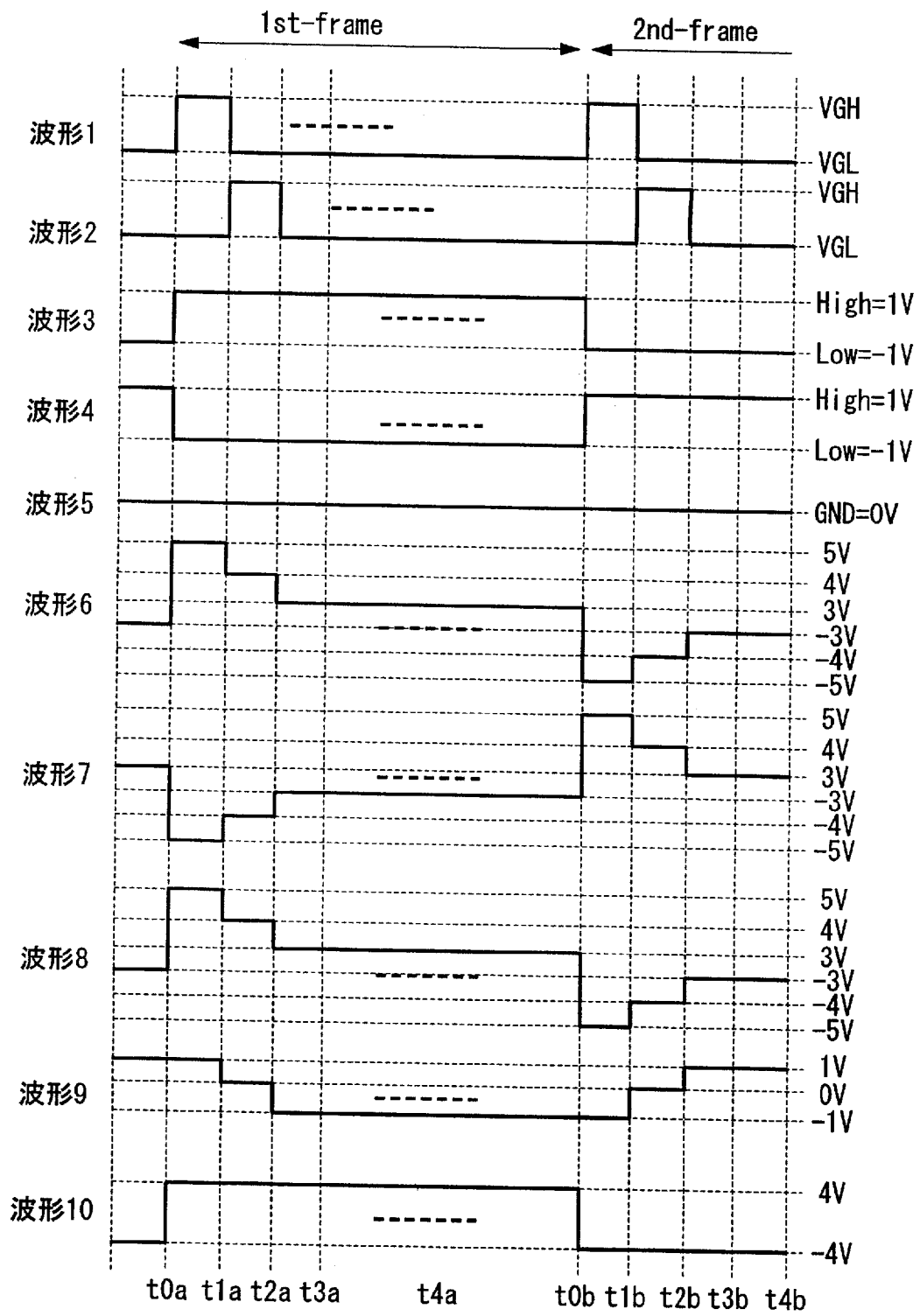
[図10]



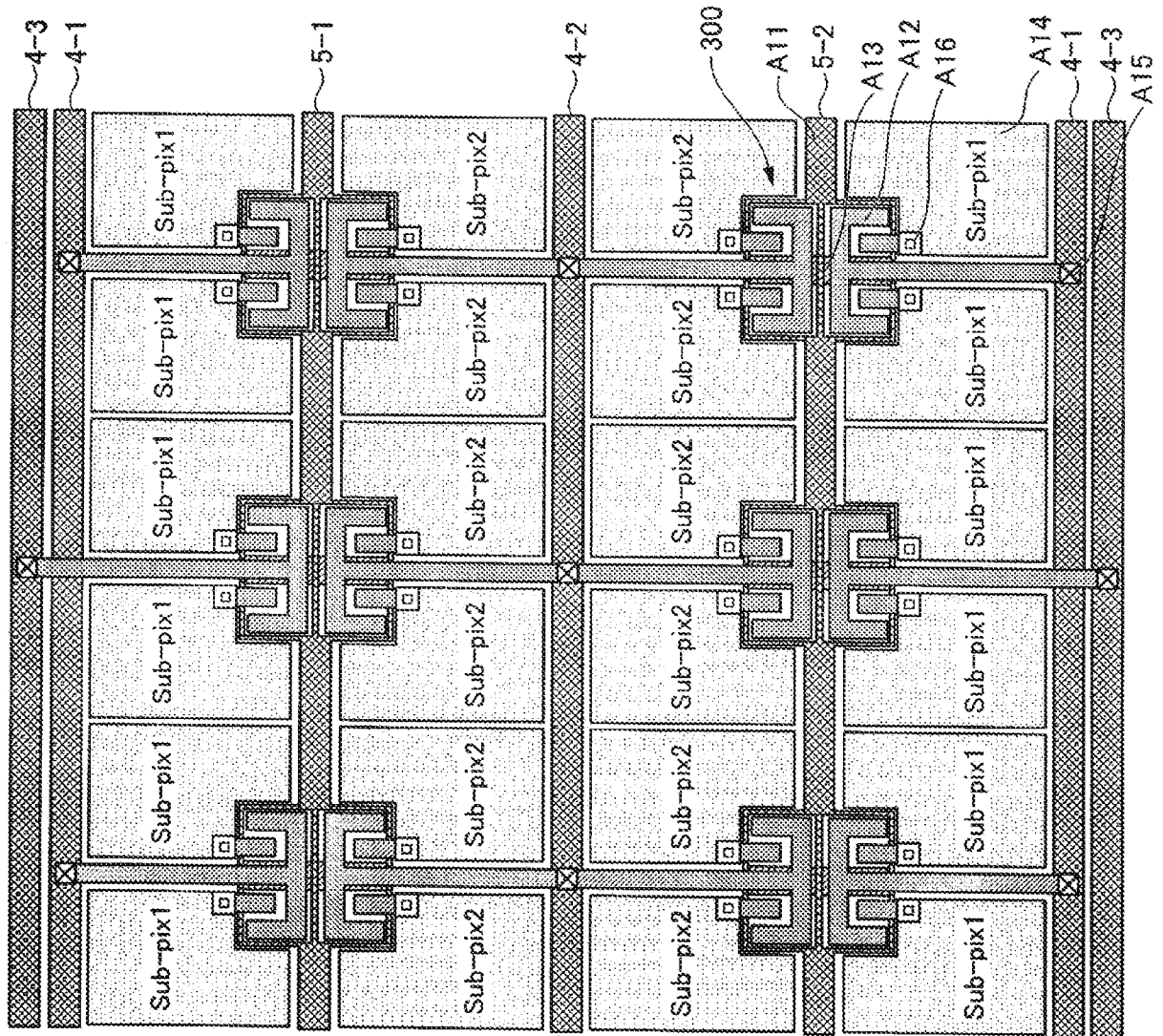
[図11]



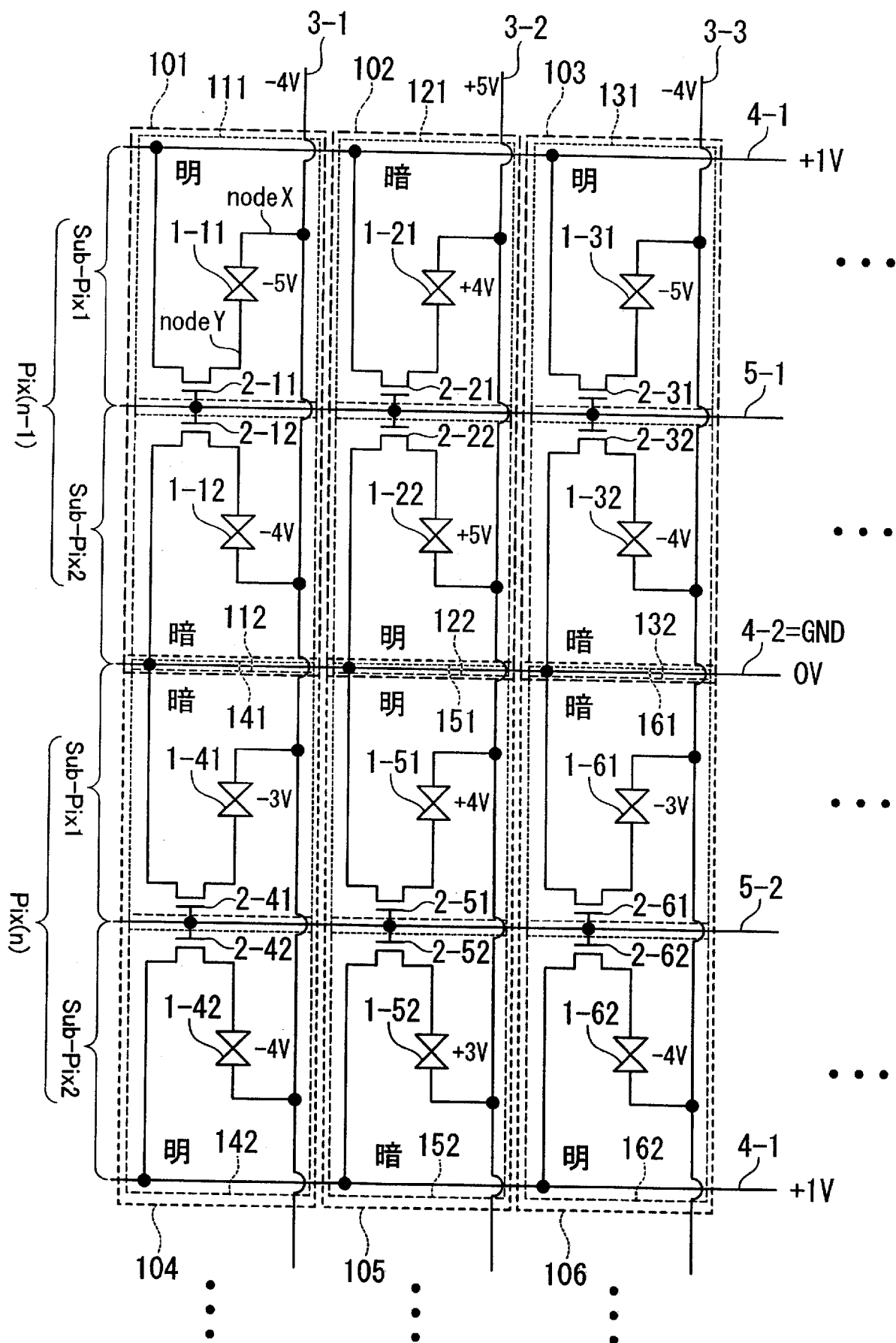
[図12]



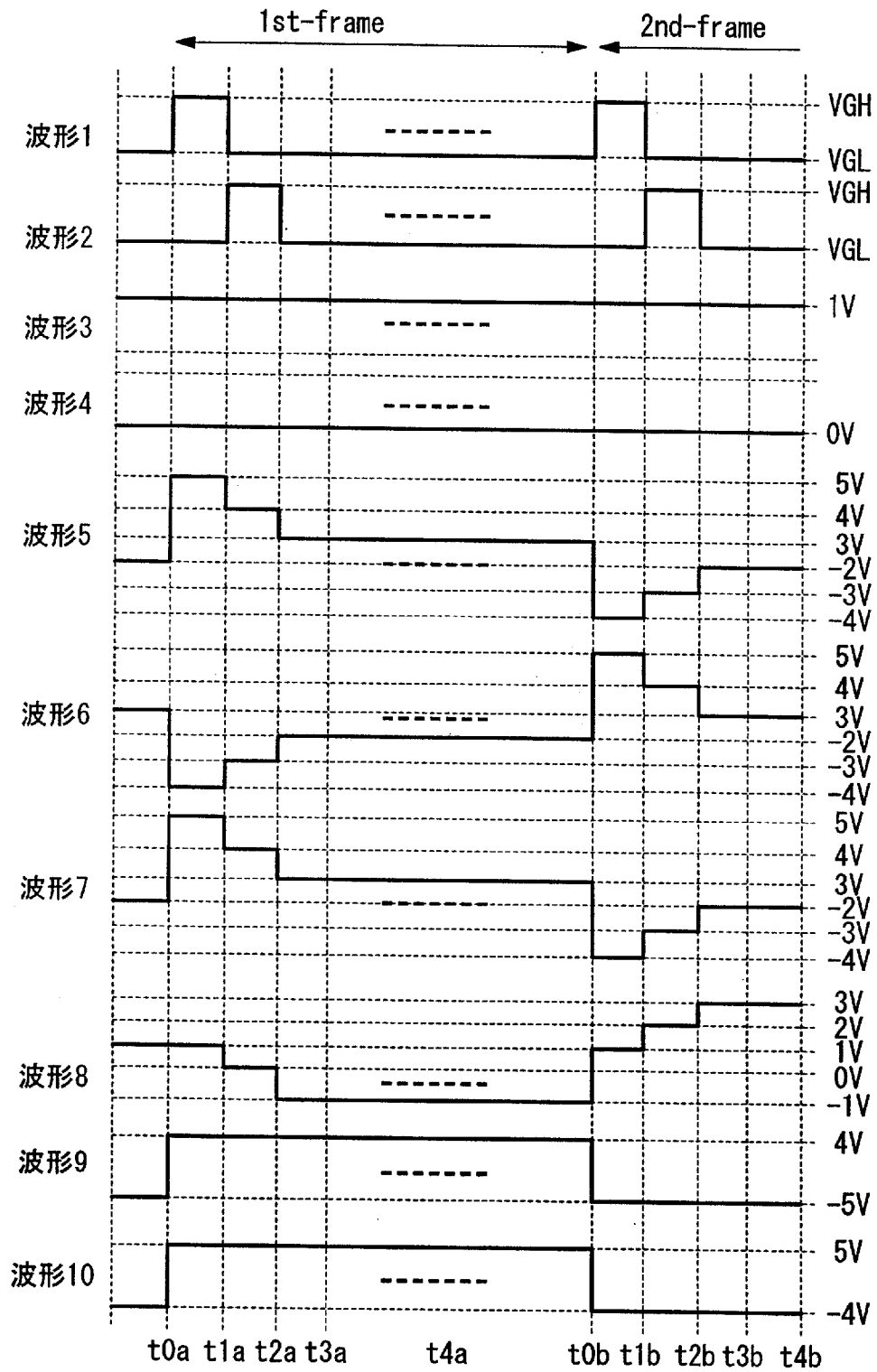
[図13]



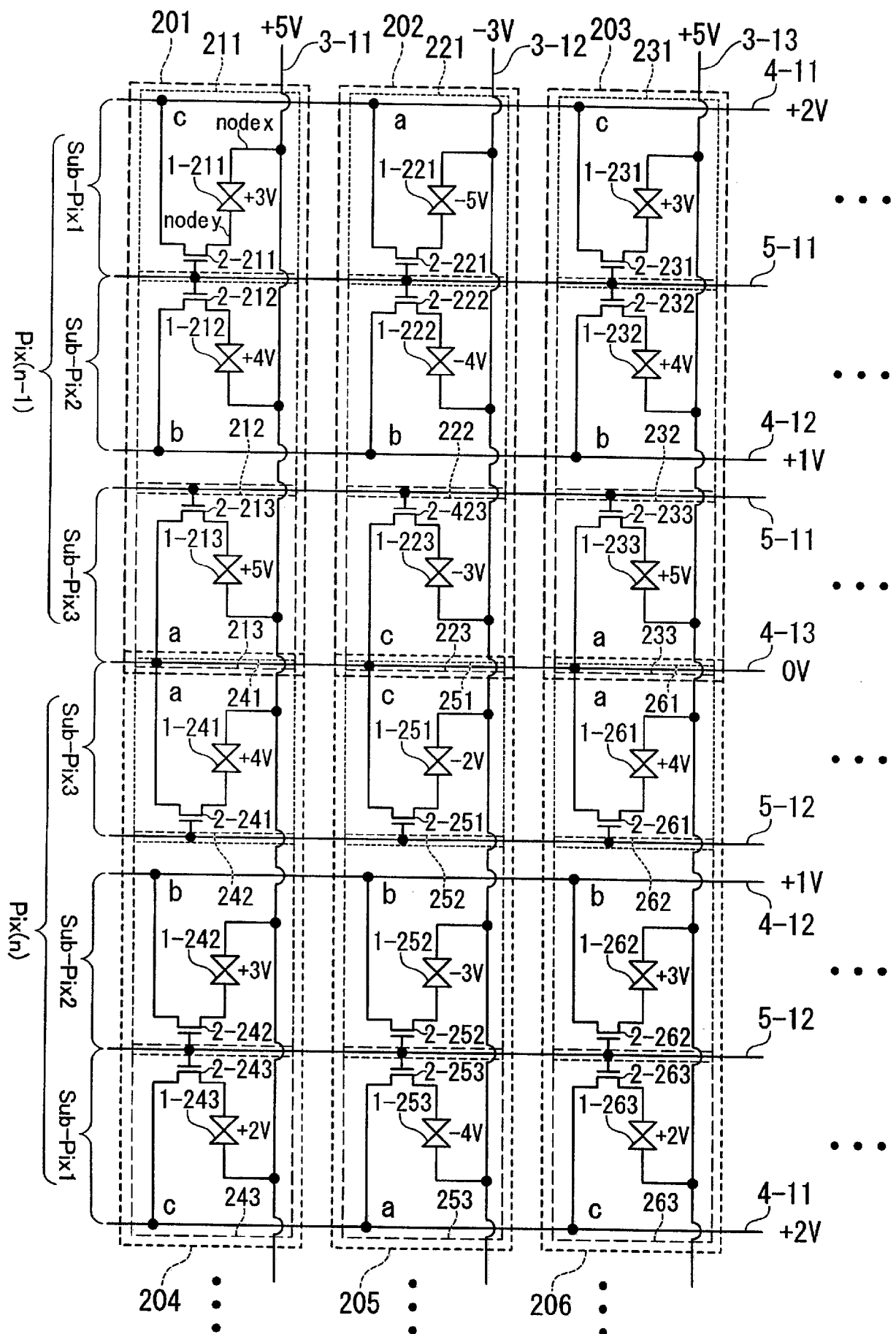
[図14]



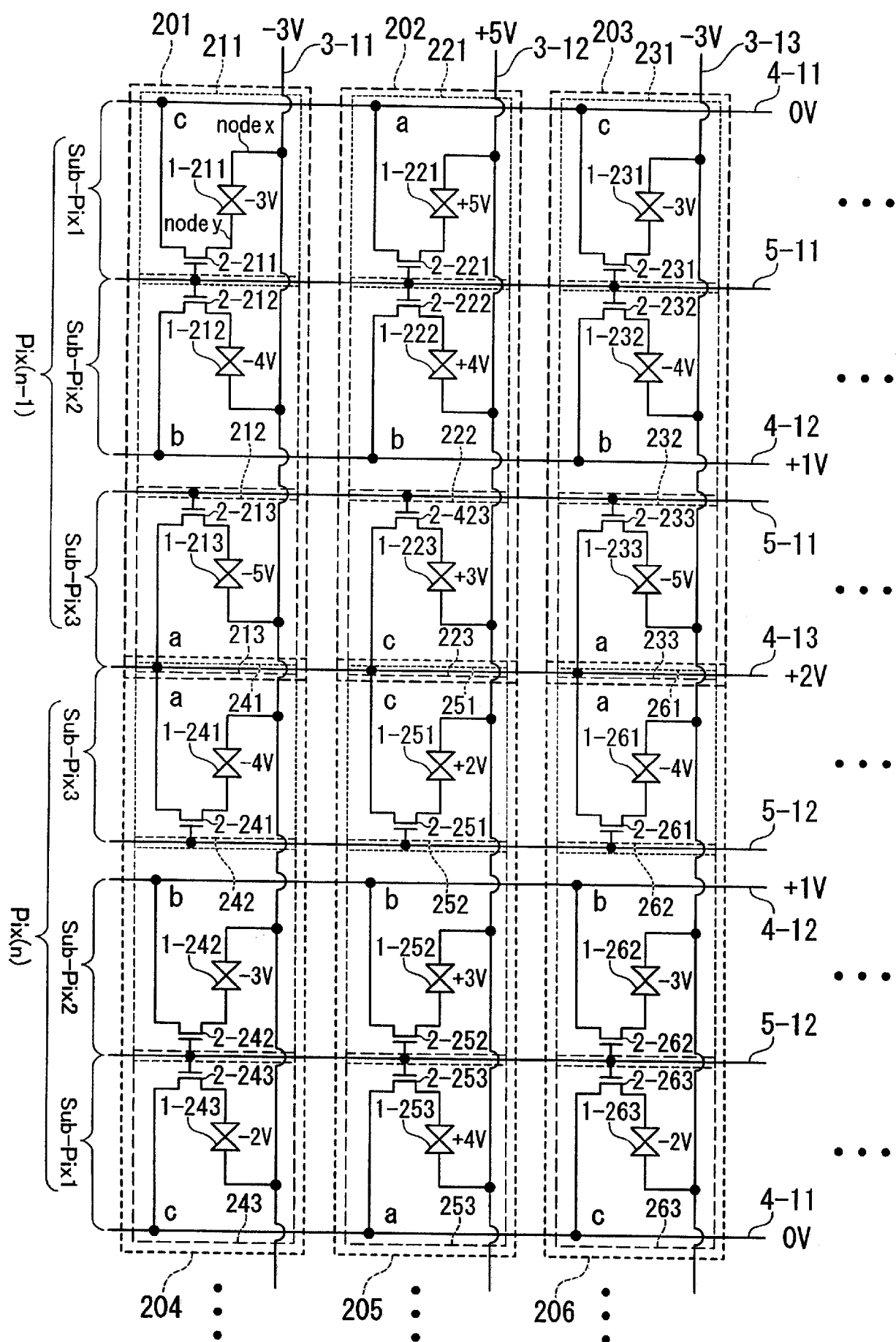
[図15]



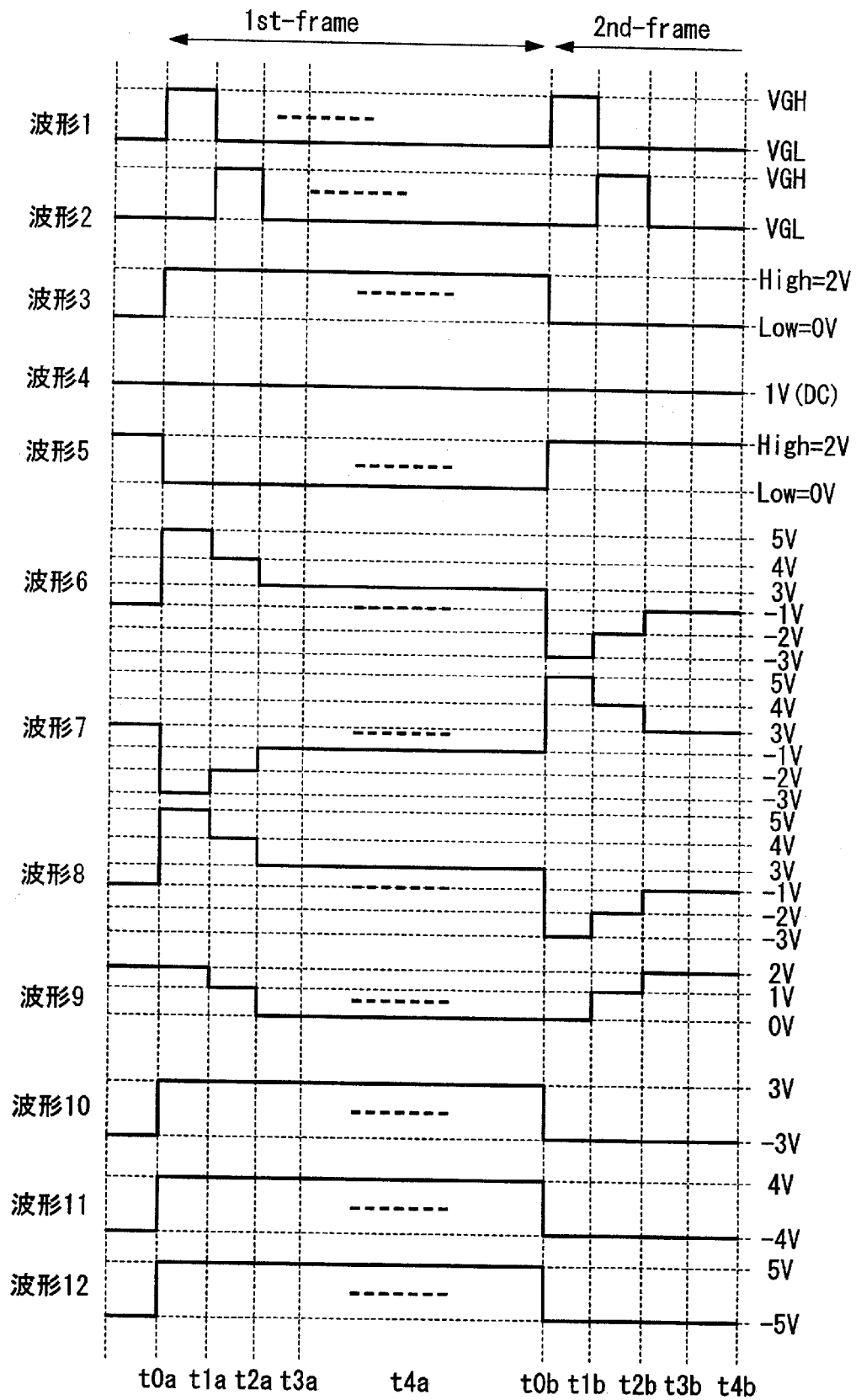
[図16]



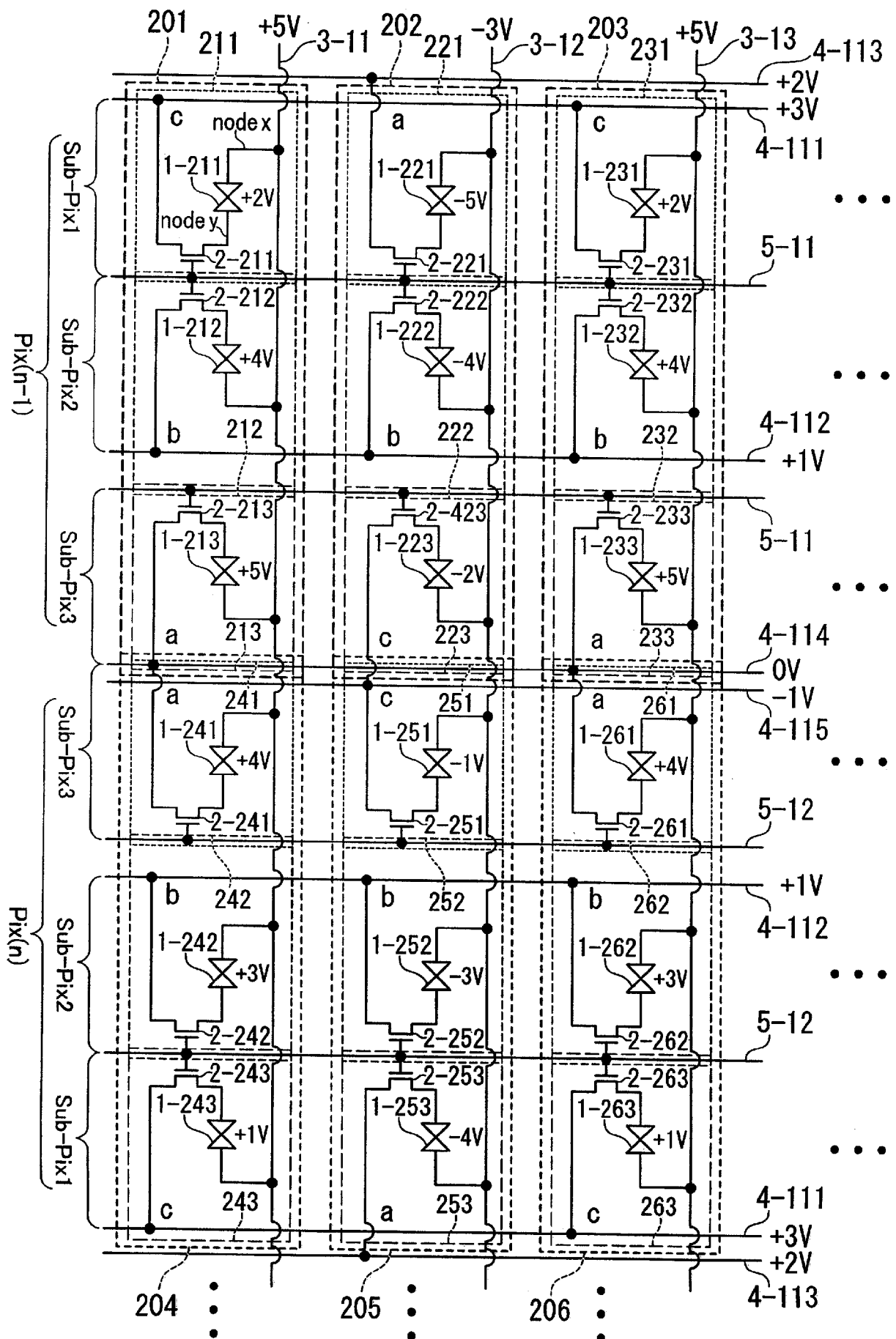
[図17]



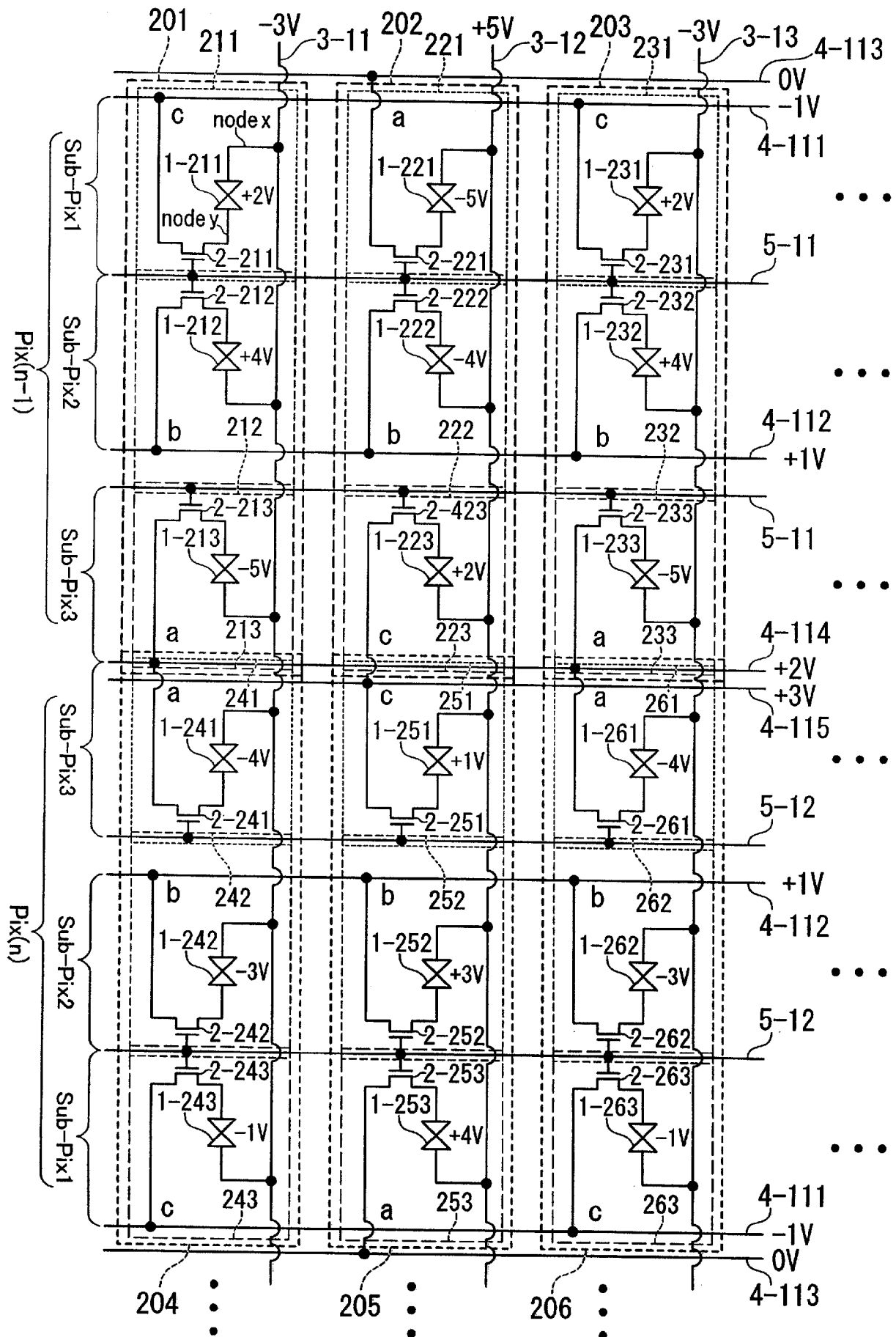
[図18]



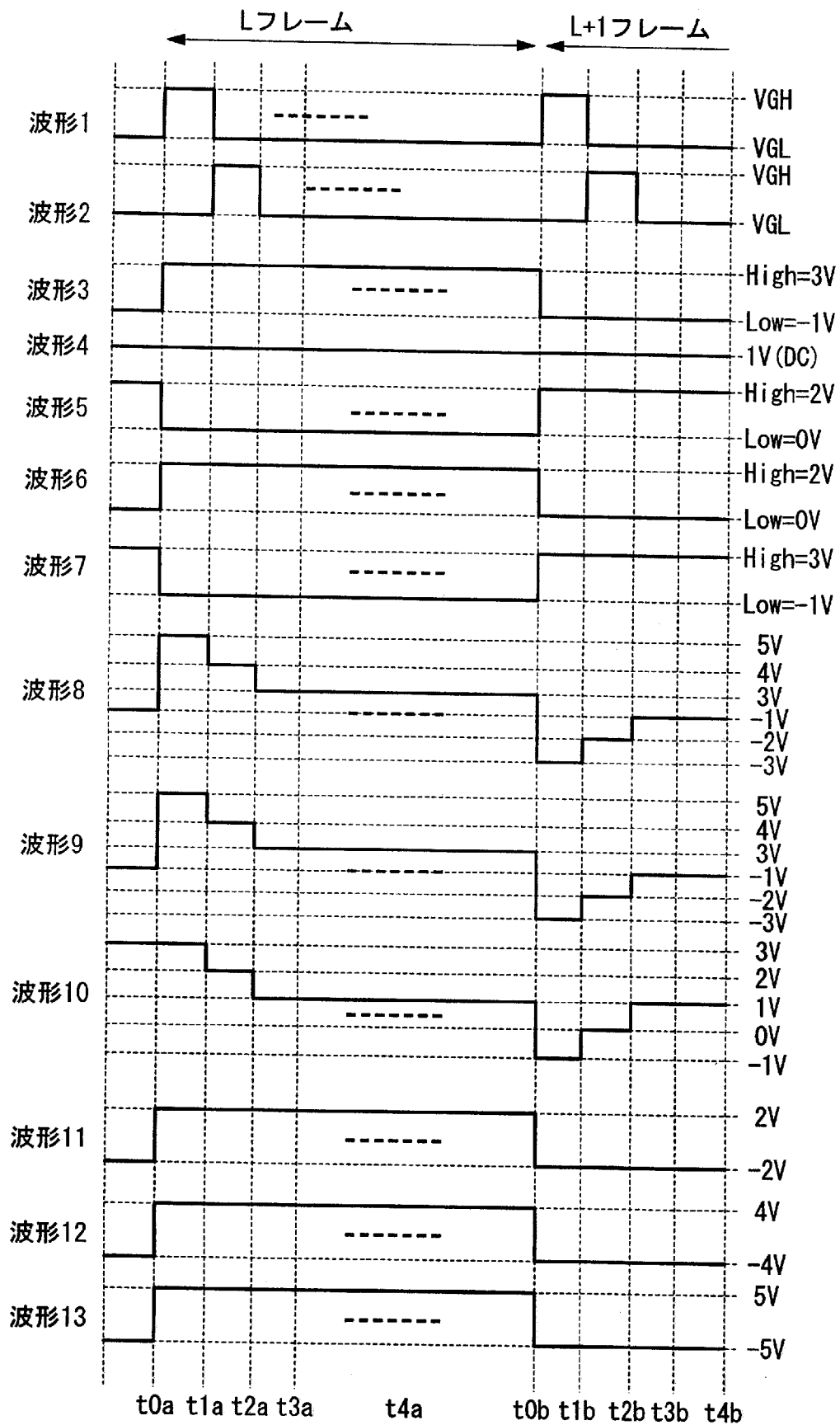
[図19]



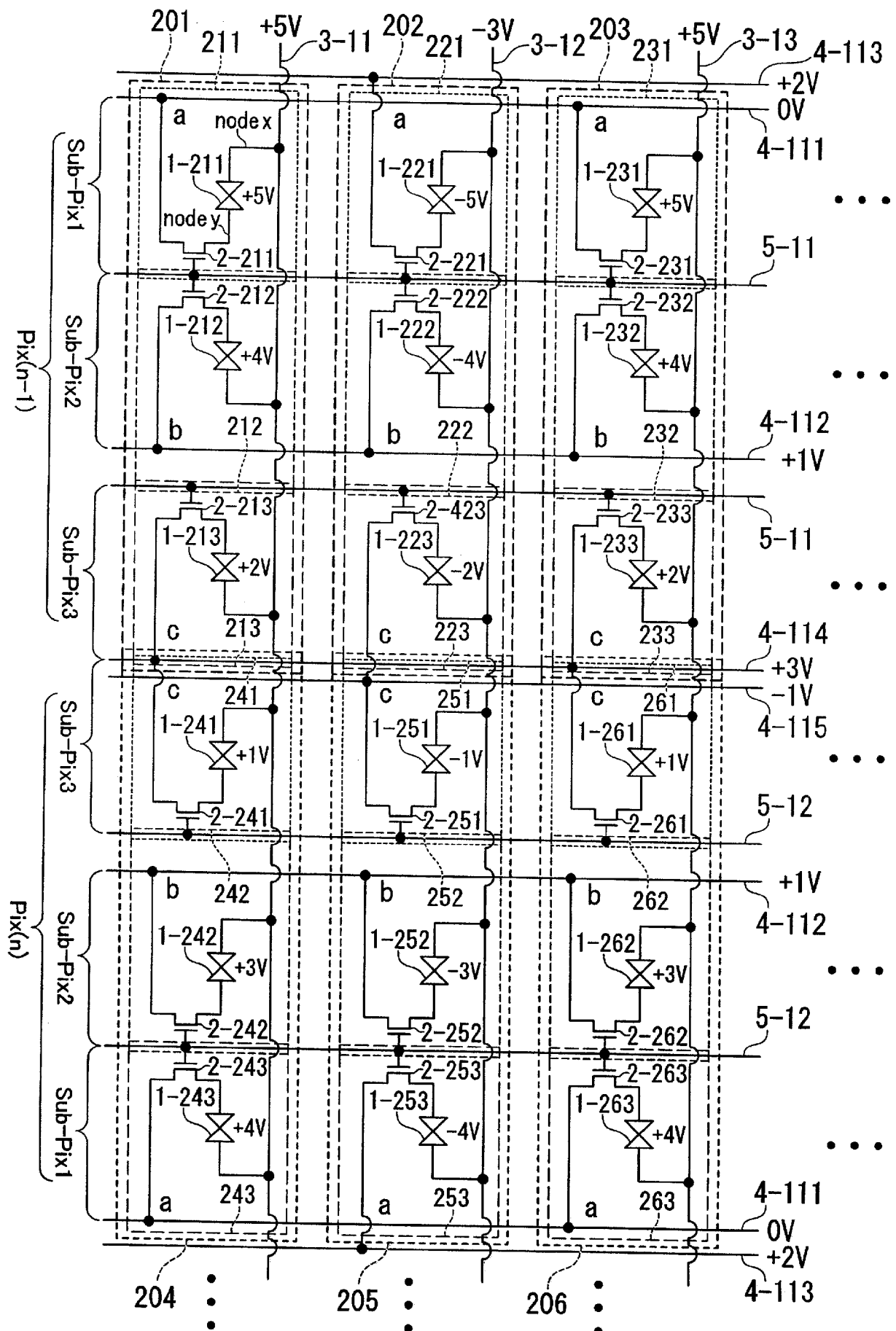
[図20]



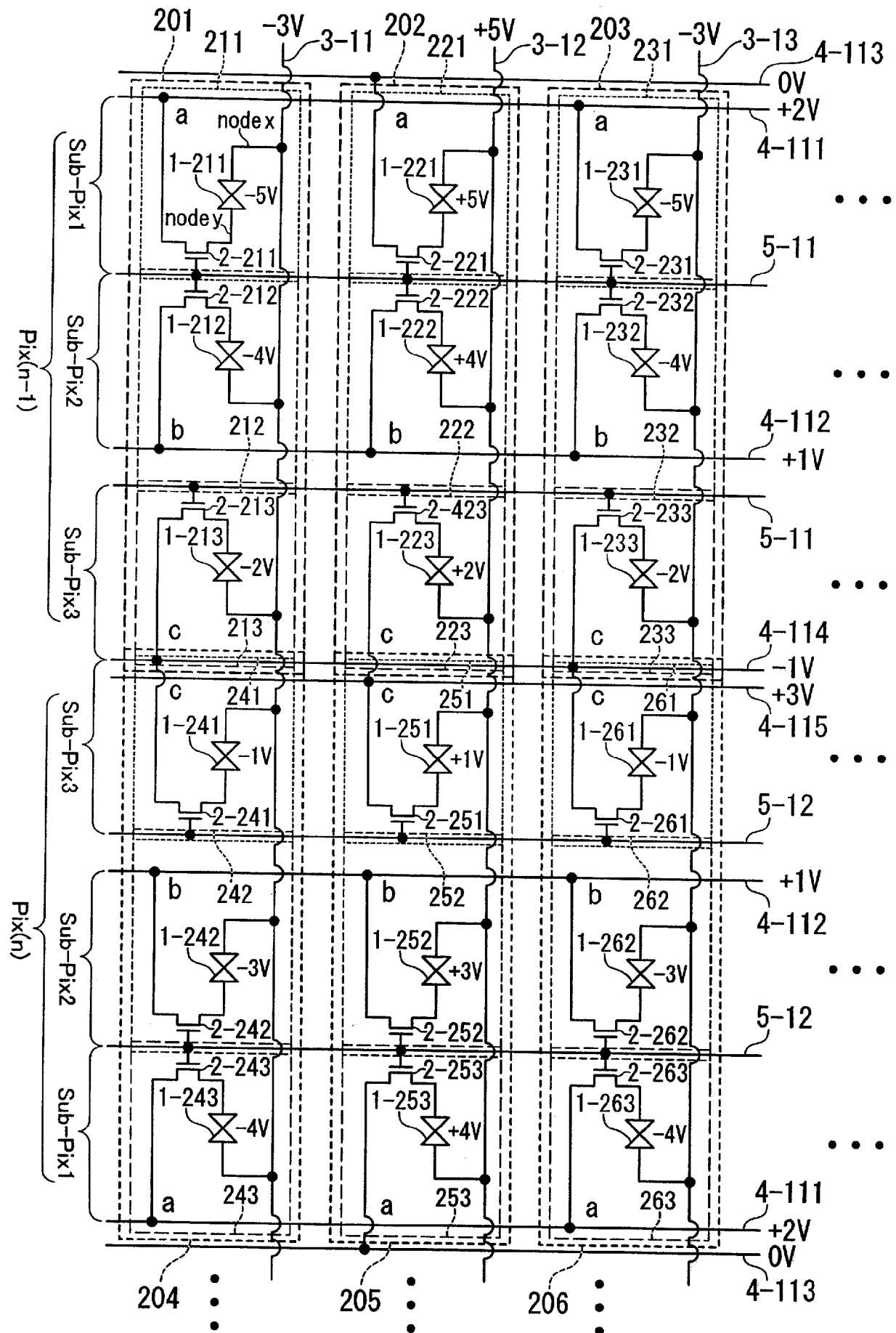
[図21]



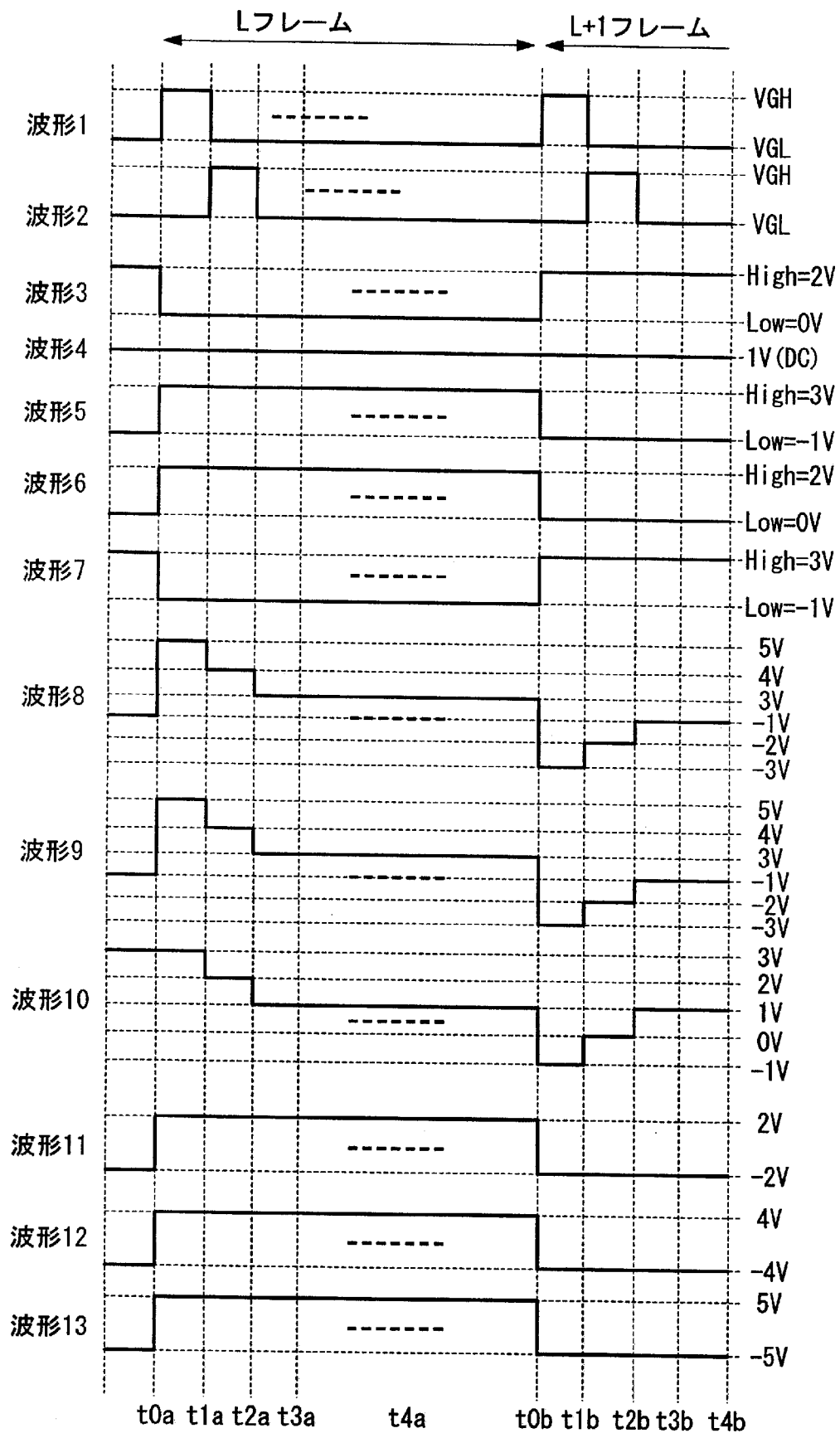
[図22]



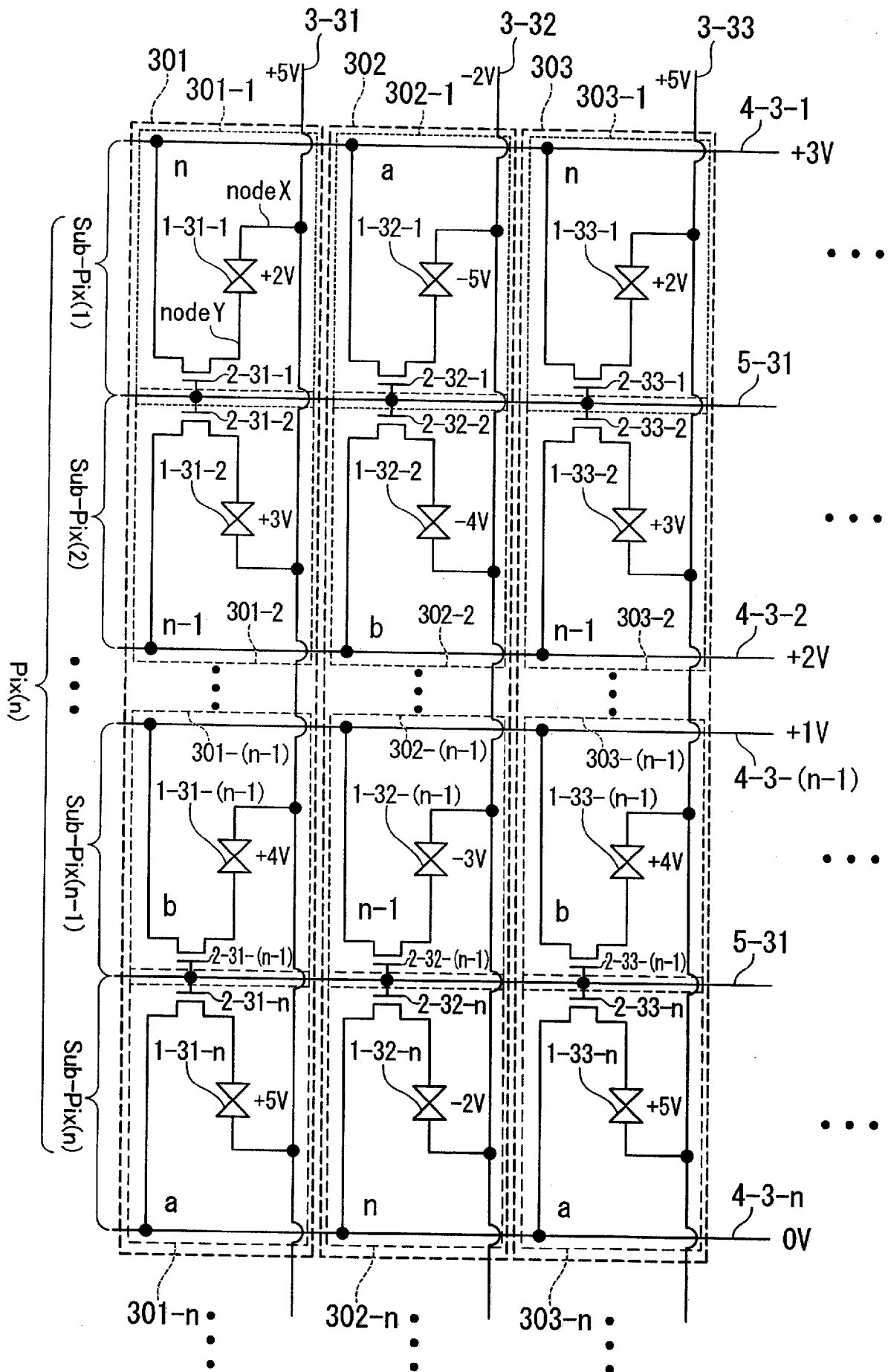
[図23]



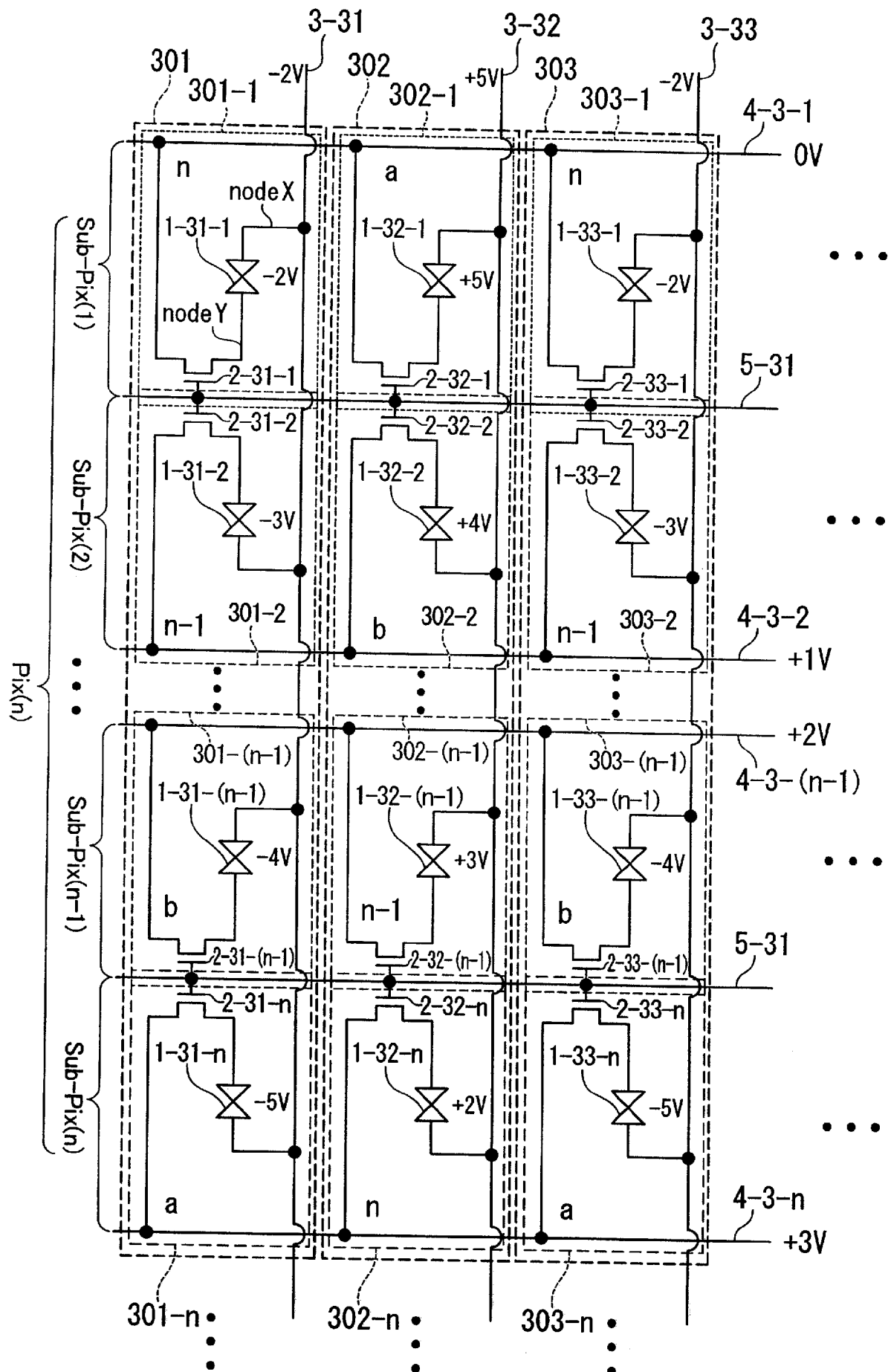
[図24]



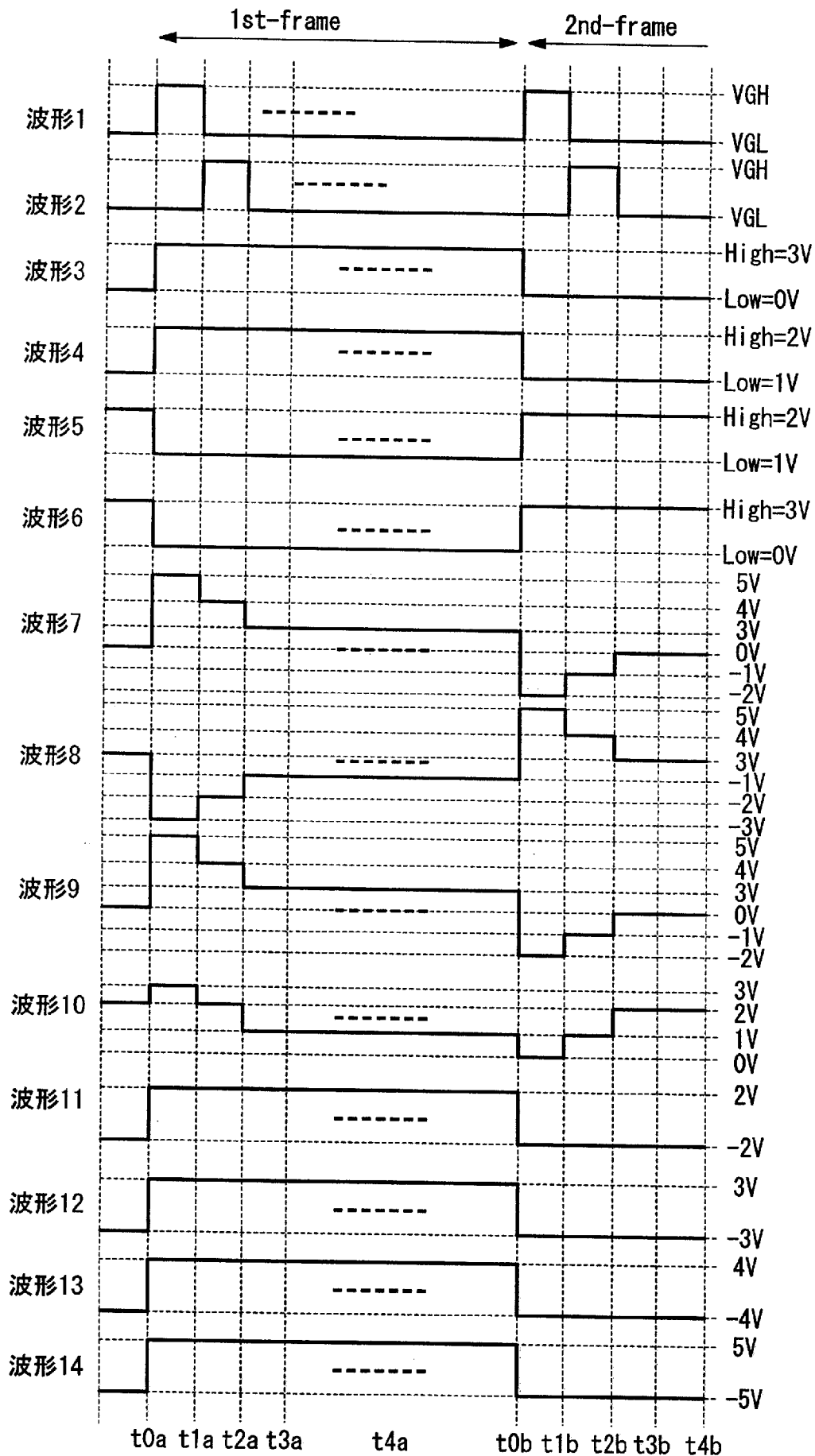
[図25]



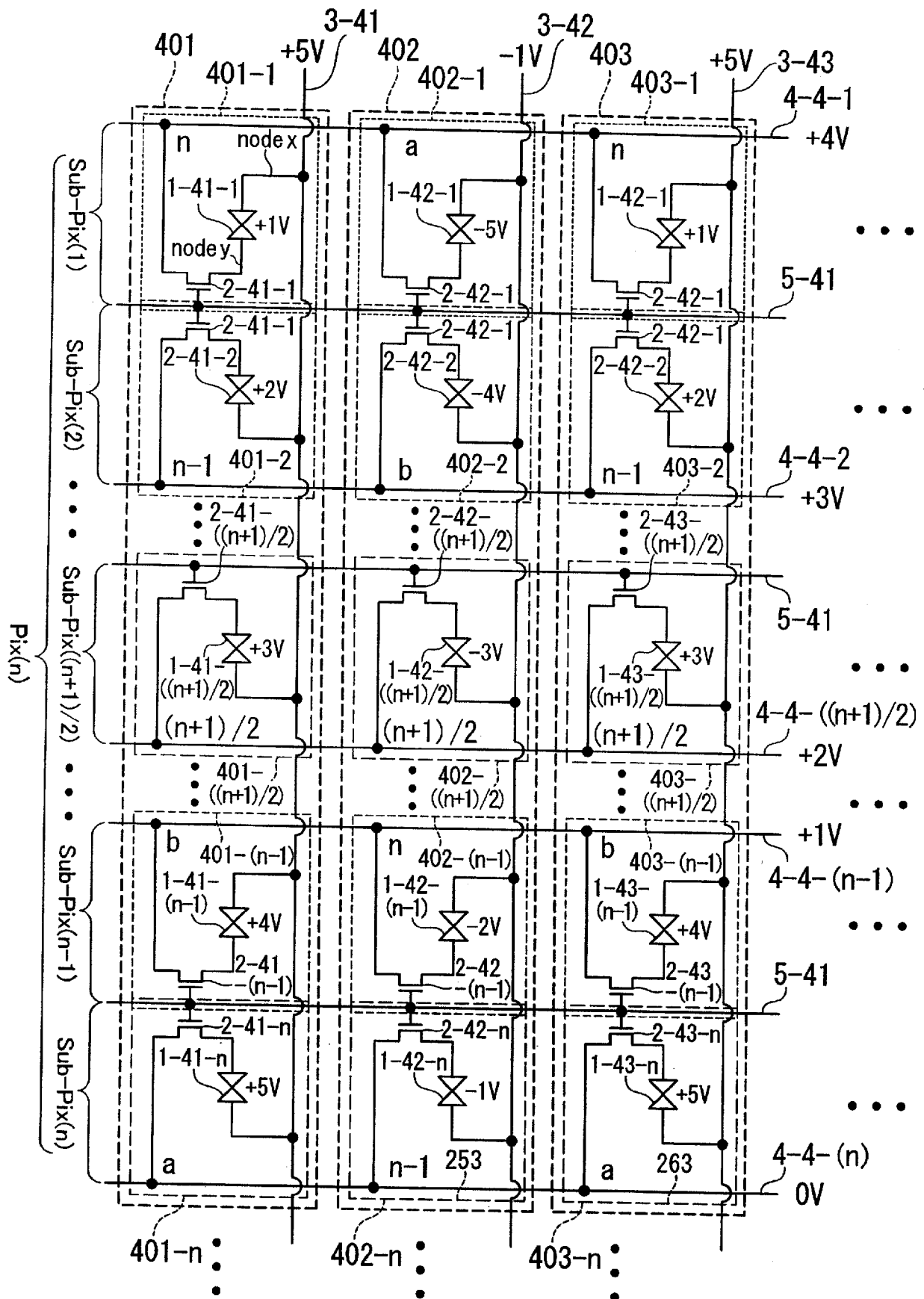
[図26]



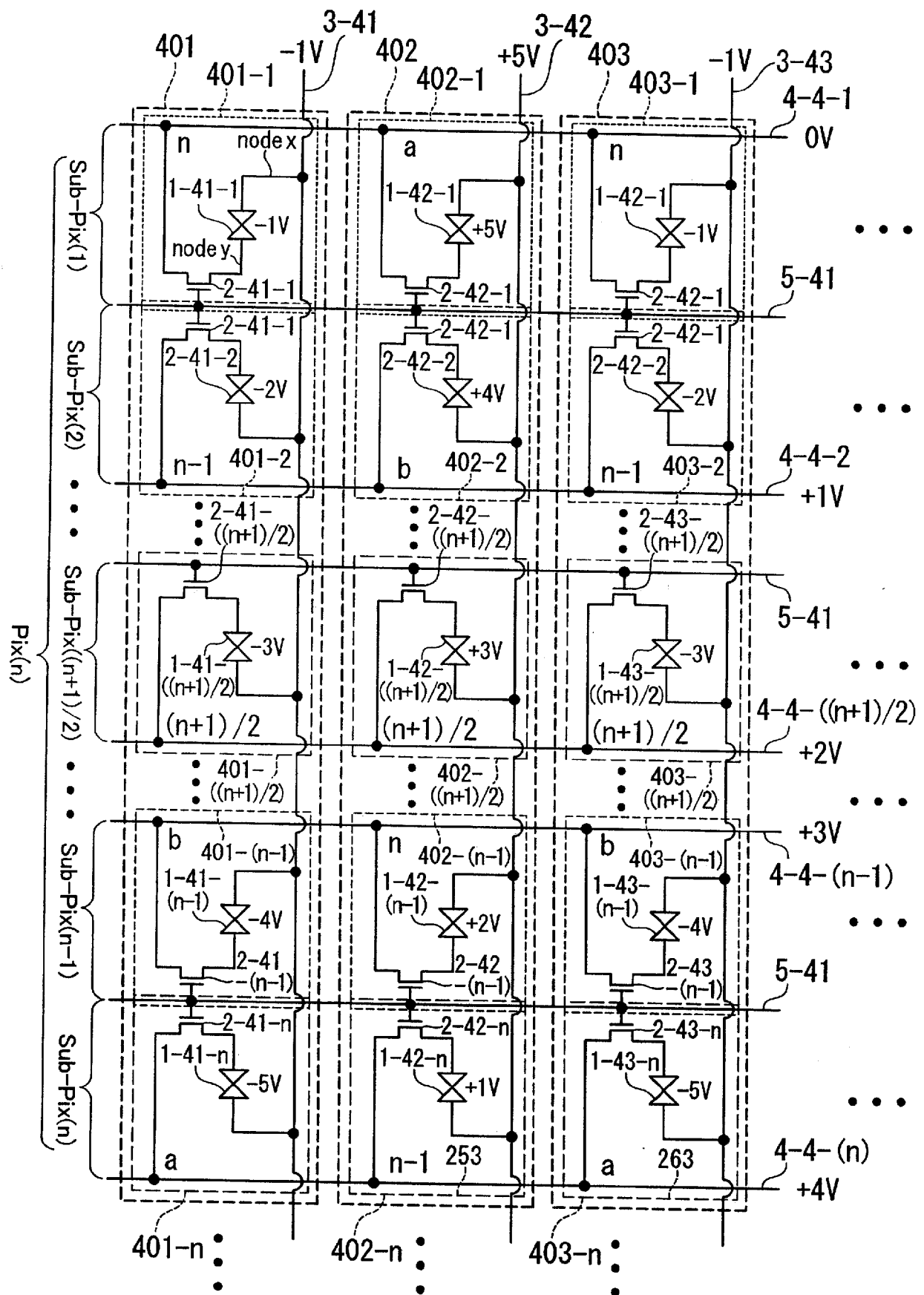
[図27]



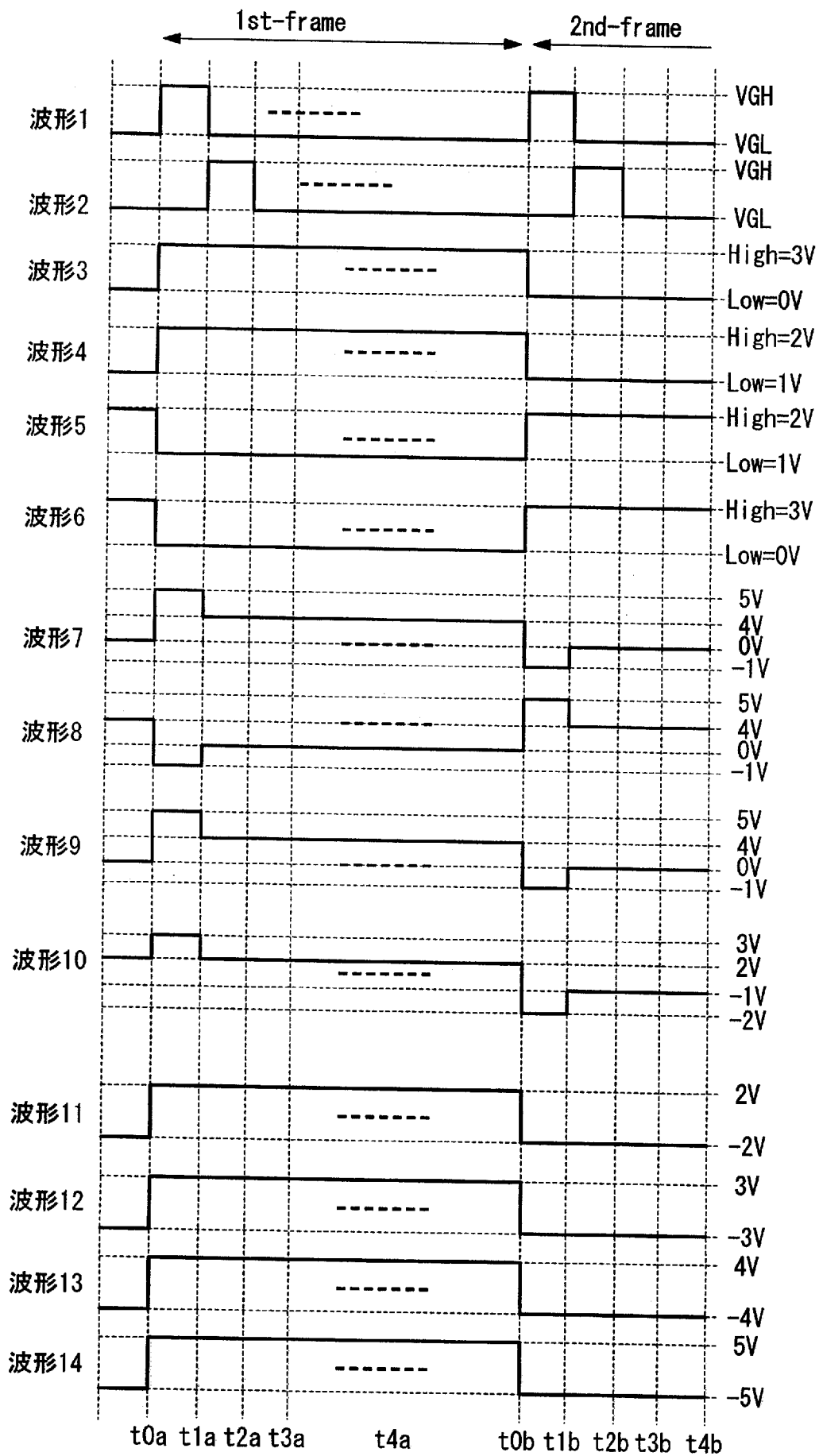
[図28]



[図29]



[図30]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057454

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G02F1/1368, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2-135318 A (Fujitsu Ltd.), 24 May 1990 (24.05.1990), 2nd example; fig. 3, 4 (Family: none)	1-3, 5, 10-12 4, 6-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 May, 2011 (17.05.11)

Date of mailing of the international search report
24 May, 2011 (24.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057454

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057454

Continuation of Box No.III of continuation of first sheet (2)

Claim 1 is an independent claim. Claims 2 - 10 are dependent claims referring directly or indirectly to claim 1. Claim 11 relates to pixel circuit corresponding to claim 1, and claim 12 relates to driving method corresponding to claim 1.

The invention in claim 1 is not novel, since the invention is disclosed in the document (JP 2-135318 A) which is cited in this international search report.

The technical feature common to claims 1 - 12 is not relevant to "special technical feature" within the meaning of PCT Rule 13.2 (that is, the technical feature such that the claimed inventions in overall clearly indicate a contribution over the prior art).

Consequently, the inventions in claims 1 - 12 do not share a "special technical feature", and therefore, a group of those inventions cannot be considered to be so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/133, G02F1/1368, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	J P 2 - 1 3 5 3 1 8 A（富士通株式会社） 1 9 9 0 . 0 5 . 2 4 , 第 2 の実施例, 第 3 図, 第 4 図 (ファミリーなし)	1 - 3 , 5 , 1 0 - 1 2 4 , 6 - 9

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 5 . 2 0 1 1

国際調査報告の発送日

2 4 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

藤田 都志行

2 L

3 0 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページを参照）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

＜第Ⅲ欄 「発明の単一性が欠如しているときの意見」の続き＞

請求項１は独立項である。請求項２－１０は、請求項１を直接的又は間接的に引用する従属項である。請求項１１は、請求項１に対応する画素回路であり、請求項１２は、請求項１に対応する駆動方法である。

請求項１に係る発明は、国際調査で引用された文献に開示されているので、新規でない（文献：JP 2－135318 A）。

請求項１－１２に共通する技術的特徴は、PCT規則１３．２の「特別な技術的特徴」（クレームされた発明が全体として先行技術に対して行う貢献を明示する技術的特徴）に該当しない。

したがって、請求項１－１２に係る発明は、「特別な技術的特徴」を共有していないので、これら一群の発明は単一の一般的発明概念を形成するように連関しているとは認められない。