

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成23年5月26日 (2011.5.26)

【公開番号】特開2009-289014(P2009-289014A)

【公開日】平成21年12月10日 (2009.12.10)

【年通号数】公開・登録公報2009-049

【出願番号】特願2008-140633(P2008-140633)

【国際特許分類】

G 0 6 F 12/16 (2006.01)

【 F I 】

G 0 6 F 12/16 3 4 0 Q

【手続補正書】

【提出日】平成23年4月13日 (2011.4.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 つのメモリセルに複数ビットの記憶が可能なメモリセルで構成された半導体不揮発性記憶媒体を複数配置し、上記複数のビットのそれぞれに異なったページのデータが格納されるように割り当てられた記憶領域を構成する半導体不揮発性メモリ部と、

半導体揮発性記憶媒体で構成され、少なくとも退避対象データを格納するように割り当てられた記憶領域を含む半導体揮発性メモリ部と、

上記半導体不揮発性メモリ部及び半導体揮発性メモリ部に対するアクセスを制御するコントローラ部と、

電源検出回路と、

電圧保持回路とを有し、

上記半導体不揮発性メモリ部は、1 つのメモリセルに上記記憶可能な複数ビットに対応した複数アドレスが割り当てられ、かかる複数アドレスに対応した複数ページモードを有し、記憶領域に退避領域とデータ領域が割り当てられ、

上記コントローラ部は、

電源投入時においてホストから供給される電源電圧を、上記コントローラ部、半導体揮発性メモリ部及び半導体不揮発性メモリ部それぞれへの動作電圧として供給するとともに、上記半導体不揮発性メモリ部における上記退避領域に格納された退避対象データを読み出して上記半導体揮発性メモリ部に書き込みを行い、

この後の電源供給状態において上記半導体不揮発性メモリ部の退避領域以外に対する書き込み動作は、上記複数ビットのそれぞれに割り当てられた各ページに対し書き込む複数ページモードにより行うように制御し、

電源遮断時においては、

上記電源検出回路の検出する電源遮断検出信号に応じて、上記電圧保持回路が保持する電圧を、上記コントローラ部、半導体揮発性メモリ部及び半導体不揮発性メモリ部の動作電圧としてそれぞれ供給するように切り替え、

上記半導体揮発性メモリ部に記憶されている退避対象データの上記半導体不揮発性メモリの退避領域への書き込み動作は、上記複数ページモードのうち最下位ビットに対応した第 1 ページモードのみにより行うように制御する構成の記憶装置。

【請求項 2】

請求項 1 において、

上記コントローラ部は、ホストとの間でのデータの入出力を行う H D D 互換性のインターフェイス部とコントローラ部の動作に必要な制御データの記憶回路とを更に備え、

上記半導体不揮発性メモリ部は、N A N D 型多値フラッシュメモリで構成される複数の記憶媒体からなり、

上記記憶回路の制御データは、上記電源遮断時の上記退避対象データの一部として上記半導体不揮発性メモリ部の退避領域に記憶され、上記電源投入時の上記退避対象データの一部は上記記憶回路に記憶される記憶装置。

【請求項 3】

請求項 2 において、

上記半導体不揮発性メモリ部の退避領域からの読み出しは、上記第 1 ページモードに対応した 1 つの参照電圧による 1 回の読み出しにより行う記憶装置。

【請求項 4】

請求項 3 において、

上記コントローラ部は、上記インターフェイス部を介して入力されたデータ量が上記半導体揮発性メモリ部の所定の記憶容量内にあるときには、上記半導体揮発性メモリ部をアクセスして上記退避データとして書き込み、上記入力されたデータ量が上記半導体揮発性メモリ部の所定の記憶容量を超えときには、上記半導体不揮発性メモリ部のデータ領域をアクセスして上記複数ページモードにより書き込むメモリアクセスモードを含む記憶装置。

【請求項 5】

請求項 4 において、

上記コントローラ部は、制御入力端子を有し、上記制御入力端子から入力された制御信号により、上記半導体揮発性メモリ部の退避データを読み出して上記半導体不揮発性メモリ部のデータ領域に上記複数ページモードにより書き込みを行うメモリアクセスモードを含む記憶装置。

【請求項 6】

請求項 5 において、

上記電圧保持回路は、コンデンサで構成される記憶装置。

【請求項 7】

請求項 6 において、

上記記憶装置は、2 . 5 インチ又は 3 . 5 インチのハードディスクドライブ装置に対応された外形サイズ及びコネクタピンを備えたパッケージに搭載され、
上記 2 . 5 インチ又は 3 . 5 インチのハードディスクドライブ装置との互換性を持つ記憶装置。

【請求項 8】

1 つのメモリセルに複数ビットの記憶が可能なメモリセルで構成された半導体不揮発性記憶媒体を複数配置し、退避領域と、上記複数のビットのそれぞれに異なったページのデータが格納されるように割り当てられたデータ領域と、を含む記憶領域を構成する半導体不揮発性メモリ部と、

半導体揮発性記憶媒体で構成され、少なくとも退避対象データを格納するように割り当てられた記憶領域を含む半導体揮発性メモリ部と、

コントローラ部と、

ホストからの電源供給状態を検出する電源検出手段と、ホストからの電源で充電されるキャパシタを含む電圧保持手段と、スイッチ手段と、を含む電源部と、

ホストとの間でのデータ伝送を行うインターフェイスとを有し、

上記コントローラ部は、

電源供給状態においては、

上記ホストから供給される電源電圧を、上記コントローラ、半導体揮発性メモリ部及び半導体不揮発性メモリ部それぞれへの動作電圧として供給するとともに、上記キャパシタ

を充電する接続状態に維持し、

上記インターフェイスを介してホストから伝送されるデータの上記半導体不揮発性メモリ部の上記データ領域に対する書き込み動作が、上記複数ビットに割り当てられた複数ページに対し行われる複数ページモードによって行われるように制御し、

電源遮断時には、

上記電源検出手段が検出した電源遮断検出信号に応じて、上記キャパシタが保持する電圧を上記コントローラ部、半導体揮発性メモリ部及び半導体不揮発性メモリ部それぞれへの動作電圧として供給するように上記スイッチ手段を切り替え、

上記半導体揮発性メモリ部に記憶されている退避対象データの上記半導体不揮発性メモリ部の上記退避領域への書き込み動作が、上記退避領域における各メモリセルの最下位ビットに割り当てられた第 1 ページに対し書き込む第 1 ページモードのみで行われるように制御する構成の記憶装置。