

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-252530
(P2012-252530A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.
G06F 12/00 (2006.01)

F I
G06F 12/00 564D

テーマコード (参考)
5B060

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号	特願2011-124767 (P2011-124767)	(71) 出願人	000005223
(22) 出願日	平成23年6月3日 (2011.6.3)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100092978
			弁理士 真田 有
		(74) 代理人	100112678
			弁理士 山本 雅久
		(72) 発明者	相曾 真也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		Fターム(参考)	5B060 CC01

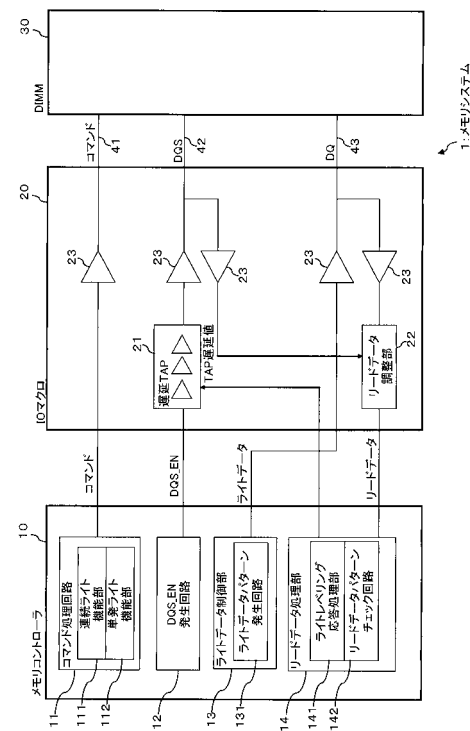
(54) 【発明の名称】 メモリコントローラ及び制御方法

(57) 【要約】

【課題】 ライトレベリング時のサイクルずれを補正する。

【解決手段】 第1ダミーパターンを試験対象メモリの第1のアドレスに書き込む第1ライト部11と、第1ダミーパターンの書き込みに後続して、テストパターンを第2のアドレスに書き込む第2ライト部11と、テストパターンの書き込みに後続して第2ダミーパターンを第3のアドレスに書き込む第3ライト部11と、第2のアドレスからテストパターンを読み出すリード部14と、テストパターンの読み出し結果に基づいて、データの書き込みタイミングを調整するタイミング調整部14とをそなえる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

連続する複数のダミー値を含む第 1 ダミーパターンを、試験対象メモリの第 1 のアドレスに書き込む第 1 ライト部と、

前記第 1 ライト部による前記第 1 ダミーパターンの書き込みに後続して、連続する複数種類の試験値を含むテストパターンを、前記試験対象メモリの第 2 のアドレスに書き込む第 2 ライト部と、

前記第 2 ライト部による前記テストパターンの書き込みに後続して、連続する複数のダミー値を含む第 2 ダミーパターンを、前記試験対象メモリの第 3 のアドレスに書き込む第 3 ライト部と、

前記試験対象メモリの前記第 2 のアドレスから前記テストパターンを読み出すリード部と、

前記リード部による前記テストパターンの読み出し結果に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整するタイミング調整部とをそなえることを特徴とする、メモリコントローラ。

【請求項 2】

前記タイミング調整部が、

前記リード部による前記テストパターンの読出しの開始に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整することを特徴とする、請求項 1 記載のメモリコントローラ。

【請求項 3】

前記タイミング調整部が、

前記リード部による前記テストパターンの読出しの開始又は終了に基づいて、前記試験対象メモリに対するデータの書き込みタイミングの変化量を決定することを特徴とする、請求項 1 又は 2 記載のメモリコントローラ。

【請求項 4】

連続する複数種類の試験値を含む第 2 のテストパターンを、前記試験対象メモリの第 2 のアドレスに書き込む第 4 ライト部をそなえ、

前記第 1 ライト部、前記第 2 ライト部及び前記第 3 ライト部による前記第 1 ダミーパターン、テストパターン及び第 2 ダミーパターンの書き込みを連続して行なう連続ライトと、前記第 4 ライト部による前記第 2 のテストパターンの書き込みを行なう単発ライトとのいずれかを選択的行なうことを特徴とする、請求項 1～3 のいずれか 1 項に記載のメモリコントローラ。

【請求項 5】

連続する複数のダミー値を含む第 1 ダミーパターンを、試験対象メモリの第 1 のアドレスに書き込むステップと、

前記第 1 ダミーパターンの書き込みに後続して、連続する複数種類の試験値を含むテストパターンを、前記試験対象メモリの第 2 のアドレスに書き込むステップと、

前記テストパターンの書き込みに後続して、連続する複数のダミー値を含む第 2 ダミーパターンを、前記試験対象メモリの第 3 のアドレスに書き込むステップと、

前記試験対象メモリの前記第 2 のアドレスから前記テストパターンを読み出すステップと、

前記テストパターンの読み出し結果に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整するステップとをそなえることを特徴とする、制御方法。

【請求項 6】

前記書き込みタイミングを調整するに際して、

前記テストパターンの読出しの開始に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整することを特徴とする、請求項 5 記載の制御方法。

【請求項 7】

前記書き込みタイミングを調整するに際して、

前記テストパターンの読出しの開始又は終了に基づいて、前記試験対象メモリに対するデータの書き込みタイミングの変化量を決定することを特徴とする、請求項5又は6記載の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本件は、メモリコントローラ及び制御方法に関する。

【背景技術】

【0002】

DDR3 (Double Data Rate 3) - SDRAM (Synchronous DRAM) を使用したDIMM (Dual Inline Memory Module) では、各DRAM端におけるライト時のクロック（以下、CLK）とデータストロブ信号（以下、DQS）のエッジとが所定の時間以内になるようにする必要がある。このような規定を保証するためにライトレベリング（Write Leveling）の仕組みが用いられている。

【0003】

ライトレベリングは、DQSのエッジをCLKのエッジに合わせる処理であり、DQSをCLKと同時にしくはほぼ同時に入力させるように調整又は補正する機能である。図9（a）～（e）はライトレベリングを説明するシーケンス図であり、図9（a）はDIMMのCLKを例示する図、図9（b）、図9（d）はそれぞれDQSを例示する図、図9（c）、図9（e）はDIMMからの応答を例示する図である。

【0004】

ライトレベリングにおいては、図9（a）、図9（b）に示すように、コントローラからのDQSの出力タイミングを遅らせていき、DIMMからの応答（図9（c）、図9（e）参照）によって、CLKのエッジに合っているかどうかを判断する。すなわち、DIMMからの応答が“0”である場合には（図9（c）参照）、DIMMからの応答が“1”になるまでコントローラからのDQSの出力タイミングを遅らせる（図9（e）参照）。

【0005】

このようなライトレベリングでは、DQSのエッジがCLKのエッジに合っているかどうかのみ判断することができる。つまり、例えば、図9（a）に示す例において、DQSが区間Aから始まれば、エッジE1に合い、又、DQSが区間Bから始まれば、エッジE2に合う。そして、その合わせたエッジが適切かどうかは別途保証する手段が必要である。

【0006】

従来は、ライトレベリングを開始する際のディレイTAPの初期値を線長等の設計値から求めることにより、合わせたいエッジに対してライトレベリングでサイクルのずれが発生しないことを保証している。例えば、図9（a）において、エッジE2が合わせる対象のエッジである場合に、DQSが区間Bから始まるようなディレイTAPの初期値を、線長等の設計値に基づいて設定する。

【0007】

もしくは、DDR (Double Data Rate) の物理的な汎用インターフェイスであるDFI (DDR PHY Interface) で採用されている、ゲートトレーニングのような方法を用いる場合もある。すなわち、リード時のDQSが有効な期間をトレーニングして、リードのタイミングを合わせた状態からライトのずれを修正するといった方法を用いる。このような手法によれば、リードのタイミングが分かっているならば、単に適当なデータをライトリードし、リードタイミングでのデータを比較すればよい。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2009-130455号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上述したディレイTAPの初期値を計算する方法においては、DIMMの改版等が行なわれる度にライトレベリングの初期値を見直す必要があり、煩雑であるという課題がある。又、回路のバラツキ等を考慮した計算が困難であり、実機の測定結果を何回もフィードバックする必要も生じ煩雑である。又、今後DIMMの周波数が上がるにつれて初期値の計算はさらに困難になることが予想されるという課題もある。

【0010】

一方、上述したリードのタイミングをゲートトレーニングで保証する手法では、DFIインターフェイスをそなえたDDRのIOマクロを採用していない場合は実現できないという課題がある。又、DFIのインターフェイスをサポートしていないDDR IOマクロを使用した場合にも、容易にライトレベリングのサイクルずれを補正し、また、ディレイTAPの初期値の計算を不要とできる仕組みが求められている。

【0011】

1つの側面では、本件は、ライトレベリング時のサイクルずれを補正することを目的とする。

なお、前記目的に限らず、後述する発明を実施するための形態に示す各構成により導かれる作用効果であって、従来の技術によっては得られない作用効果を奏することも本発明の他の目的の1つとして位置付けることができる。

【課題を解決するための手段】

【0012】

このため、このメモリコントローラは、連続する複数のダミー値を含む第1ダミーパターンを、試験対象メモリの第1のアドレスに書き込む第1ライト部と、前記第1ライト部による前記第1ダミーパターンの書き込みに後続して、連続する複数種類の試験値を含むテストパターンを、前記試験対象メモリの第2のアドレスに書き込む第2ライト部と、前記第2ライト部による前記テストパターンの書き込みに後続して、連続する複数のダミー値を含む第2ダミーパターンを、前記試験対象メモリの第3のアドレスに書き込む第3ライト部と、前記試験対象メモリの前記第2のアドレスから前記テストパターンを読み出すリード部と、前記リード部による前記テストパターンの読み出し結果に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整するタイミング調整部とをそなえる。

【0013】

また、この制御方法は、連続する複数のダミー値を含む第1ダミーパターンを、試験対象メモリの第1のアドレスに書き込むステップと、前記第1ダミーパターンの書き込みに後続して、連続する複数種類の試験値を含むテストパターンを、前記試験対象メモリの第2のアドレスに書き込むステップと、前記テストパターンの書き込みに後続して、連続する複数のダミー値を含む第2ダミーパターンを、前記試験対象メモリの第3のアドレスに書き込むステップと、前記試験対象メモリの前記第2のアドレスから前記テストパターンを読み出すステップと、前記テストパターンの読み出し結果に基づいて、前記試験対象メモリに対するデータの書き込みタイミングを調整するステップとをそなえる。

【発明の効果】

【0014】

開示の技術によれば、ライトレベリングのサイクルずれを容易に補正することができる利点がある。

【図面の簡単な説明】

【0015】

【図1】は実施形態の一例としてのメモリシステムの構成を模式的に示す図である。

【図2】(a)～(d)は実施形態の一例としてのメモリシステムにおけるライトデータパターンを例示する図である。

10

20

30

40

50

【図 3】 (a) ~ (h) は実施形態の一例としてのメモリシステムにおける連続ライトモードにおけるライト処理を説明するシーケンス図である。

【図 4】 (a) ~ (h) は実施形態の一例としてのメモリシステムにおける単発ライトモードにおけるライト処理を説明するシーケンス図である。

【図 5】 実施形態の一例としてのメモリシステムにおけるリードデータパターンチェック回路の機能を模式的に示す図である。

【図 6】 (a) ~ (e) は実施形態の一例としてのメモリシステムにおける連続ライトモードにおけるリード処理を説明するシーケンス図である。

【図 7】 (a) ~ (e) は実施形態の一例としてのメモリシステムにおける単発ライトモードにおけるリード処理を説明するシーケンス図である。

【図 8】 実施形態の一例としてのメモリシステムにおける連続ライトモードにおける処理を説明するフローチャートである。

【図 9】 (a) ~ (e) はライトレベリングを説明するシーケンス図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して本メモリコントローラ、制御方法及びメモリシステムに係る実施の形態を説明する。ただし、以下に示す実施形態はあくまでも例示に過ぎず、実施形態で明示しない種々の変形例や技術の適用を排除する意図はない。すなわち、本実施形態を、その趣旨を逸脱しない範囲で種々変形して実施することができる。

図 1 は実施形態の一例としてのメモリシステムの構成を模式的に示す図である。

【0017】

本メモリシステム 1 は、例えば CPU (Central Processing Unit) を有する情報処理装置にそなえられ、図 1 に示すように、メモリコントローラ 10、I/O マクロ 20 及び DIMM 30 をそなえる。

DIMM 30 は、複数の DRAM チップをそなえるメモリモジュールであって、例えば、情報処理装置の主記憶として用いられる。この DIMM 30 には、後述する I/O マクロ 20 と、コマンド信号線 41 や DQS 信号線 42、DQ (データ) 信号線 43、図示しないクロック信号線等を介して接続されている。本実施形態においては、DIMM 30 が DDR 3 - SDRAM を搭載した例について示す。

【0018】

この DIMM 30 においては、メモリコントローラ 10 からライトコマンドを受信すると、DQS の立ち上がり／立ち下がりエッジに同期してデータ信号の取り込みを行ない、この DQ から出力されるデータがライトコマンドによって指定されるアドレスに書き込まれる。なお、データストロブ信号は、DQS 信号の他にもその反転信号である／DQS 信号が／DQS 端子から出力されるが、本実施形態においてはこれらの図示を省略している。又、DIMM 30 の構成や機能は既知の技術であり、その詳細な説明は省略する。

【0019】

I/O マクロ 20 は、メモリコントローラ 10 と DIMM 30 との間においてアナログ信号の波形やタイミングの調整を行なう。

図 1 に示す例においては、I/O マクロ 20 は、遅延 TAP 21、リードデータ調整部 22 及び複数のドライバ 23 をそなえる。

遅延 TAP 21 は、メモリコントローラ 10 の DQS__EN 発生回路 12 から出力される DQS__EN (DQS__イネーブル) 信号を遅延させる遅延回路である。遅延 TAP 21 は、例えば、単位遅延時間を付与するタップ (図示省略) を多段に直列接続されて構成され、後述するリードデータ処理部 14 から入力される TAP 遅延値に応じて信号を通過させるパスを切り替えることにより、TAP 遅延値に応じた遅延を付与する。遅延 TAP 21 に入力された DQS__EN 信号は、TAP 遅延値に応じて遅延された後、DQS 信号として DQS 信号線 42 を介して DIMM 30 に入力される。なお、遅延 TAP 21 の構成や機能は既知の技術であり、その詳細な説明は省略する。

【0020】

10

20

30

40

50

リードデータ調整部 22 は、D I M M 30 から読み出された D Q に対してタイミングを調整した D Q S を合わせ、リードデータとしてメモリコントローラ 10 に入力する。ドライバ 23 は I O マクロ 20 内の各信号線上において信号の波形調整等を行なう。

メモリコントローラ 10 は、D I M M 30 に対するデータの書き込みや読み出しを行なう制御装置であり、図 1 に示すように、コマンド処理回路 11, D Q S _ E N 発生回路 12, ライトデータ制御部 13 及びリードデータ処理部 14 をそなえる。

【0021】

D Q S _ E N 発生回路 12 は、D Q S の基となる D Q S _ E N 信号を生成し出力する回路であり、コマンド処理回路 11 からの制御に応じて D Q S _ E N 信号を出力する。

この D Q S _ E N 発生回路 12 から出力された D Q S _ E N 信号は、I O マクロ 20 に入力された後、D Q S として D I M M 30 に入力される。

ライトデータ制御部 13 は、ライトレベリング時のサイクルずれを検出するために D I M M 30 に書き込まれるライトデータパターンのデータを作成する。具体的には、ライトデータ制御部 13 は、ライトデータパターンとして、調整用データ D T 1 及びダミーデータ D T 2, D T 3 を生成する。

【0022】

図 2 (a) ~ (d) は実施形態の一例としてのメモリシステム 1 におけるライトデータパターンを例示する図である。図 2 (a) はダミーデータ D T 2 を、図 2 (b) は調整用データ D T 1 を、図 2 (c) はダミーデータ D T 3 を、図 2 (d) は調整用データ D T 4 を、それぞれ例示する。

調整用データ (テストパターン) D T 1 は、図 2 (b) に示すように、複数 (本実施形態では 8) 種類の試験値 D 1 ~ D 8 のデータ列として構成される。すなわち、図 2 (b) に示す例においては、調整用データ D T 1 は 8 ビットのデータ列として構成されている。又、調整用データ D T 1 を構成する試験値 D 1 ~ D 8 は互いに異なる値であることが望ましく、図 2 (b) に示す例においては、試験値 D 1 ~ D 8 として 1 ~ 8 が用いられている。

【0023】

ダミーデータ (第 1 ダミーパターン) D T 2 は予め設定された同一の値 (ダミー値) のデータ列として構成される。図 2 (a) に示す例においては、ダミー値として 0 が用いられている。ダミーデータ (第 2 ダミーパターン) D T 3 も、ダミーデータ D T 2 と同様に予め設定された同一の値 (ダミー値) のデータ列として構成される。図 2 (c) に示す例においては、ダミー値として 0 が用いられている。又、ダミーデータ D T 2, D T 3 は、調整用データ D T 1 と同じビット数であることが望ましい。

【0024】

これらの調整用データ D T 1, ダミーデータ D T 2, D T 3 は、後述するコマンド処理回路 11 の連続ライト機能 111 によって用いられる。

調整用データ D T 4 は、図 2 (d) に示すように、複数 (本実施形態では 8) 種類の試験値 D 0 1 ~ D 0 8 のデータ列として構成される。すなわち、図 2 (d) に示す例においては、調整用データ D T 1 は 8 ビットのデータ列として構成されている。又、調整用データ D T 4 を構成する試験値 D 0 1 ~ D 0 8 は互いに異なる値であることが望ましく、図 2 (d) に示す例においては、調整用データ D T 1 と同様に、試験値 D 0 1 ~ D 0 8 として 1 ~ 8 が用いられている。

【0025】

なお、この調整用データ D T 4 を構成する各試験値 D 0 1 ~ D 0 8 は、調整用データ D T 1 の試験値 D 1 ~ D 8 と同じものに限定されるものではなく、適宜変更して実施することができる。

そして、これらのライトデータパターンにおいて、各試験値 D 1 ~ D 8, D 0 1 ~ D 0 8 やダミー値は、それぞれ 1 バーストアドレスに対応する。

【0026】

ライトデータ制御部 13 は、ライトデータパターン発生回路 131 をそなえ、このライ

10

20

30

40

50

トデータパターン発生回路131により、調整用データDT1及びダミーデータDT2、DT3を生成する。ライトデータパターン発生回路131は、コマンド処理回路11から行なわれるライトデータパターンの発生要求に応じて、調整用データDT1及びダミーデータDT2、DT3を生成する。

【0027】

なお、本実施形態においては、ダミーデータDT2、DT3のいずれもダミー値として0を用いているが、これに限定されるものではない。すなわち、ダミー値として0以外の値を用いてもよく、又、ダミーデータDT2とダミーデータDT3とで異なるダミー値を用いてもよい。

ただし、これらのダミー値は、調整用データDT1、DT4の試験値D1～D8、D01～D08と異なる値であることが望ましい。

【0028】

コマンド処理回路11は、DIMM30に対してコマンドを出力する回路であり、例えば、DIMM30に対してデータのライトコマンドやリードコマンドを送信する。

DIMM30に対するコマンドの発行は、例えば、ロウ（行）を指定するアクティブコマンドの発行の後の行なわれる。具体的には、例えば、アクセス先のアドレス（ADRS）指定とともに、CAS（Column Address Strobe）のライトコマンド[CAS(Write)]やリードコマンド[CAS(Read)]を送信することにより行なう。

【0029】

このコマンド処理部11は、図1に示すように、ライトレベリングのタイミング調整に関し、連続ライト機能111と単発ライト機能112とをそなえる。

なお、以下、本実施形態において、連続ライト機能111によりDIMM30にライトデータパターンを書き込む場合を連続ライトモードといい、単発ライト機能112によりDIMM30にライトデータパターンを書き込む場合を単発ライトモードという。

【0030】

そして、本メモリシステム1においては、これらの連続ライトモードと単発ライトモードとは選択的に行なわれる。

連続ライト機能111は、ライトレベリングのタイミング調整において、DIMM30に対して、ライトデータパターンとして、ダミーデータDT2、調整用データDT1及びダミーデータDT3を連続して書き込む。

【0031】

この連続ライト機能111による連続ライトモードは、例えば、情報処理装置の工場出荷時や初期設定時、電源投入時に行なって好適である。

図3（a）～（h）は実施形態の一例としてのメモリシステム1における連続ライトモードにおけるライト処理を説明するシーケンス図である。図3（a）はDIMM30におけるCLK（CLK@DIMM）を例示する図、（d）、（f）、（h）はそれぞれDIMM30におけるDQSを例示する図、図3（b）はコマンド処理回路11から送信されるライトコマンドを例示する図である。又、図3（c）、（e）、（g）はそれぞれDIMM30に書き込まれるライトデータパターンを例示する図である。

【0032】

そして、これらの図3（a）～（h）に示す例においては、第1のアドレスAに格納されているデータを矢印A1で、第2のアドレスBに格納されているデータを矢印B1で、第3のアドレスCに格納されているデータを矢印C1で、それぞれ示す。

図3（e）、（f）に示す例においては、ライトレベリング（WL）においてDQSが最適のタイミングにあり、DIMM30にライトデータパターンがずれることなく書き込まれた状態を示している。すなわち、第2のアドレスBに調整用データDT1の試験値D1～D8が欠けることなく完全な状態（理想状態）で格納されている。

【0033】

一方、図3（c）、（d）においては、ライトレベリングにおいてDQSのタイミングが図3（e）、（f）に示す理想状態よりも早くなり、前側（図3（c）、（d）中左側

10

20

30

40

50

）に1サイクル分（1 τ ）ずれた状態で格納された例を示している。すなわち、図3（c），（d）に示す例においては、試験値D1，D2が第2のアドレスB内には格納されずに第1のアドレスA内に格納されている。そして、第2のアドレスBには調整用データDT1の試験値D3～D8が格納されるとともに、試験値D8に後続して2つのダミー値0が格納されている。又、図3（c），（d）に示す例においては、第3のアドレスCに、6つのダミー値0に後続して2つの不定値Xが格納されている。

【0034】

また、図3（g），（h）においては、ライトレベリングにおいてDQSのタイミングが、図3（e），（f）に示す理想状態よりも遅くなり、後ろ側（図3（g），（h）右側）に1 τ ずれた状態で格納された例を示している。すなわち、図3（g），（h）に示す例においては、試験値D7，D8が第2のアドレスB内には格納されずに第3のアドレスC内に格納されている。そして、第2のアドレスBには調整用データDT1の試験値D1～D6が格納されるとともに、試験値D1に先行して2つのダミー値0が格納されている。又、図3（g），（h）に示す例においては、第1のアドレスAに、6つのダミー値0に先行して2つの不定値Xが格納されている。

【0035】

連続ライト機能111においては、図3（b）に示すように、コマンド処理回路11が、DIMM30に対して3つのコマンドCW1，CW2，CW3を連続して送信することにより、ダミーデータDT2，調整用データDT1及びダミーデータDT3の順で書き込ませる。

ここで、コマンドCW1は、ダミーデータDT2をDIMM30の第1のアドレスAに書き込ませるライトコマンドである。又、コマンドCW2は、調整用データDT1をDIMM30の第2のアドレスBに書き込ませるライトコマンドである。更に、コマンドCW3は、ダミーデータDT3をDIMM30の第3のアドレスCに書き込ませるライトコマンドである。

【0036】

また、アドレスA，B，Cは、予め設定しておいてもよく、又、コマンド処理回路11が任意に決定してもよい。ただし、これらのアドレスA，B，Cは同一ロウ（行）内にあり、一のメモリアクセスで読み出せる範囲内にあることが望ましい。

また、コマンド処理回路11は、ライトコマンドCW1～CW3の送信に際して、ライトデータ制御部13に対して、各ライトコマンドCW1～CW3とともに送信するライトデータパターン（調整用データDT1及びダミーデータDT2，DT3）の生成要求を行なう。

【0037】

すなわち、コマンド処理回路11は、連続ライトモードにおいて、ダミーデータDT2をDIMM30の第1のアドレスAに書き込む第1ライト部として機能するとともに、ダミーデータDT2の書き込みに後続して、調整用データDT1をDIMM30の第2のアドレスBに書き込む第2ライト部として機能する。更に、コマンド処理回路11は、連続ライトモードにおいて、調整用データDT1の書き込みに後続して、ダミーデータDT3をDIMM30の第3のアドレスCに書き込む第3ライト部として機能する。

【0038】

単発ライト機能112は、ライトレベリングのタイミング調整において、DIMM30に対して、調整用データDT4を書き込む。

図4（a）～（h）は実施形態の一例としてのメモリシステム1における単発ライトモードにおけるライト処理を説明するシーケンス図である。図4（a）はDIMM30におけるCLK（CLK@DIMM）を例示する図、（d），（f），（h）はそれぞれDIMM30におけるDQSを例示する図、図4（b）はコマンド処理回路11から送信されるライトコマンドCW4を例示する図である。又、図4（c），（e），（g）はそれぞれDIMM30に書き込まれるライトデータパターンを例示する図である。

【0039】

10

20

30

40

50

なお、図4(e), (f)に示す例においては、ライトレベリングにおいてDQSが最適のタイミングにあり、DIMM30にライトデータパターンがずれることなく書き込まれた状態を示している。又、図4(c), (d)においては、ライトレベリングにおいてDQSのタイミングが図4(e), (f)に示す状態よりも早くなり、前側(図4(e), (f)中左側)に1τずれた状態を例示している。更に、図4(g), (h)においては、ライトレベリングにおいてDQSのタイミングが、図4(e), (f)に示す状態よりも遅くなり、後ろ側(図4(e), (f)中右側)に1τずれた状態を例示している。

【0040】

単発ライト機能112においては、図4(b)に示すように、コマンド処理回路11が、DIMM30に対して、1つのライトコマンドCW4を送信することにより、調整用データDT4を書き込ませる。具体的には、コマンドCW4は調整用データDT4をDIMM30の第2のアドレスBに書き込ませる。

すなわち、コマンド処理回路11は、単発ライトモードにおいて、調整用データDT4をDIMM30の第2のアドレスBに書き込む第4ライト部として機能する。

【0041】

リードデータ処理部14は、ライトレベリングのタイミング調整において、DIMM30に書き込まれたライトデータパターンを読み出して処理する。コマンド処理回路11が、DIMM30に対して、そのアドレスBからデータを読み出すリードコマンドCRを繰り返し送信すると、リードデータ処理部14は、これらのリードコマンドに応じてDIMM30から送信されたデータを受け取り、処理を行なう。

【0042】

リードデータ処理部14は、連続ライトモードにおいては、DIMM30の第2のアドレスBから読み出された調整用データDT1を処理し、又、単発ライトモードにおいては、DIMM30の第2のアドレスBから読み出された調整用データDT4を処理する。

すなわち、リードデータ処理部14は、DIMM30の第2のアドレスBから調整用データDT1を読み出すリード部として機能する。

【0043】

そして、リードデータ処理部14は、DIMM30のアドレスBから読み出したリードデータに基づき、ライトレベリングのサイクルずれを補正する処理を行なう。

リードデータ処理部14は、図1に示すように、ライトレベリング応答処理部141及びリードデータパターンチェック回路142をそなえる。

リードデータパターンチェック回路142は、DIMM30の第2のアドレスBから読み出されたリードデータに基づき、DQSの出力タイミングを調整するTAP遅延量を決定する。

【0044】

図5は実施形態の一例としてのメモリシステム1におけるリードデータパターンチェック回路142の機能を模式的に示す図である。

この図5に示すように、DIMM30からリードコマンドCRによって読み出され、IOMクロ20を介して取得されたリードデータは、バッファ1421に一時的に格納される。バッファ1421には、リードコマンドCRによってDIMM30から読み出されたリードデータがFIFOで格納される。

【0045】

図6(a)~(e)は実施形態の一例としてのメモリシステム1における連続ライトモードにおけるリード処理を説明するシーケンス図である。図6(a)はDIMM30におけるCLK(CLK@DIMM)を例示する図、図6(b)はコマンド処理回路11から送信されるリードコマンドCRを例示する図である。又、図6(c), (d), (e)はそれぞれDIMM30から読み出されるリードデータを例示する図である。

【0046】

また、図6(c), (d), (e)においては、一のリードコマンドCRによってDIMM30の第2のアドレスBから読み出されたリードデータを矢印B2で示す。

図 6 (d) に示す例においては、図 3 (e) に示された理想状態で格納されたライトデータパターンがリードデータとして読み出された状態を示している。

すなわち、第 2 のアドレス B から調整用データ D T 1 の試験値 D 1 ~ D 8 が欠けることなく完全な状態（理想状態）で読み出され、バッファ 1 4 2 1 に格納されている。

【0047】

一方、図 6 (c) に示す例においては、図 3 (c) に示された状態で格納されたライトデータパターンが読み出された状態を示している。すなわち、図 6 (c) に示す例においては、D I M M 3 0 の第 2 のアドレス B から試験値 D 3 ~ D 8 及びダミー値 0, 0 が読み出され、バッファ 1 4 2 1 に格納されている。

また、図 6 (e) に示す例においては、図 3 (g) に示された状態で格納されたライトデータパターンが読み出された状態を示している。すなわち、図 6 (e) に示す例においては、D I M M 3 0 の第 2 のアドレス B からダミー値 0, 0 及び試験値 D 1 ~ D 6 が読み出され、バッファ 1 4 2 1 に格納されている。

【0048】

リードデータパターンチェック回路 1 4 2 は、バッファ 1 4 2 1 に格納された、D I M M 3 0 の第 2 のアドレス B から読み出されたリードデータに基づいて各種の情報収集や判断を行なう。

リードデータパターンチェック回路 1 4 2 は、連続ライトモードにおいて、バッファ 1 4 2 1 のリードデータを、その先頭（図 6 (c), (d), (e) の左側）から順に確認する。そして、リードデータパターンチェック回路 1 4 2 は、(i) リードデータにおいて最初に読めた試験値、(ii) リードデータにおいて最後に読めた試験値、(iii) 試験値が連続しているか、等の情報を収集・分析し、その結果を図示しないメモリ等に保存する。

【0049】

また、リードデータパターンチェック回路 1 4 2 は、上記の“(i) リードデータにおいて最初に読めた試験値”が D 1 であるか否かについても判断する。

なお、上記の (iii) 試験値が連続しているかの判断は、試験値 D 1 ~ D 8 を試験値 D n (n = 1 ~ 8 の自然数) と表した場合に、D k の次に D k + 1 (k は 1 ~ 7 の自然数) が並んでいるかを確認することで行なう。

【0050】

そして、リードデータパターンチェック回路 1 4 2 は、これらの判断結果に基づいて、ライトレベリングにおける D Q S の出力タイミングの変更量を決定し、その変更量を実現する T A P 遅延値の算出を行なう。

例えば、上記の“(i) リードデータにおいて最初に読めた試験値”が D 1 である場合には、リードデータパターンチェック回路 1 4 2 は、ライトデータを出すタイミング（遅延 T A P）を早めるように変更する。

【0051】

具体的には、上記“(ii) リードデータにおいて最後に読めた試験値”が D n である場合に、変更サイクル数（早めるサイクル数）s を、例えば以下の式 (1) により求める。

$$\text{早めるサイクル数 } s = 8 - n \quad \cdots (1)$$

例えば、上記“(ii) リードデータにおいて最後に読めた試験値”が D 6 である場合には、上記式 (1) より、

$$\begin{aligned} \text{早めるサイクル数 } s &= 8 - 6 \\ &= 2 \end{aligned}$$

となる。

【0052】

一方、上記の“(i) リードデータにおいて最初に読めた試験値”が D 1 でない場合には、リードデータパターンチェック回路 1 4 2 は、ライトデータを出すタイミング（遅延 T A P）を遅らせるように変更する。

具体的には、上記“(i) リードデータにおいて最初に読めた試験値”が D n である場

合に、変更サイクル数（遅らせるサイクル数） s を、例えば以下の式（２）により求める。

【００５３】

$$\text{遅らせるサイクル数 } s = n - 1 \quad \cdots (2)$$

例えば、上記“（ｉ）リードデータにおいて最初に読めた試験値”がD 3である場合には、

$$\begin{aligned} \text{遅らせるサイクル数 } s &= 3 - 1 \\ &= 2 \end{aligned}$$

となる。

【００５４】

すなわち、リードデータ処理部１４は、D I M M 3 0の第２のアドレスから読み出したリードデータにおける、試験値D 1～D 8やダミー値の読み出し位置に基づいて、調整用データD T 1のずれを補正する変更サイクル数 s を決定する。

なお、リードデータパターンチェック回路１４２における変更サイクル数 s の算出方法は、上記式（１），（２）を用いるものに限定されるものではなく、種々変形して実施することができる。例えば、他の演算式を用いて求めてもよく、又、予め用意した変換対応規則に従って求めてもよい。

【００５５】

また、リードデータパターンチェック回路１４２は、決定した変更するサイクル数 s に基づき、遅延T A P 2 1に設定するT A P遅延値を決定する。

なお、このT A P遅延値の決定方法は、予め用意した変換対応規則に従って行なう等、既知の種々の手法により実現することができ、その詳細な説明は省略する。

図７（ａ）～（ｅ）は実施形態の一例としてのメモリシステム１における単発ライトモードにおけるリード処理を説明するシーケンス図である。図７（ａ）はD I M M 3 0におけるC L K（CLK@DIMM）を例示する図、図７（ｂ）はコマンド処理回路１１から送信されるリードコマンドC Rを例示する図である。又、図７（ｃ），（ｄ），（ｅ）はそれぞれD I M M 3 0の第２のアドレスBから読み出されるリードデータを例示する図である。

【００５６】

図７（ｄ）に示す例においては、図４（ｅ）に示された理想状態で格納されたライトデータパターンがリードデータとして読み出された状態を示している。

すなわち、第２のアドレスBから調整用データD T 4の試験値D 0 1～D 0 8が欠けることなく完全な状態（理想状態）で読み出され、バッファ１４２１に格納されている。

一方、図７（ｃ）に示す例においては、図４（ｃ）に示された状態で格納されたライトデータパターンが読み出された状態を示している。すなわち、図７（ｃ）に示す例においては、D I M M 3 0の第２のアドレスBから試験値D 0 3～D 0 8及び不定値X，Xが読み出され、バッファ１４２１に格納されている。

【００５７】

また、図７（ｅ）に示す例においては、図４（ｇ）に示された状態で格納されたライトデータパターンが読み出された状態を示している。すなわち、図７（ｅ）に示す例においては、D I M M 3 0の第２のアドレスBから不定値X，X及び試験値D 0 1～D 0 6が読み出され、バッファ１４２１に格納されている。

リードデータパターンチェック回路１４２は、単発ライトモードにおいては、例えば、バッファ１４２１に格納された、D I M M 3 0の第２のアドレスBから読み出されたリードデータが、図７（ｄ）に示すような理想状態で格納されているか否かを確認する。これにより、本メモリシステム１において、ライトレベリングが適正に行なわれているか否かを確認することができる。

【００５８】

ライトレベリング応答処理部１４１は、連続ライトモードにおいて、リードデータパターンチェック回路１４２によって決定されたT A P遅延値を遅延T A P 2 1に送信することにより、D Q Sの出力タイミングを調整する。これにより、リードデータ処理部１４は

10

20

30

40

50

、D I M M 3 0 の第 2 のアドレス B からのテストパターンの読み出し結果に基づいて、D I M M 3 0 に対するデータの書き込みタイミングを調整するタイミング調整部として機能するのである。

【0059】

上述の如く構成された実施形態の一例としてのメモリシステム 1 における連続ライトモードにおける処理を、図 8 に示すフローチャート（ステップ S 1 ～ S 1 0）に従って説明する。

コマンド処理回路 1 1 は、連続ライト機能部 1 1 1 により、D I M M 3 0 に対して、ライトコマンド C W 1 ～ C W 3 を送信することにより、アドレス A, B, C に対して、ダミーデータ D T 2, 調整用データ D T 1 及びダミーデータ D T 3 を、順次、書き込む（ステップ S 1）。 10

【0060】

その後、コマンド処理回路 1 1 は、D I M M 3 0 に対してリードコマンド C R を送信することにより、第 2 のアドレス B に格納された調整用データ D T 1 を読み出す（ステップ S 2）。

リードデータ処理部 1 4 は、バッファ 1 4 2 1 のリードデータについて、(i) リードデータにおいて最初に読めた試験値、(ii) リードデータにおいて最後に読めた試験値、及び (iii) 試験値が連続しているか、等の情報を収集・分析し、その結果を図示しないメモリ等に保存する（ステップ S 3）。 20

【0061】

リードデータ処理部 1 4 は、ステップ S 3 において保存された情報において、試験値が連続しているか否かを確認する（ステップ S 4）。この確認の結果、試験値が連続している場合には（ステップ S 4 の Y E S ルート参照）、次に、リードデータにおいて最初に読めた試験値 = D 1、且つ、リードデータにおいて最後に読めた試験値 = D 8 であるかを確認する（ステップ S 5）。すなわち、第 2 のアドレス B から、図 6（d）に例示するような、理想状態で格納されたライトデータパターンがリードデータとして読み出されたか否かを確認する。

【0062】

この確認の結果、リードデータにおいて最初に読めた試験値 = D 1、且つ、リードデータにおいて最後に読めた試験値 = D 8 である場合には（ステップ S 5 の Y E S ルート参照） 30、正常終了する。

また、この確認の結果、リードデータにおいて最初に読めた試験値 = D 1、且つ、リードデータにおいて最後に読めた試験値 = D 8 でない場合には（ステップ S 5 の N O ルート参照）、次に、リードデータにおいて最初に読めた試験値 = D 1 であるか否かを確認する（ステップ S 8）。

【0063】

リードデータにおいて最初に読めた試験値 = D 1 である場合には（ステップ S 8 の Y E S ルート参照）、リードデータ処理部 1 4 は、ライトデータを出すタイミング（遅延 T A P）を早めるように変更する（ステップ S 9）。そしてリードデータ処理部 1 4 は、上述した式（1）に基づき、早めるサイクル数 s を算出する。 40

リードデータパターンチェック回路 1 4 2 は、算出されたサイクル数 s に基づき、遅延 T A P 2 1 に設定する T A P 遅延値を決定し、決定した T A P 遅延値を遅延 T A P 2 1 に設定し、ステップ S 1 に戻る。

【0064】

一方、リードデータにおいて最初に読めた試験値 = D 1 でない場合には（ステップ S 8 の N O ルート参照）、リードデータ処理部 1 4 は、ライトデータを出すタイミング（遅延 T A P）を遅くするように変更する（ステップ S 1 0）。そしてリードデータ処理部 1 4 は、上述した式（2）に基づき、早めるサイクル数 s を算出する。

リードデータパターンチェック回路 1 4 2 は、算出されたサイクル数 s に基づき、遅延 T A P 2 1 に設定する T A P 遅延値を決定し、決定した T A P 遅延値を遅延 T A P 2 1 に 50

設定し、ステップ S 1 に戻る。

【0065】

また、ステップ S 4 において、試験値が連続していない場合には（ステップ S 4 の NO ルート参照）、リードデータ処理部 1 4 は、第 2 のアドレス B が変更された回数（アドレス変更回数）が、規定回数未満であるか否かを確認する（ステップ S 6）。アドレス変更回数が規定回数未満ではない場合には（ステップ S 6 の NO ルート参照）、エラー終了する。なお、本メモリシステム 1 においては、遅延 TAP 2 1 がオーバーフローもしくはアンダーフローした場合もエラー終了する。

【0066】

一方、アドレス変更回数が規定回数未満である場合には（ステップ S 6 の YES ルート参照）、リードデータ処理部 1 4 は、第 2 のアドレス B を変更して（ステップ S 7）、ステップ S 1 に戻る。これにより、ステップ S 4 において、何らかの理由でたまたま試験値の不連続となった場合には、調整用データ DT 1 の書き込み先である第 2 のアドレス B を変更した上でリトライすることにより、ライトレベリングのタイミング調整を実現することができ、信頼性が高い。

【0067】

また、単発ライトモードにおいては、コマンド処理回路 1 1 が、DIMM 3 0 に対してライトコマンド CW 4 を送信することにより、調整用データ DT 4 を DIMM 3 0 の第 2 のアドレス B に書き込ませる。

その後、コマンド処理回路 1 1 は、DIMM 3 0 に対してリードコマンド CR を送信することにより、第 2 のアドレス B に格納された調整用データ DT 1 を読み出す。

【0068】

そして、リードデータ処理部 1 4 が、バッファ 1 4 2 1 に格納された、DIMM 3 0 の第 2 のアドレス B から読み出されたリードデータが、図 7（d）に示すような理想状態で格納されているか否かを確認する。これにより、本メモリシステム 1 において、ライトレベリングが適正なタイミングで行なわれているか否かを確認する。

なお、単発ライトモードでの処理は連続ライトモードに比べてメモリコントローラ 1 0 の付加を軽減することができる。従って、例えば、上述した連続ライトモード等によりライトレベリングのタイミング調整を行なった後に、その確認の用途に用いて好適である。

【0069】

このように、実施形態の一例としてのメモリシステム 1 によれば、連続ライトモードにおいて、DIMM 3 0 の第 2 のアドレスから読み出したリードデータにおける、試験値 D 1 ～D 8 やダミー値の読み出し位置に基づいて、調整用データ DT 1 のずれを補正する変更サイクル数 s を決定する。

これにより、ライトレベリングにおいて、ライトコマンドに対するサイクルずれを検出し、ライトコマンドに対して正しい CLK のエッジに DQS を合わせることができ、ライトレベリングのサイクルずれを容易に補正することができる。又、ディレイ TAP の初期値の計算を行なうことなく、遅延 TAP 2 1 に対して最適な TAP 遅延値を容易に設定することができる。

【0070】

また、リードデータ処理部 1 4 が、TAP 遅延値を算出して遅延 TAP 2 1 に設定することにより、DQS のタイミング調整を自律的行なうことができ、利便性が高い。

また、連続ライトモードにおいては、調査対象の DIMM 3 0 の第 2 のアドレス B に、不定値が格納されることがなく、利便性が高い。

さらに、DDI の IO マクロ 2 0 のライトレベリングで使用する遅延 TAP 2 1 を用いることにより、本実施形態の実現に際して、IO マクロ 2 0 側において特段の機能追加を行なう必要がなく、導入コストを低減することができる。又、DFI のような汎用の DDR インタフェースに対応していなくても実現可能であり、利便性が高い。

【0071】

また、連続ライトモードと単発ライトモードとで選択的に処理可能に構成され、ライト

10

20

30

40

50

レベリングのタイミングを確認するだけで良い場合には、単発ライトモードで処理を行なうことで、メモリコントローラ 10 の付加を低減することができる。

そして、開示の技術は上述した実施形態に限定されるものではなく、本実施形態の趣旨を逸脱しない範囲で種々変形して実施することができる。

【0072】

例えば、上述した実施形態においては、メモリコントローラ 10 と I O マクロ 20 とが独立してそなえられているが、これに限定されるものではなく、メモリコントローラ 10 に I O マクロ 20 としての機能をそなえてもよい。

また、上述した実施形態においては、調整用データ D T 1, D T 4 やダミーデータ D T 2, D T 3 が 8 ビットの例を示しているが、これに限定されるものではなく、7 ビット以下もしくは 9 ビット以上であってもよい。

【0073】

また、本実施形態の各構成及び各処理は、必要に応じて取捨選択することができ、あるいは適宜組み合わせてもよい。

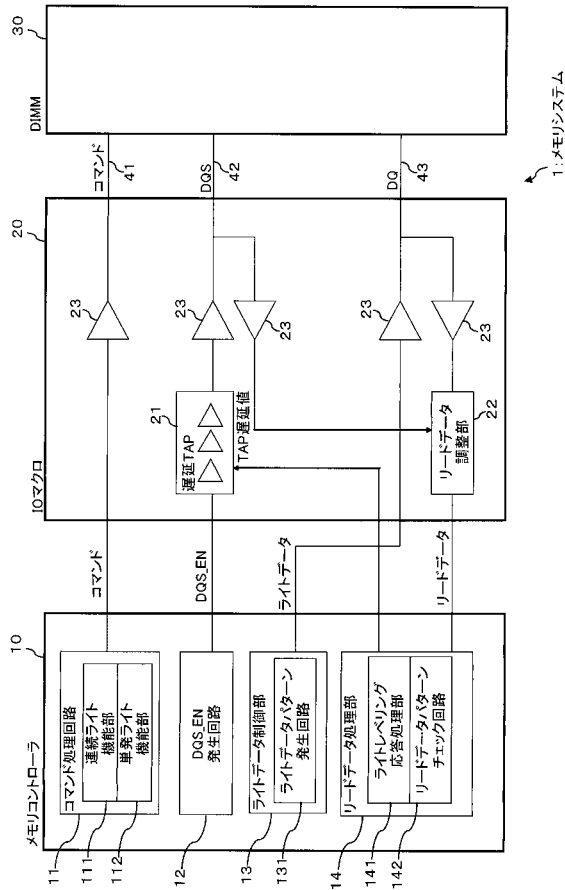
また、上述した開示により本実施形態を当業者によって実施・製造することが可能である。

【符号の説明】

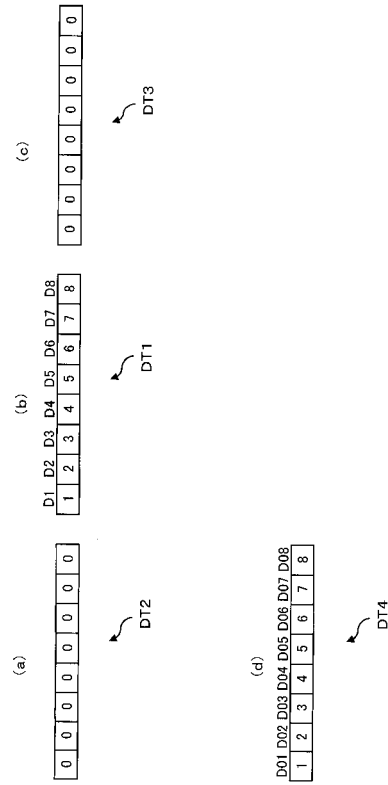
【0074】

1	メモリシステム	
10	メモリコントローラ	20
11	コマンド処理回路	
12	D Q S _ E N 発生回路	
13	ライトデータ制御部	
14	リードデータ処理部	
20	I O マクロ	
21	遅延 T A P	
22	リードデータ調整部	
23	ドライバ	
30	D I M M	
41	コマンド信号線	30
42	D Q S 信号線	
43	D Q 信号線	
111	連続ライト機能部	
112	単発ライト機能部	
131	ライトデータパターン発生回路	
141	ライトレベリング応答処理部	
142	リードデータパターンチェック回路	
C W 1, C W 2, C W 3, C W 4, C R	リードコマンド	

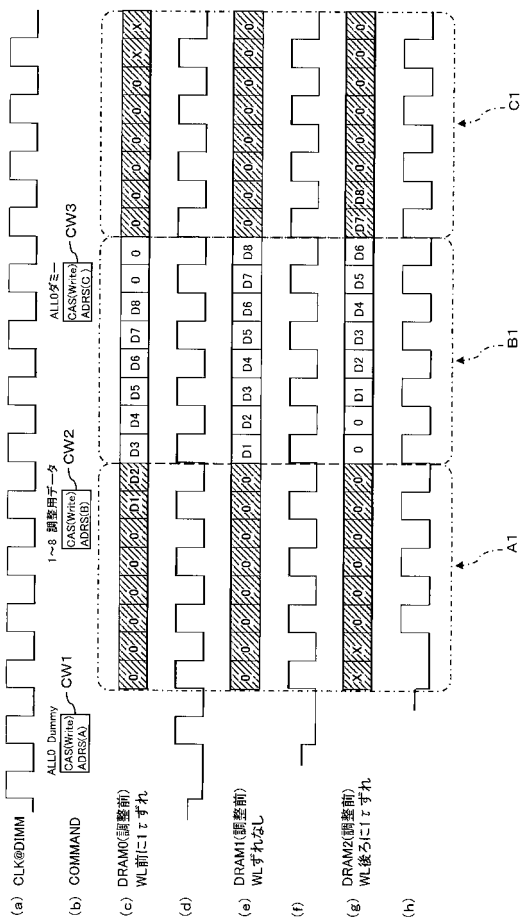
【 図 1 】



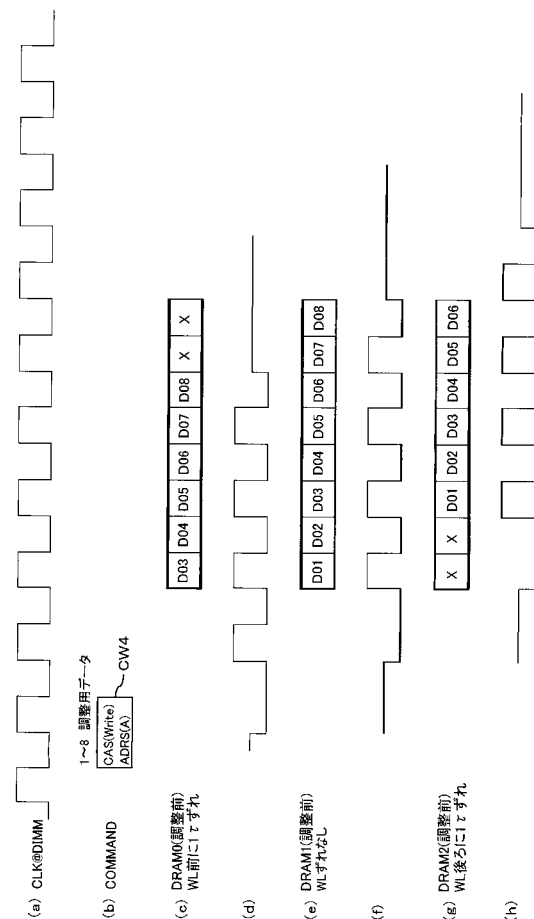
【図 2】



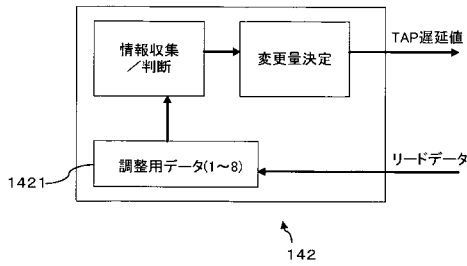
【 図 3 】



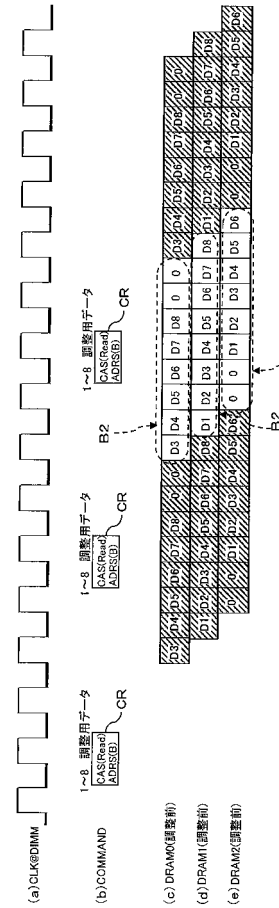
【図 4】



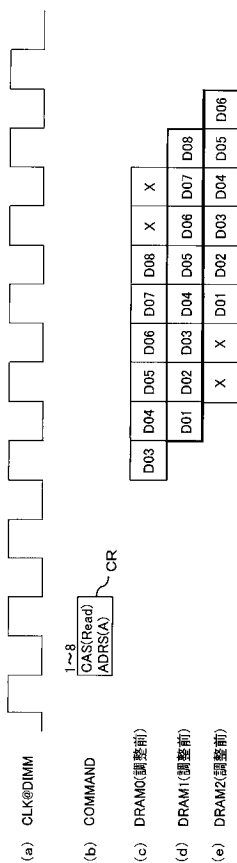
【図 5】



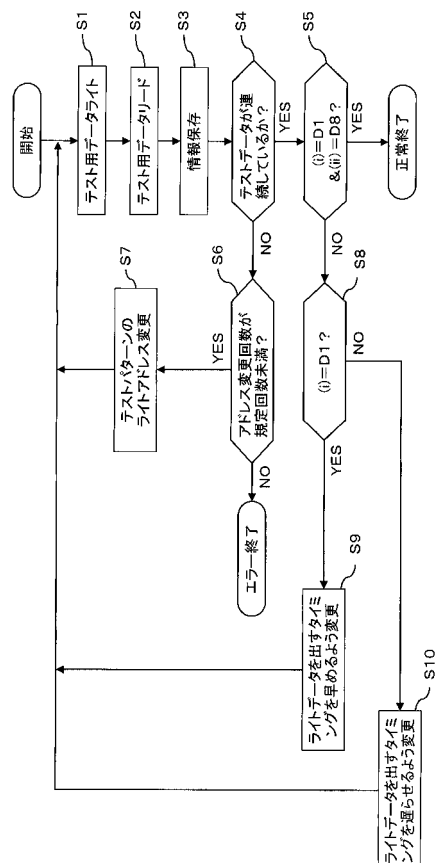
【図 6】



【図 7】



【図 8】



【図 9】

