(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G11C 29/00

(11) 공개번호 특1996-0025802
(43) 공개일자 1996년07월20일

(21) 출원번호 특1995-0061268
(22) 출원일자 1995년12월28일
(30) 우선권주장 8/365,286 1994년12월28일 미국(US)
(71) 출원인 엘에스아이 로직 코포레이션 데이비드 이 샌더스
미합중국 95035 캘리포니아주 밀피타스 맥카티 불로바드 1551
(72) 발명자 오웬 에스. 바이어
미합중국 95070 캘리포니아주 사라토가 비아 마드로나스 코트 19445
아담 카블라니안
미합중국 95131 캘리포니아주 산 호세 델루카 드라이브 1633
척-흥 찰리 리
미합중국 95123 캘리포니아주 산 호세 카할란 애비뉴 6015
파자드 자린파
미합중국 94588 캘리포니아주 플래산톤 오클란드 애비뉴 2373
(74) 대리인 주성민, 김성택

심사청구 : 없음

(54) ASIC 메모리 설계에 내장된 자기-수선 장치 및 방법

요약

본 발명은 ASIC 시스템에서 온-침 테스트 회로 및 수선 회로를 채용함으로써 결함 메모리 셀을 내부적으로 수선하기 위한 논리 회로 및 그 기술에 관한 것이다. 상기 테스트 회로는 메모리 배열에서 열 라인 결함, 행 결함, 및 데이타 보존 결함을 검출한다. 상기 수선 회로는 상기 결함 메모리 라인의 원 어드레스 위치를 용장열 및 행 라인의 매핑된 어드레스 위치로 방향 지정한다. 상기 수선 방식은 메모리 배열에서 각각의 I/O 배열에 부가된 용장 열 라인, 및 검출된 메모리 결함을 대체하기 위한 용장 행 라인을 포함하낟. 상기 테스트 및 수선 방법은 어떠한 외부 장치의 도움 없이 칩 내부에서 수행된다.

대표도

도1

명세서

[발명의 명칭]

ASIC 메모리 설계에 내장된 자기-수선 장치 및 방법

[도면의 간단한 설명]

제1도는 본 발명에 의한 ASIC 시스템 실시예의 블록도, 제2도는 내장된 자기-테스트 회로(build-in selftest circuit)의 블록도, 제3도는 용장 열/행 라인을 갖는 실시예의 메모리 배열 구성, 제4도는 본 발명의 시스템 조작의 흐름도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

테스트 회로 (test circuit), 수선 회로(repair circuit), 메모리 배열, 및 상기 메모리 배열 내의 복수의 용장 라인(redundant lines)을 구비한 시스템에서 구성 가능한 ASIC 메모리(configurable ASIC memories)를 온-칩(on-chip) 테스트 및 수선하기 위한 방법에 있어서, 상기 수선 회로에 의해서 하나 이상의 결함 라인(faulty line)의 원(original) 어드레스 위치를 하나 이상의 용장 라인의 매핑된(mapped) 어드레스 위치로 방향 지정(redirectiong)하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 방향 지정 단계 이전에, 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 상기 하나 이상의 용장 라인의 상기 매핑된 어드레스 위치로 변환(translate)하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 3

제2항에 있어서, 상기 변환 단계 이전에, 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 저장하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서, 상기 저장 단계 이전에, 상기 테스트 회로에서 상기 수선 회로로 전송되는, 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 수신하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 5

제1항에 있어서, 상기 방향 지정 단계가 상기 하나 이상의 결함 열(column)의 상기 원 어드레스 위치를 상기 하나 이상의 용장 열 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 단계; 및 상기 하나 이상의 결함 행(row)의 상기 원 어드레스 위치를 상기 하나 이상의 용장 행 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 6

제2항에 있어서, 상기 변환 단계가 상기 하나 이상의 결함 열의 상기 원 어드레스 위치를 상기 하나 이상의 용장 열 라인의 상기 매핑된 어드레스 위치로 변환하는 단계; 및 상기 하나 이상의 결함 행의 상기 원 어드레스 위치를 상기 하나 이상의 용장 행 라인의 상기 매핑된 어드레스 위치로 변환하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 7

제3항에 있어서, 상기 저장 단계가 상기 하나 이상의 결함 열의 상기 원 어드레스 위치를 저장 장치(storage device)에 저장하는 단계; 및 상기 하나 이상의 결함 행의 원 어드레스 위치를 상기 저장 장치에 저장하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

제4항에 있어서, 상기 수신 단계가 상기 하나 이상의 용장 열 라인의 매핑된 어드레스 위치에 대응하는 상기 하나 이상의 결함 열의 상기 원 어드레스 위치를 수신하는 단계; 및 상기 하나 이상의 용장 행 라인의 매핑된 어드레스 위치에 대응하는 상기 하나 이상의 결함 행의 상기 원 어드레스 위치를 수신하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 9

제1항에 있어서, 상기 테스트 회로가 테스트 패턴 발생기(test pattern generator)를 포함하고, 상기 메모리 배열에서 스턱-엣(stuck-at) 결함, 스턱-오픈(stuck-open) 결함, 브리징(bridging) 결함을 포함하는 열 결함을 검출하기 위하여 상기 테스트 패턴 발생기가 제1테스트 패턴을 발생시키는 단계; 및 상기 메모리 배열에서 메모리 셀의 데이타 보존 결함(data retention fault)을 포함하는 행 결함을 검출하기 위하여 상기 테스트 패턴 발생기가 제2테스트 패턴을 발생시키는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 10

제9항에 있어서, 상기 메모리 배열에서 상기 테스트 회로를 사용하여 상기 하나 이상의 열 라인의 결함위치를 검출하는 단계; 및 상기 메모리 배열에서 상기 테스트 회로를 사용하여 상기 하나 이상의 행 셀의 결함위치를 검출하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 11

제4항에 있어서, 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 포함하는 정보의 셋(a set of information)을 상기 테스트 회로로부터 상기 수선 회로로 전송하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 12

제11항에 있어서, 상기 메모리 배열이 일련의 입출력(I/O) 배열을 포함하고, 상기 I/O 배열의 각각은 복수의 행 라인과 교차하는(intersecting) 복수의 열 라인을 포함하며, 정보를 저장하기 위해서 상기 I/P 배열 각각에 대하여 복수의 열 라인의 크기를 구성(configure)하는 단계; 및 정보를 저장하기 위해서 상기 I/O 배열 각각에 대하여 복수의 행 라인의 크기를 구성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 13

제12항에 있어서, 결함 메모리 라인을 대신할 대체(replacement)열 라인으로서 각각의 상기 I/O 배열에 하나 이상의 용장 열 라인을 부가(attach)하는 단계; 및 복수의 결함 메모리 라인을 대신할 복수의 대체 행 라인으로서 상기 메모리 배열에 복수의 용장 행 라인을 제공하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 14

테스트 패턴 발생기를 갖는 테스트 회로, 수선 회로, 메모리 배열, 및 상기 메모리 배열 내의 복수의 용장 라인을 구비한 시스템에서 구성 가능한 ASIC 메모리를 온-칩 테스트 및 수선하기 위한 방법에 있어서, 상기 메모리 배열에서 복수의 메모리 셀을 테스트하기 위하여 상기 테스트 패턴발생기에 의하여 테스트 패턴을 제공하는 단계; 상기 테스트 회로에 의하여 상기 메모리 배열에서 하나 이상의 결함을 검출하는 단계; 상기 하나 이상의 결함 라인의 원 어드레스 위치를 상기 테스트 회로로부터 상기 수선 회로로 전송하는 단계; 상기 하나 이상의 결함 메모리 라인의 원 어드레스 위치를 저장하는 단계; 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 하나 이상의 용장 라인에서 매핑된 어드레스 위치로 변환(translate)하는 단계; 및 상기 하나 이상의 결함 라인의 상기 원 어드레스 위치를 상기 하나 이상의 용장 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 15

제14항에 있어서, 상기 방향 지정 단계가 상기 수선 회로에 의하여 상기 하나 이상의 결함 열의 상기 원 어드레스 위치를 상기 하나 이상의 용장 열 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 단계; 및 상기 수선 회로에 의하여 상기 하나 이상의 결함 행의 상기 원 어드레스 위치를 상기 하나 이상의 용장 행 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 16

결합 ASIC 메모리를 수선하기 위한 온-칩 시스템에 있어서, 서로 교차하는 복수의 열 라인 및 복수의 행 라인으로 형성된 메모리 셀 매트릭스를 포함하고, 데이타를 저장하기 위한 복수의 I/O 배열을 구비한 메모리 배열; 검출된 열 결함에 대한 대체 메모리 라인으로서 상기 복수의 I/O 배열의 각각에 결합된 하나 이상의 열 용장 라인; 검출된 행 결함에 대한 대체 메모리 라인으로서 상기 메모리 배열 내에 제공된 복수의 행 용장 라인; 및 결함 라인의 원 어드레스 위치를 용장 라인의 매핑된 어드레스 위치로 방향 지정하도록 상기 메모리 배열에 결합된 수선 회로를 포함하는 것을 특징으로 하는 시스템.

청구항 17

제16항에 있어서, 상기 수선 회로가 결함 열의 상기 원 어드레스 위치를 용장열의 상기 매핑된 어드레스 위치로 방향 지정하기 위하여 테스트 회로에 결합되고, 열 저장 장치(column storing device) 및 열 어드레스 정정 장치(colum address correction device)를 포함하는 열 수선 서브회로(colum repair sub-circuit) ; 및 결함 행의 상기 원 어드레스 위치를 용장 행의 상기 매핑된 어드레스 위치로 방향 지정하기 위하여 테스트 회로에 결합되고, 행 저장 장치 및 행 어드레스 정정 장치를 포함하는 행 수선 서브회로를 더 포함하는 것을 특징으로 하는 온-칩 시스템.

청구항 18

제17항에 있어서, 상기 열 저장 장치가 결함 열 라인의 상기 원 어드레스 위치를 저장하고, 상기 열 어드레스 정정 장치가 결함 열 라인의 상기 원 어드레스 위치를 상기 용장 열 라인의 상기 매핑된 어드레스 위치로 방향 지정하며, 상기 행 저장 장치가 결함 행 라인의 상기 원 어드레스 위치를 저장하고, 상기 행 어드레스 저장 장치가 결함 행 라인의 상기 원 어드레스 위치를 상기 용장 행 라인의 상기 매핑된 어드레스 위치로 방향 지정하는 것을 특징으로 하는 온-칩 시스템.

청구항 19

제18항에 있어서, 결함 메모리 셀을 조사하기 위하여 상기 수선 회로에 결합된 테스트 회로를 더 포함하고, 상기 테스트 회로는 상기 메모리 배열로 패턴의 셋을 제공함으로써 상기 열 라인 및 상기 행 셀을 테스트하기 위한 테스트 패턴 발생기를 포함하는 것을 특징으로 하는 온-칩 시스템.

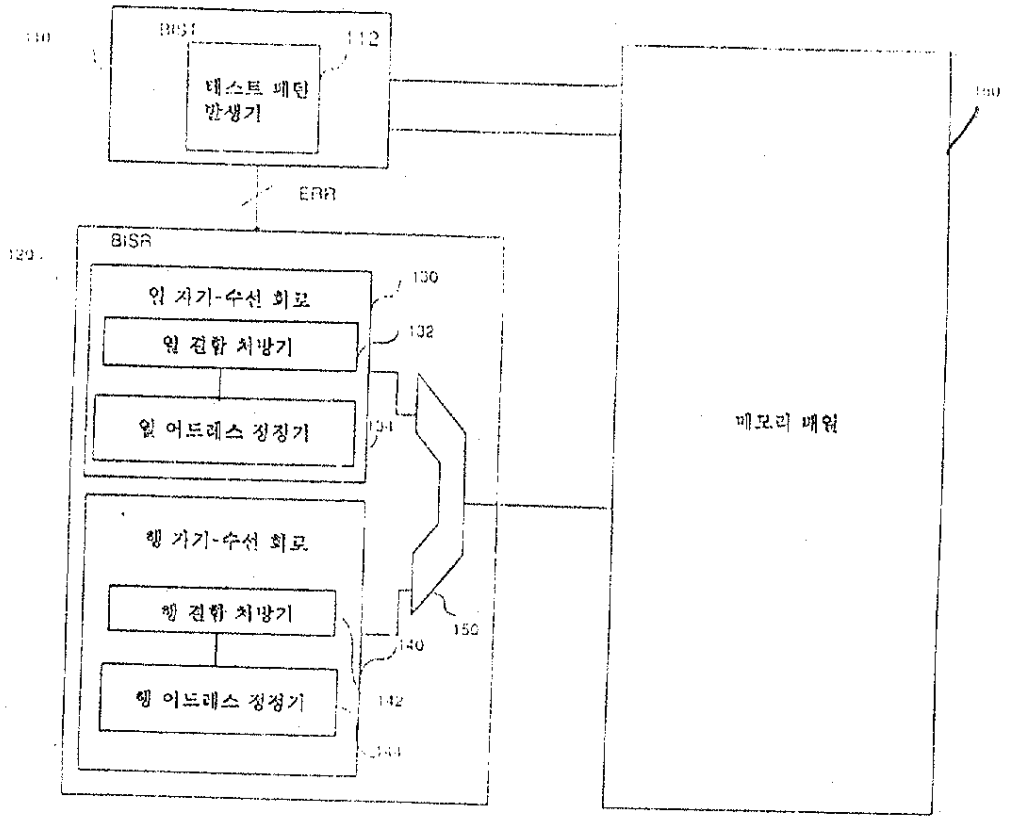
청구항 20

제19항에 있어서, 상기 메모리 배열이 수직 열(vertical columns) 및 수평 행(horizontal row)에 복수의 메모리 셀을 포함하는 것을 특징으로 하는 온-칩 시스템.

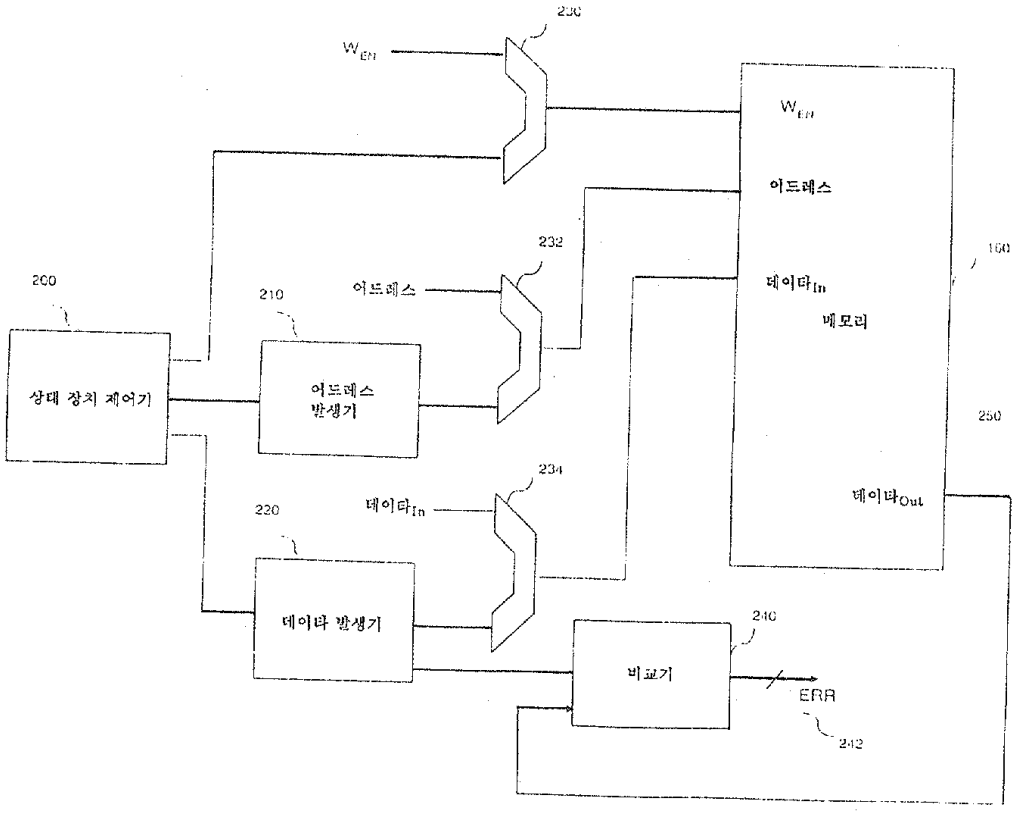
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

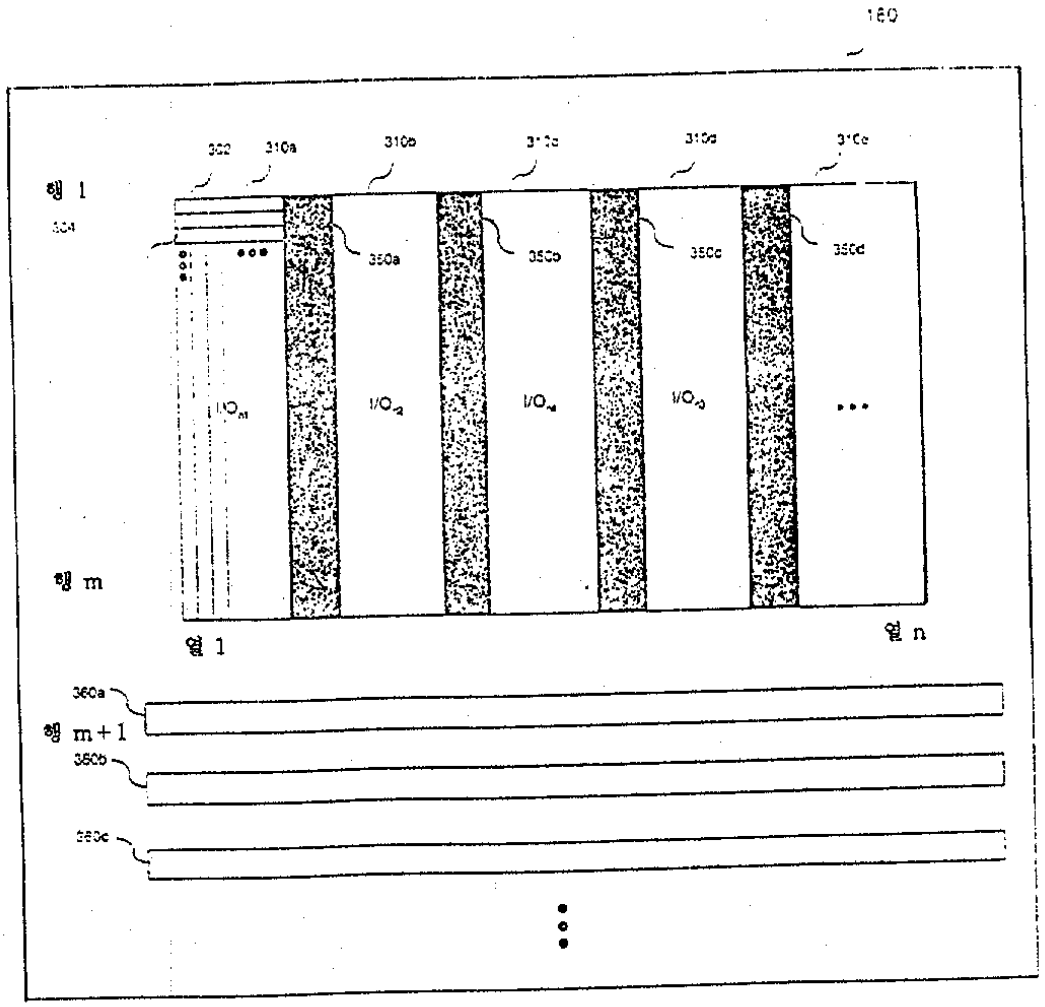
도면1


BIST
112
테스트 패턴
발생기
ERR
BISR
130
입 자기-수선 회로
132
입 결함 처방기
134
입 어드레스 정정기
행 자기-수선 회로
행 결함 처방기
140
150
행 어드레스 정정기
142
메모리 배열

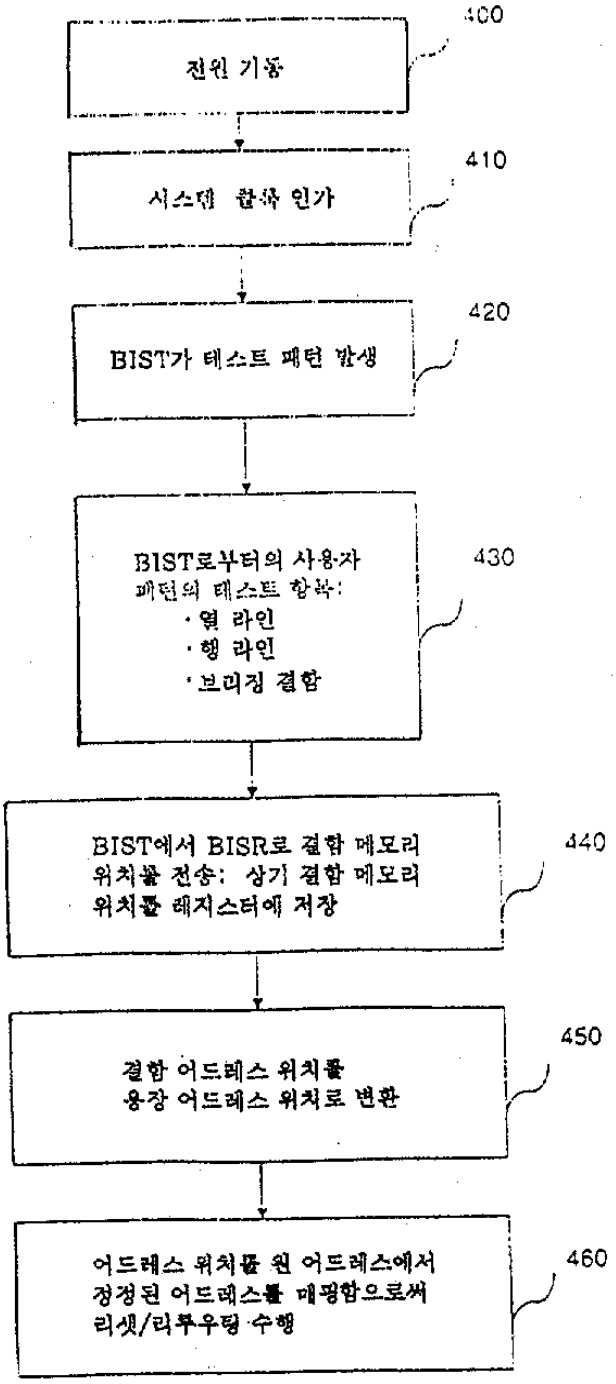
도면2


230
W_{EN}
W_{EN}
어드레스
160
데이타In
메모리
250
데이타Out
232
200
210
어드레스
상태 장치 제어기
어드레스
발생기
234
220
데이타In
데이타 발생기
240
비교기
ERR
242

도면3



도면4


400
전원 기동
410
시스템 환경 인가
420
BIST가 테스트 패턴 발생
430
BIST로부터의 사용자
패턴의 테스트 항목:
· 열 라인
· 행 라인
· 브리징 결함
440
BIST에서 BISR로 결함 메모리
위치를 전송: 상기 결함 메모리
위치를 레지스터에 저장
450
결함 어드레스 위치를
용장 어드레스 위치로 변환
460
어드레스 위치를 원 어드레스에서
정정된 어드레스를 매핑함으로써
리셋/리부우팅 수행