

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 19/18 (2006.01)

G11C 19/28 (2006.01)

G09G 3/36 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200680009086.8

[43] 公开日 2008年3月19日

[11] 公开号 CN 101147202A

[22] 申请日 2006.3.20

[21] 申请号 200680009086.8

[30] 优先权

[32] 2005.3.22 [33] EP [31] 05102310.9

[86] 国际申请 PCT/IB2006/050854 2006.3.20

[87] 国际公布 WO2006/100636 英 2006.9.28

[85] 进入国家阶段日期 2007.9.20

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·C·迪恩

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

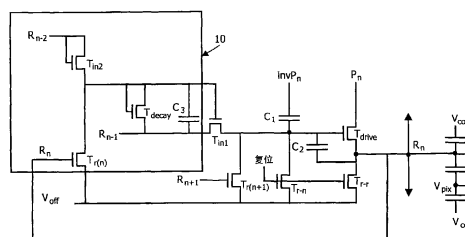
权利要求书 5 页 说明书 16 页 附图 9 页

## [54] 发明名称

移位寄存器电路

## [57] 摘要

移位寄存器电路的每一级包括：连接到前级的输出的第一输入( $R_{n-i}$ )；用于将第一时钟控制电源线电压( $P_n$ )耦合到该级的输出( $R_n$ )的驱动晶体管( $T_{drive}$ )；用于补偿驱动晶体管的寄生电容的影响的补偿电容器( $C-i$ )；连接在驱动晶体管的栅极与该级的输出( $R_n$ )之间的第一自举电容器( $C_2$ )；以及用于对第一自举电容器( $C_2$ )进行充电并由第一输入( $R_{n-i}$ )控制的输入晶体管( $T_{ni}$ )。每一级具有耦合到比该级前两级(或更多级)的那一级的输出( $R_{n-2}$ )的输入部分(10)，该输入部分包括连接在输入晶体管( $T_{ni}$ )的栅极与第一输入( $R_{n-i}$ )之间的第二自举电容器( $C_3$ )。使用两个自举电容器使得该电路对于阈值电压电平或变化较不敏感，并且能够利用非晶硅工艺来实现。



- 1、一种包括多级的移位寄存器电路，每一级包括：
  - 连接到前级的输出的第一输入 ( $R_{n-1}$ )；
  - 用于将第一时钟控制电源线电压 ( $P_n$ ) 耦合到该级的输出 ( $R_n$ ) 的驱动晶体管 ( $T_{drive}$ )；
  - 用于补偿所述驱动晶体管的寄生电容的影响的补偿电容器 ( $C_1$ )；
  - 连接在所述驱动晶体管的栅极与该级的输出 ( $R_n$ ) 之间的第一自举电容器 ( $C_2$ )；以及
  - 用于对所述第一自举电容器 ( $C_2$ ) 进行充电并由所述第一输入 ( $R_{n-1}$ ) 控制的输入晶体管 ( $T_{in1}$ )，
  - 其中每一级还包括耦合到比该级前两级或更多级的那一级的输出 ( $R_{n-2}$ ) 的输入部分 (10)，并且其中所述输入部分包括连接在所述输入晶体管 ( $T_{in1}$ ) 的栅极与所述第一输入 ( $R_{n-1}$ ) 之间的第二自举电容器 ( $C_3$ )。
- 2、如权利要求 1 所述的电路，其中所述输入部分耦合到比该级前两级的那一级的输出 ( $R_{n-2}$ )。
- 3、如权利要求 1 或 2 所述的电路，其中每一级还包括连接到下一级的输出的第二输入 ( $R_{n+1}$ )。
- 4、如权利要求 3 所述的电路，其中所述第二输入 ( $R_{n+1}$ ) 连接到复位晶体管 ( $T_{r(n+1)}$ ) 的栅极，该复位晶体管连接在所述驱动晶体管的栅极与低电源线 ( $V_{off}$ ) 之间。
- 5、如任何前述权利要求所述的电路，其中每一级的所述补偿电

容器 ( $C_1$ ) 连接在所述驱动晶体管的栅极与第二时钟控制电源线电压 ( $invP_n$ ) 之间, 该第二时钟控制电源线电压与所述第一电源线电压 ( $P_n$ ) 为互补时钟控制。

6、如任何前述权利要求所述的电路, 其中所述输入部分 (10) 包括用于将晶体管阈值电压存储在所述第二自举电容器 ( $C_3$ ) 上的电路元件。

7、如任何前述权利要求所述的电路, 其中所述输入部分还包括: 第二输入晶体管 ( $T_{in2}$ ), 其将比该级前两级的那一级的输出提供给所述第一输入晶体管 ( $T_{in1}$ ) 的栅极; 以及

衰减晶体管 ( $T_{decay}$ ), 其与所述第二自举电容器并联连接, 用于衰减所述第二自举电容器上的电压直到到达所述衰减晶体管的阈值电压为止。

8、如权利要求 7 所述的电路, 其中所述衰减晶体管 ( $T_{decay}$ ) 的尺寸基本上与所述第一输入晶体管 ( $T_{in1}$ ) 相同。

9、如权利要求 1 至 5 中的任何一项所述的电路, 其中所述输入部分 (10) 还包括第二输入晶体管 ( $T_{in2}$ ), 其将比该级前两级的那一级的输出提供给所述第一输入晶体管 ( $T_{in1}$ ) 的栅极。

10、如权利要求 9 所述的电路, 其中所述第一输入晶体管 ( $T_{in1}$ ) 连接在输入线 ( $L_{n-1}$ ) 与所述驱动晶体管 ( $T_{drive}$ ) 的栅极之间, 并且其中在前级的输出为高时所述输入线 ( $L_{n-1}$ ) 为高, 并且其至少紧接在前级的输出具有从高到低的转变之后为高。

11、如权利要求 10 所述的电路，其中所述输入线在该电路操作期间一直为高。

12、如权利要求 10 或 11 所述的电路，其中所述输入部分还包括输入部分复位晶体管 ( $T_{r2}$ )，其连接在所述第一输入晶体管 ( $T_{in1}$ ) 的栅极与低电源线 ( $V_{off}$ ) 之间。

13、如任何前述权利要求所述的电路，其中所述输入部分还包括反馈复位晶体管 ( $T_{r(n)}$ )，其栅极连接到该级的输出，用于对所述第二自举电容器 ( $C_3$ ) 进行放电。

14、如任何前述权利要求所述的电路，其中提供起始电路 (11)，其接收作为输入的起始信号 (起始/复位)，并提供所述起始信号的延迟版本作为输出，并且其中所述第一移位寄存器级 (12) 接收作为前级的输出的所述起始电路 (11) 的输出，并接收作为比该级前两级或更多级的那一级的输出的所述起始信号 (起始/复位)。

15、如权利要求 14 所述的电路，其中通过移位寄存器级之间的时间延迟来延迟所述起始电路 (11) 的输出。

16、如权利要求 14 或 15 所述的电路，其中将所述起始电路的输出用作所述移位寄存器电路的第一输出。

17、如任何前述权利要求所述的电路，利用非晶硅工艺来实现。

18、一种有源矩阵显示装置，包括：  
由有源矩阵显示像素构成的阵列；

行驱动电路，包括如任何前述权利要求所述的移位寄存器电路。

19、如权利要求 18 所述的有源矩阵显示装置，包括有源矩阵液晶显示装置。

20、一种产生多级移位寄存器电路输出的方法，对于该移位寄存器电路的每一级，包括：

利用比该级前两级或更多级的那一级的输出 ( $R_{n-2}$ ) 对输入晶体管 ( $T_{in1}$ ) 的栅极进行充电，并将栅-源电压存储在第二自举电容器 ( $C_3$ ) 上；

利用比该级前一级或更多级的那一级的输出通过所述输入晶体管 ( $T_{in1}$ ) 对驱动晶体管 ( $T_{drive}$ ) 的栅极进行充电，并对存储所述驱动晶体管的栅-源电压的第一自举电容器 ( $C_2$ ) 进行充电；以及

将第一时钟控制电源线电压 ( $P_n$ ) 通过所述驱动晶体管耦合到该级的输出。

21、如权利要求 17 所述的方法，还包括在将栅-源电压存储在所述第二自举电容器 ( $C_3$ ) 上之后，对所述第二自举电容器 ( $C_3$ ) 进行放电直到将阈值电压存储在所述第二自举电容器上为止。

22、如权利要求 20 或 21 所述的方法，还包括将第二时钟控制电源线电压 ( $invP_n$ ) 通过补偿电容器 ( $C_1$ ) 耦合到所述驱动晶体管的栅极，所述第一和第二时钟控制电源线电压为互补时钟控制。

23、如权利要求 20、21 或 22 所述的方法，还包括利用下一级的输出 ( $R_{n+1}$ ) 来复位所述第一自举电容器 ( $C_2$ )。

---

24、如权利要求 20 至 23 中的任何一项所述的方法，还包括利用该级的输出 ( $R_n$ ) 来复位所述第二自举电容器 ( $C_3$ )。

25、如权利要求 20 至 24 中的任何一项所述的方法，其中利用比该级前两级的那一级的输出 ( $R_{n-2}$ ) 对所述输入晶体管 ( $T_{in1}$ ) 的栅极进行充电，并利用该级的前一级的输出对所述驱动晶体管 ( $T_{drive}$ ) 的栅极进行充电。

## 移位寄存器电路

本发明涉及移位寄存器电路，特别用于向有源矩阵显示装置的显示像素提供行电压。

有源矩阵显示装置包括设置成行或列的像素阵列，并且每一像素包括至少一个薄膜驱动晶体管和显示元件，例如液晶单元。每一行的像素共享一行导体，其连接到该行中的像素的薄膜晶体管的栅极。每一列的像素共享一列导体，向其提供像素驱动信号。行导体上的信号决定晶体管是导通还是截止，并且当（通过行导体上的高压脉冲）使晶体管导通时，允许来自列导体的信号传送到液晶材料的区域，由此改变材料的光传输特性。

有源矩阵显示装置的帧（场）周期需要在短的时间周期内对一行像素进行寻址，并且这又对晶体管的电流驱动能力提出了要求以便将液晶材料充电或放电到所期望的电压电平。为了满足这些电流要求，提供给薄膜晶体管的栅极电压需要以显著的电压摆动来波动。在非晶硅驱动晶体管的情况下，该电压摆动大约为 30 伏。

对于行导体中的大电压摆动的要求需要使用高压部件实施行驱动电路。

已经对将行驱动电路集成到与显示像素阵列的基板相同的基板上有非常大的兴趣。一种可能性是使用多晶硅用于像素晶体管，因为该技术更容易适用于行驱动电路的高压电路元件。于是失去了利用非晶硅技术制造显示阵列的成本优势。

因此对提供能够利用非晶硅技术实现的驱动电路感兴趣。非晶硅晶体管的低迁移率以及应力引起的阈值电压变化对利用非晶硅技术

实现驱动电路造成严重的困难。

通常，将行驱动电路实施为移位寄存器电路，其用于依次输出每一行导体上的行电压脉冲。

基本上，移位寄存器电路的每一级包括连接在时钟控制高电源线与行导体之间的输出晶体管，并且使驱动晶体管导通以将行导体耦合到时钟控制高电源线从而产生行寻址脉冲。为了确保行导体上的电压达到电源线电压（即使串联连接的驱动晶体管），已知使用输出晶体管的杂散电容来利用自举效应。这在 US 6 052 426 中进行了讨论。

以这种方式使用驱动晶体管的杂散电容所带来的问题是存在其它的杂散影响，并且这些也在 US 6 052 426 中进行了讨论。对此的一个解决方案是通过引入第一附加电容器来消除杂散电容的影响，并且引入专用于自举操作的第二附加电容器。

在 US 6 052 426 和 US 6 064 713 中公开了以这种方式利用附加自举电容器的移位寄存器电路。在这些电路中，通过输入晶体管由前一行的行脉冲对输出晶体管的栅极进行充电。结果，可以施加到输出晶体管的栅极电压取决于输入晶体管的阈值电压。特别地当使用非晶硅技术实现移位寄存器电路时，这会成为电路性能中的限制因素。这在低温下尤其是一个问题，因为 TFT 迁移率此时处于其最低值，而阈值电压处于其最高值。

根据本发明，提供一种包括多级的移位寄存器电路，每一级包括：  
连接到前级的输出的第一输入；

用于将第一时钟控制电源线电压耦合到该级的输出的驱动晶体管；

用于补偿驱动晶体管的寄生电容的影响的补偿电容器；

连接在驱动晶体管的栅极与该级的输出之间的第一自举电容器；

以及

用于对第一自举电容器进行充电并由第一输入控制的输入晶体管，

其中每一级还包括耦合到比该级前两级或更多级的那一级的输出的输入部分，并且其中所述输入部分包括连接在输入晶体管的栅极与第一输入之间的第二自举电容器。

该电路设置使用两个自举电容器。一个是用于确保能够将全电源线电压耦合到输出，而另一个是用于确保在栅极充电步骤期间将来自前一级的全行电压通过输入晶体管耦合到驱动晶体管。该电路具有两个预充电操作周期——在对输入晶体管的栅极进行预充电时的第一周期和在对驱动晶体管的栅极进行预充电时的第二周期。这使得电路对阈值电压电平或变化较不敏感，并且能够利用非晶硅技术来实现。

每一级优选地还包括连接到下一级输出的第二输入，连接到复位晶体管的栅极，该复位晶体管连接在驱动晶体管的栅极与低电源线之间。因此该电路具有两个预充电周期，一个输出周期和一个复位周期。

每一级的补偿电容器优选连接在驱动晶体管的栅极与第二时钟控制电源线电压之间，所述第二时钟控制电源线电压与第一电源线电压为互补时钟控制。这用于消除驱动晶体管的寄生电容的影响。

在一个实施例中，输入部分包括用于将晶体管阈值电压存储在第二自举电容器上的电路元件。

例如，输入部分还可以包括：

第二输入晶体管，其将比该级前两级或更多级的那一级的输出提供给第一输入晶体管的栅极；以及

衰减晶体管，其与第二自举电容器并联连接用于衰减第二自举电容器上的电压直到到达衰减晶体管的阈值电压为止。

优选地，衰减晶体管的栅极连接到第一输入晶体管的栅极，以便它们受到相同的电压应力，并且衰减晶体管还可以具有与第一输入晶体管相同的尺寸。因此将衰减晶体管用作输入晶体管的模型，并且使

用衰减晶体管的阈值电压代表输入晶体管的阈值电压。

输入部分还可以包括其栅极连接到该级输出的复位晶体管，用于对第二自举电容器进行放电。

在另一个实施例中，输入部分还包括第二输入晶体管，该第二输入晶体管将比该级前两级或更多级的那一级的输出提供给第一输入晶体管的栅极，并且这可以向第二自举电容器提供更高的电压。

然后可以将第一输入晶体管连接在输入线与驱动晶体管的栅极之间，并且当前级的输出为高时输入线为高，且该输入线至少紧接在前级的输出具有从高到底的转变之后为高。

输入部分还可以包括连接在第一输入晶体管的栅极与低电源线之间的输入部分复位晶体管。

本发明的移位寄存器电路特别适合在有源矩阵显示装置（例如有源矩阵液晶显示装置）的行驱动电路中使用。

本发明还提供一种产生多级移位寄存器电路输出的方法，对于该移位寄存器电路的每一级，包括：

利用比该级前两级或更多级的那一级的输出对输入晶体管的栅极进行充电，并将栅-源电压存储在第二自举电容器上；

利用比该级前一级或更多级的那一级的输出通过输入晶体管对驱动晶体管的栅极进行充电，并对存储驱动晶体管的栅-源电压的第一自举电容器进行充电；以及

将第一时钟控制电源线电压通过驱动晶体管耦合到该级的输出。

这里提供上述两级预充电操作。

此外，能够利用下一级的输出复位第一自举电容器且能够利用该级的输出复位第二自举电容器。

现在将参考附图详细说明本发明的实例，在附图中：

图 1 示出公知的移位寄存器电路；

图 2 示出本发明的移位寄存器电路的第一个实例；

图 3 示出图 2 的电路的变化；

图 4 示出图 2 的电路的操作时序；

图 5 示出本发明的移位寄存器电路的第二个实例；

图 6 示出图 5 的电路的变化；

图 7 示出图 5 的电路的操作时序；

图 8 示出对移位寄存器电路的修改以简化操作该电路所需要的外部定时信号；

图 9 示出用于有源矩阵液晶显示器的公知像素结构的一个实例；  
以及

图 10 示出一种包括行和列驱动电路的显示器，其中可以使用本发明的电路。

图 1 示出适用于非晶硅有源矩阵液晶显示器（AMLCD）的公知的高阻抗栅极驱动电路。所示出的电路为多级移位寄存器中的的单个级，每一级用于向一行像素提供行电压脉冲。在 US 6 052 426 中描述了类似的电路。

该电路包括耦合在时钟控制电源线  $P_n$  与由该级控制的行导体  $R_n$  之间的输出驱动晶体管  $T_{drive}$ 。时钟控制电源线（以及反相信号  $invP_n$ ）是两相信号，并且时钟控制电源线的周期决定移位寄存器级的顺序操作的时序。

使用前一行  $R_{n-1}$  上的行脉冲通过接成二极管形式的输入晶体管  $T_{in}$  对输出晶体管的栅极进行充电。

第一电容器  $C_1$  连接在输出晶体管的栅极与控制线之间，该控制线将补码信号传送到时钟控制电源线，并且电容器  $C_1$  的目的是补偿输出晶体管的内部寄生电容的影响。

将附加的自举电容器  $C_2$  设置在输出晶体管的栅极与行导体（即，

该级的输出) 之间。

通过下一行  $R_{n+1}$  上的行脉冲控制该级, 该脉冲用于通过下拉输出晶体管的栅极电压来使该级截止。通过与下一个行导体信号相关的输入晶体管  $T_{r(n+1)}$  向输出晶体管的栅极提供下一行  $R_{n+1}$  上的行脉冲。

该电路还具有在最初为电路上电时使用的两个复位晶体管  $T_{r-n}$  和  $T_{r-r}$ 。

在操作中, 在前一行脉冲期间输入晶体管  $T_{in}$  对输出晶体管的栅极进行充电。在该前一行脉冲期间, 电源线  $P_n$  为低而反相电源线  $invP_n$  为高。通过该前一行脉冲使输出晶体管导通, 但是由于电源线  $P_n$  为低, 所以该级的输出保持为低。

在该充电阶段期间, 将自举电容器  $C_2$  充电到行电压脉冲 (小于输入晶体管  $T_{in}$  的阈值电压)。

在下一个时钟周期期间, 时钟信号  $P_n$  为高, 并且该电压增加通过输出晶体管上拉行导体  $R_n$  上的输出电压。自举电容器  $C_2$  的作用是增大栅极电压以确保将时钟控制信号  $P_n$  的全电压电平传给行导体  $R_n$ 。晶体管  $T_{r(n+1)}$  随后在下一行脉冲期间使输出晶体管栅极电压节点复位。

在空闲状态下, 将反相电源线  $invP_n$  通过第一附加电容器  $C_1$  的耦合设计成防止输出晶体管的栅极在输出晶体管  $T_{drive}$  接收来自  $P_n$  的脉冲时导通。

如上所述的电路的操作是本领域技术人员所公知的。

如上所述, 图 1 的电路的操作的一个局限性是前一行脉冲的时序期间对输出晶体管的栅极的充电取决于输入晶体管  $T_{in}$  的阈值电压。对于非晶硅晶体管而言, 该阈值电压是重要的, 并且此外会随着温度和时间而显著变化。

本发明提供附加的输入部分, 其耦合到比该级靠前两级的那一级的输出。该输入部分包括连接在输入晶体管的栅极与第一输入之间的

第二自举电容器,并用于消除在驱动晶体管的栅极充电时输入晶体管的阈值电压的影响。

图2示出本发明的移位寄存器电路的一个级。

该电路包括用于将TFT阈值电压采样到第二自举电容器 $C_3$ 上的预充电电路10。然后这用于自举输入TFT $T_{in}$ ,导致将驱动晶体管的栅极可靠充电为栅极电压,而与输入晶体管的阈值电压无关。行电路然后复位 $C_3$ 上的电荷,以便输入TFT $T_{in}$ 不偏移。图2的电路的其它部分与图1中的相同,并且将不再重复对这些部件的说明。

预充电电路10具有连接到比所示出的级靠前两级的那一级的输出 $R_{n-2}$ 的输入。将该输出 $R_{n-2}$ 通过第二输入晶体管 $T_{in2}$ 耦合到第一输入晶体管 $T_{in1}$ 的栅极。

第二自举电容器 $C_3$ 连接在第一输入晶体管 $T_{in1}$ 的栅极与前一级 $R_{n-1}$ 的输出之间。

衰减晶体管 $T_{decay}$ 与第二自举电容器 $C_3$ 并联连接并且接成二极管形式。衰减晶体管的栅极连接到第一输入晶体管 $T_{in1}$ 的栅极以便它们经受相同的电压应力。衰减晶体管优选还具有与第一输入晶体管 $T_{in1}$ 基本相同的尺寸。

预充电部分10具有复位晶体管 $T_{r(n)}$ ,该复位晶体管 $T_{r(n)}$ 的栅极连接到级 $R_n$ 的输出,用于对第二自举电容器 $C_3$ 进行放电。

在操作中,比当前行靠后两行的行 $R_{n-2}$ 的行脉冲用于经由第二输入晶体管 $T_{in2}$ 对第一输入晶体管 $T_{in1}$ 的栅极和第二自举电容器 $C_3$ 进行充电。该充电受通过衰减晶体管 $T_{decay}$ 的充电的衰减的限制。

当行 $n-2$ 变为低时,衰减晶体管 $T_{decay}$ 使第二自举电容器 $C_3$ 两端的电压大约衰减到TFT阈值电压。衰减晶体管 $T_{decay}$ 和第一输入晶体管 $T_{in1}$ 总是经受相同的栅极偏置,因此甚至在发生任何阈值电压偏移的情况下,它们仍会展现出相同的阈值电压。

当行 $n-1$ 变为高时,通过第二自举电容器 $C_3$ 自举第一输入晶体

管  $T_{in1}$  的栅极，导致对驱动晶体管  $T_{drive}$  的可靠充电。

当行  $n-1$  变为低时，不会通过  $T_{in1}$  除去电荷因为其在阈值附近。相反，当行  $n$  一变为高时，放电晶体管  $T_{r(n)}$  就对第二自举电容器  $C_3$  两端的电压进行放电，使第一输入晶体管  $T_{in1}$  完全截止。

电路操作然后如图 1 中的公知电路那样进行。

可以将复位晶体管  $T_{r(n)}$  设置成其下侧连接到低压线  $V_{off}$ （如图所示），或者可以将其连接到前一行  $n-1$ 。

图 2 的电路得益于少量的控制线。一个缺点是从其它级的行输出中抽取对电路中的电容进行充电所需的电流，并且这限制性能。

图 3 示出对图 2 的电路的修改，其中输入晶体管  $T_{in1}$  和  $T_{in2}$  都将 dc 电压 “ $V_{high}$ ” 耦合到相应的电容器。在输入部分 10 中示出附加的复位晶体管。利用底部栅极晶体管技术更容易实现高 dc 电压的耦合。由于从 dc 电源中抽取充电电流，所以该设计减小了前一行上的负载。这提供了改善的电路性能。

图 3 的电路的另一个优点是，可以控制该电路以提供操作的空闲模式。在空闲状态下，电路对行呈现出高阻抗，从而可以通过连接到行导体另一端的不同的行驱动电路来控制行脉冲。公知的是，在显示器的相对侧上设置两个行驱动电路，例如提供两种不同的操作模式（不同的电源、或在不同的方向上驱动以便不管怎样都允许使用该显示器），并且在这种情况下需要空闲模式。

可以通过将  $V_{high}$  改为  $V_{off}$  并施加 Pn 和反相脉冲来将空闲模式应用于图 3 的电路。

图 4 用于示意性地说明图 2 的电路的操作的时序原理，并且相同的普通原理适用于图 3。该图示出时钟控制电源线、第一输入晶体管  $T_{in1}$  的栅极电压、驱动晶体管  $T_{drive}$  的栅极电压和输出  $R_n$ 。

在两级之后的那一级的时序  $n-2$  期间，对第二自举电容器  $C_3$  进行预充电。在该相的末端，存在电压下降直到该电容器存储阈值电压

为止。在向输入晶体管施加输出脉冲  $n-1$  期间第二自举电容器上的电压的这一衰减持续，并且到用于行  $n-1$  的输出脉冲结束时，第二自举电容器两端的电压将衰减到阈值电压，从而阈值补偿对于输入晶体管有效，并且全行电压用于对第一自举电容器进行充电。

在级  $n-1$  期间，将级  $n-1$  的输出电容性地加到第二自举电容器上的电压以得到驱动第一输入晶体管  $T_{in1}$  的栅极电压。

在级  $n-1$  期间，还对第一自举电容器  $C_2$  进行充电，如从用于驱动晶体管栅极的曲线中可以看出。

在级  $n$  期间，将时钟控制电源线电压  $P_n$  加到第一自举电容器  $C_2$  上的电压以得到驱动晶体管  $T_{drive}$  的栅极电压。

周期  $n$  的开始用于通过由  $R_n$  控制的复位晶体管  $T_{r(n)}$  对第二自举电容器  $C_3$  进行放电。

本发明的电路特别适用于有源矩阵液晶显示器的行驱动电路。

图 2 所示的电路使用额外的输入级来修正输入 TFT ( $T_{in}$ ) 的阈值电压。

图 4 的时序图使用两相时钟控制。实际上，图 3 的电路的实施使用三相时钟控制。换句话说， $P_{n-2}$  和  $P_n$  的值不再相同。在图 7 中示出三相时钟控制的实例，下面对其进行说明。图 3 中的 dc 电压的使用需要三相控制信号来防止  $C_3$  和  $C_2$  在  $R_{n-2}$  行脉冲期间充电。

一个可选方案是调整输入级以便不限于使  $T_{in}$  的有效栅极驱动电压升高其阈值电压，而是可以使驱动电压升高更大的量。这还改善了电路电容节点的充电，并因此改善操作。

图 5 示出根据本发明第二实施例的移位寄存器电路的一个级。

除了输入部分 10 之外，该电路与图 2 的电路相同，并且不再对重复的电路部件进行说明。

此外，输入部分 10 具有第二输入晶体管  $T_{in2}$ ，其将具有基于比该级靠前两级的那一级的输出的时序的信号提供给第一输入晶体管  $T_{in1}$

的栅极。在图 4 的电路中。两级之前的输出  $R_{n-2}$  控制该时序，但是将不同的电压波形施加到第二输入晶体管  $T_{in2}$  的漏极，并且这被示为  $L_{n-2}$ 。这将被称为第二输入线。

相似地，第一输入晶体管  $T_{in1}$  连接在第一输入线  $L_{n-1}$  与驱动晶体管  $T_{drive}$  的栅极之间。当前一级的输出为高时输入线  $L_{n-1}$  为高，从而该操作与图 2 相似。然而，为了下述原因，紧接在前一级的输出从高转变到低之后输入  $L_{n-1}$  也为高。

第一和第二输入线可以为时钟控制信号，但它们可以是彼此互为延迟的信号，从而对于输入时钟  $P_n$  的每一个相位仅存在一个有效的附加时钟控制信号。或者，可以使用 dc 电压。

如在图 2 的电路中那样，第二自举电容器  $C_3$  连接在前一级的输出  $R_{n-1}$  与第一输入晶体管  $T_{in1}$  的栅极之间，并且以基于两级之前的那一级的输出的时序对该第二自举电容器进行充电。然而，不存在衰减晶体管，从而第二自举电容器上的电荷不受阈值电压的限制，而可以根据输入  $L_{n-2}$  减去  $T_{in2}$  的阈值电压的电压来对其进行选择。

(任选的) 输入部分复位晶体管  $T_{r2}$  连接在第一输入晶体管  $T_{in1}$  的栅极与低电源线  $V_{off}$  之间，并且这用于驱动器的复位。

第一输入晶体管  $T_{in1}$  的栅极可以通过电容器  $C_4$  连接到与第一输入线  $L_{n-1}$  反相的时钟控制信号，并且这防止  $L_{n-1}$  的上升沿通过  $T_{in1}$  的寄生栅-漏电容耦合并防止其导通。电容器  $C_4$  将反相信号耦合进来，以消除这一影响，并且因此选择  $C_4$  的值使其与  $T_{in1}$  的电容成比例，该比例与  $C_1$  和驱动晶体管之间的比例相同。

在图 5 的实施例中，输入部分反馈复位晶体管  $T_{r(n)}$  连接在第一输入晶体管  $T_{in1}$  的栅极与前一级  $R_{n-1}$  的输出之间，并且此外，其栅极连接到该级的输出，用于对第二自举电容器  $C_3$  进行放电。

在图 5 的电路的操作中，比  $R_{n-2}$  靠后两级的那一级的输出的高脉冲再次通过第二输入晶体管  $T_{in2}$  对第二自举电容器  $C_3$  进行充电。第

二输入线  $L_{n-2}$  在该时间段内为高。没有衰减晶体管来限制充电。因此，取代将  $C_3$  充电至阈值电压，可以将其充电到小于第二输入晶体管的阈值电压的第二输入线的电压。该第二输入线通常传送行电压，但时序不相同，如下所述。

当前一级输出  $R_{n-1}$  变为高且第一输入线  $L_{n-1}$  也为高时，通过第二自举电容器  $C_3$  自举第一输入晶体管  $T_{in1}$  的栅极，导致对驱动晶体管  $T_{drive}$  的栅极的非常可靠的充电。

当输出  $R_{n-1}$  变为低时，由于将  $L_{n-1}$  设置成保持高电平直到使  $C_3$  放电之后，所以没有经由  $T_{in1}$  从第一自举电容器  $C_2$  除去电荷。这就是为什么尽管电压电平可以相同但对于第一输入  $L_{n-1}$  需要与输出  $R_{n-1}$  的时序不同的时序的原因。行  $N$  一变为，反馈复位晶体管  $T_{r(n)}$  就将对  $C_3$  上的电压进行放电，以与图 2 的实施例相同的方式使  $T_{in1}$  完全截止。

电路操作以与上述相同的方式进行。

图 5 的电路所具有的 TFT 的数量与图 2 中的相同，但是需要一些额外的时钟线。然而，第一输入晶体管  $T_{in1}$  的自举要好得多。

如果 TFT 工艺具有充分良好的开关特性，则与行高压等效的 DC 电压可以取代时钟控制信号  $L_n$ 。

在这种情况下，不需要电容器  $C_4$  和反相时钟  $L_n$ ，并且甚至进一步改善电路性能。

图 5 的电路具有与上述相同的优点：内部电容节点是从时钟线  $L_n$  而不是从先前行抽取充电电流。这降低了需要由每一输出 TFT 驱动负载。

该电路还具有以下优点：通过施加适当的信号，行驱动器可以保持在空闲状态，而另一行驱动器利用不同的脉冲序列驱动显示器。如上所述，例如，这可以用于提供能够在正向或反向上进行扫描的显示器。

图 6 示出图 5 的电路的修改，其中再次使用 dc 电压以代替定时

信号  $L_n$ ，并且这又是最适合于底部栅极工艺。这减小了时钟计数并避免了需要电容  $C_4$ 。可以以与参考图 3 所述相同的方式使该电路空闲。

图 7 示出用于图 5 的电路的时钟时序图，并示出用于三个连续行的输入线 L 的信号以及用于三个连续行的电源线的信号。

如所示出的那样，输入线 L 上的脉冲的持续时间长于行寻址周期，并且该持续时间例如被示为  $60\ \mu\text{s}$ 。时钟控制电源线脉冲更短，例如被示为  $40\ \mu\text{s}$ 。

该时序图所示的信号具有重复的脉冲，从而仅需要三个不同的电源 P 和输入线 L 波形和它们的反码来对整个阵列进行寻址。

显而易见，移位寄存器电路的每一级需要用于修正操作的两个定时脉冲，一个来自前一行，一个来自两行之后的那一行。因此，对于第一移位寄存器电路级，需要两个外部产生的定时信号来启动移位寄存器电路的修正操作。与图 1 所示的对于第一移位寄存器电路级仅需要一个起始脉冲以复制信号  $R_{n-1}$  的较简单电路相比，这可能是该电路的缺点。

图 8 示出构造移位寄存器电路以便仅需要一个起始脉冲的方法。

移位寄存器具有第一起始电路 11，其需要单个起始信号并且模仿来自前一级的输出。该电路还使用时钟控制电源线信号  $P_n$  和  $\text{inv}P_n$ 。该电路产生输出信号，以便单个起始信号和（由该电路内部产生的）输出信号可以提供下一级的定时所需要的两个在先信号。

可以将该第一级看作“类型 1”移位寄存器电路，其仅依赖于一个在先级。如可以从图 8 中所看到的那样，电路 11 可以包括图 1 所示的公知移位寄存器级。然而，可以将电路 11 简单地设计成提供作为起始/复位脉冲的适当延迟版本的输出，并且因此可以包括较简单的电路以执行延迟功能。

起始/复位信号为外部定时信号，并且因此其可以具有干净的波形。由于脉冲通过该移位寄存器级传播，因此脉冲质量退化。然而，

由于类型 1 电路处于移位寄存器链的顶部，所以可以将其用作用于第一行的移位寄存器级。因此，电路 11 可以包括用于驱动第一行像素的第一移位寄存器级，否则可以将其简单地设置成将单个起始脉冲转化为两个定时脉冲，然后将这两个定时脉冲用于移位寄存器电路的第一级。这实质上包括如上所述的延迟功能，延迟对应于顺序移位寄存器级的输出之间的时间。

图 8 的实例使用电路 11 来简单地用于定时，并且将下一级示为驱动“行 0”。

如所示出的那样，可以将后面的级看作“类型 2”电路，并且这些为根据本发明的电路，包括任何变化和可选方案。因此每一移位寄存器级 12、14 包括如参考图 2 至 7 所述的电路。

用于第一行的级 12 接收作为  $R_{n-2}$  输入的起始/复位脉冲和作为  $R_{n-1}$  输入的电路 11 的输出。电路 12 还将其输出反馈到电路 11 作为用于电路 11 的  $R_{n+1}$  输入。

然后将其余的移位寄存器电路级依次连接起来。

适当地选择移位寄存器级的电路设计，可以利用两相时钟信号和单个起始脉冲来实现整个电路。

上面的电路需要补偿电容器 C1（用于补偿驱动晶体管的寄生电路的影响）的电容和驱动晶体管的漏极电容的良好匹配。将利用最精细的分辨率工艺制造驱动晶体管，以节省空间和功率。这会由于线宽变化而导致寄生电容的变化。因此，很难获得与电容器 C1 的良好匹配，这又会限制电路的工作范围。

通过使反相时钟信号  $invP_n$  的幅度可以针对非反相时钟信号  $P_n$  的幅度进行单独调整来解决该问题。然后在器件制造之后，可以选择反相信号以适合于具有特定工艺变化的驱动晶体管的尺寸。这具有与改变电容器的尺寸相同的电效应，但不需要改变物理电容器设计。这一调整可以在制造之后进行，并且因此可以用于补偿不期望的或不可

预测的工艺变化，例如线宽。

非反相时钟用于形成级的输出，而反相时钟输入用于补偿信号，并且这能够使两个信号被独立处理，而一个信号的变化不会对电路对另一信号的响应产生不利的影晌。

可变的反相时钟幅度还可以用于补偿周围的环境。例如，其可以在高温下增加以扩展电路操作的温度上限，并且其可以在低温下减小以扩展电路操作的温度下限。

图9示出有源矩阵液晶显示器的常规像素结构。将显示器设置成采用行和列方式的像素阵列。每一行像素共享公用行导体21，并且每一列像素共享公用列导体22。每一个像素包括串联设置在列导体22与公用电极28之间的薄膜晶体管24和液晶单元26。通过在导行导体21上提供的信号使晶体管24导通和截止，如上所述。每一像素还包括存储电容器30，该电容器在其一端32连接到下一行电极、前一行电极或单独的电容器电极。该电容器30存储驱动电压，以便在使晶体管24截止之后将信号保持在液晶单元26上。

为了将液晶单元26驱动到所期望的电压以获得所需的灰度电平，与行导体21上的行寻址脉冲同步地，在列导体22上提供适当的信号。该行寻址脉冲使薄膜晶体管24导通，由此允许列导体22将液晶单元26充电到所期望的电压，并且还将存储电容器30充电到相同的电压。在行寻址脉冲的末端，晶体管24截止，并且当开始对其它行进行寻址时存储电容器30保持单元26上的电压。存储电容器30减小液晶泄漏的影响并减小由液晶单元电容的电压依赖性引起的像素电容的百分比变化。

顺序地对行进行寻址以便在一帧周期中对所有行进行寻址并且在随后的帧周期中进行刷新。

如图10所示，通过行驱动电路40提供行寻址信号，并通过列寻址电路42将像素驱动信号提供给显示像素阵列44。本发明的电路适

用于行驱动电路，并且利用非晶硅工艺进行制造。可以将电路元件集成到有源矩阵显示器基板上。

本发明的电路在低温和更宽的工艺容限下导致好得多的操作。这可以用于允许更小的部件用于特定的应用，导致更低的功率和更小的电路设计，尽管包括额外的 TFT（它们都很小）。

在上述实例中，由下一级控制的复位晶体管  $T_{r(n+1)}$  连接在驱动晶体管的栅极与低电源线之间。或者其可以连接在驱动晶体管的栅极与行输出之间，即跨在第一自举电容器  $C_2$  的两端。此外，该复位晶体管可以连接到不同级的输出，例如级  $n+2$ 、 $n+3$  等（高至  $n+$  时钟相位的数量-1）。

从上述两个实例中明显看出，输入部分的复位晶体管  $T_{r(n)}$  可以连接在第一输入晶体管  $T_{in1}$  的栅极与低电源线  $V_{off}$  之间或连接在第一输入晶体管  $T_{in1}$  的栅极与前一行输出  $n-1$  之间，即跨在第二自举电容器  $C_3$  的两端。这两种可能性对于所示的两个实例都是可能的。该复位晶体管的栅极还可以连接到不同级的输出，例如级  $n+1$ 、 $n+2$  等。该电路还能够在根本不存在复位晶体管的情况下工作。

在图 5 的实例中，如在图 2 的实例中那样，第二输入晶体管  $T_{in2}$  可以接成二极管方式，由此除去与  $L_{n-2}$  的连接。因此，图 5 的实施例不需要与第二输入线  $L_{n-2}$  的连接。与  $L_{n-2}$  的连接提供电路保持在空闲状态下的能力，而对显示器进行不同的驱动，如上所述。

上面详述的实例使用来自后两级的输出作为控制信号。然而，可以利用来自更后面的级的输出来实现双预充电效应。例如，不是像在上述实施例中那样使用  $R_{n-1}$  和  $R_{n-2}$ ，而是将电路设计成使用  $R_{n-2}$  和  $R_{n-4}$ 。如果将栅极驱动器划分成奇数和偶数两个部分，各自在阵列的不同侧上，则这将是所期望的。该实例还示出在所示的实施例中由前一级的输出控制的栅极充电实际上还可以由更后面的级控制。

如上所述，本发明特别适用于利用非晶硅晶体管的实施，并且为

此，所示的电路使用 n 型晶体管。然而，本发明还可应用于其它电路工艺，例如有机薄膜晶体管（经常将其实施为 p 型器件）或低温多晶硅（可以将其实施为 PMOS 器件）。在不改变操作原理的情况下可以利用 p 型晶体管实现本发明的电路，并且这会被本领域技术人员所理解。本发明不旨在受限于任何特定的工艺类型。

因此显而易见地，可以对详细描述的具体电路进行大量的修改，并且许多其它的修改对于本领域技术人员来说是显而易见的。

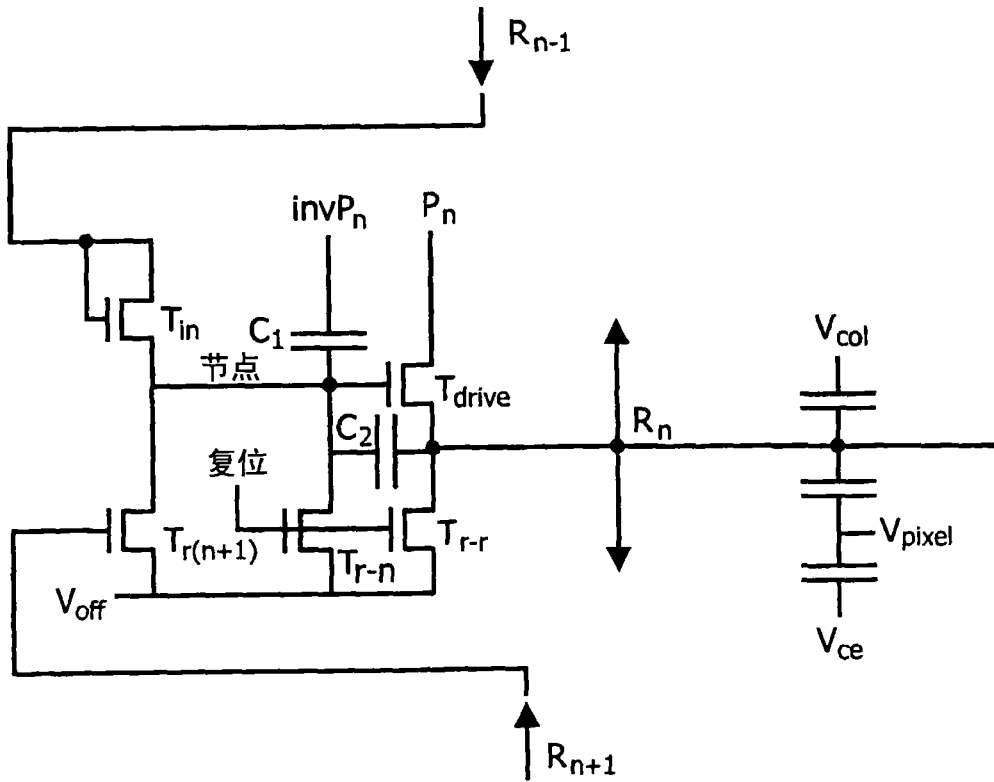


图1

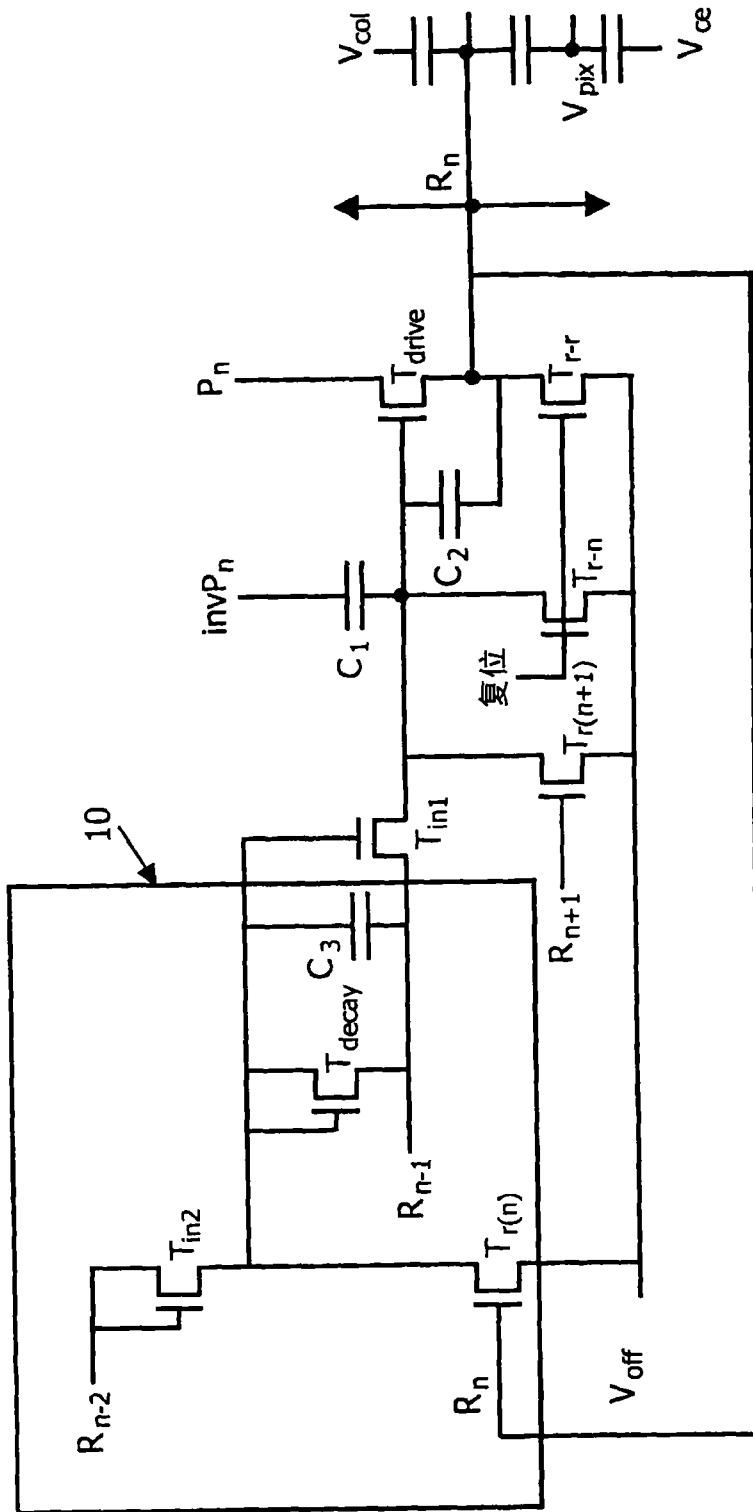


图2

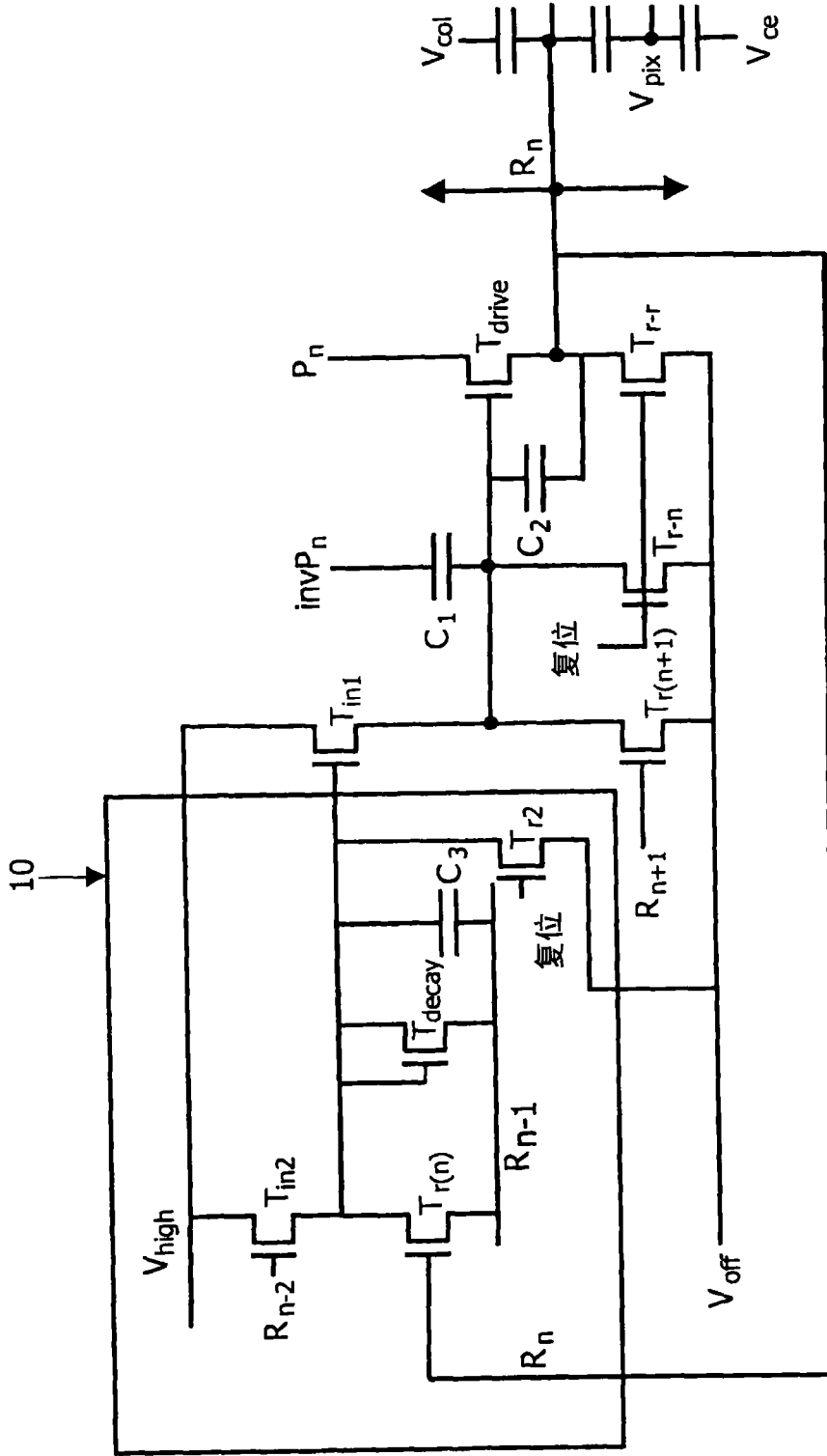


图3

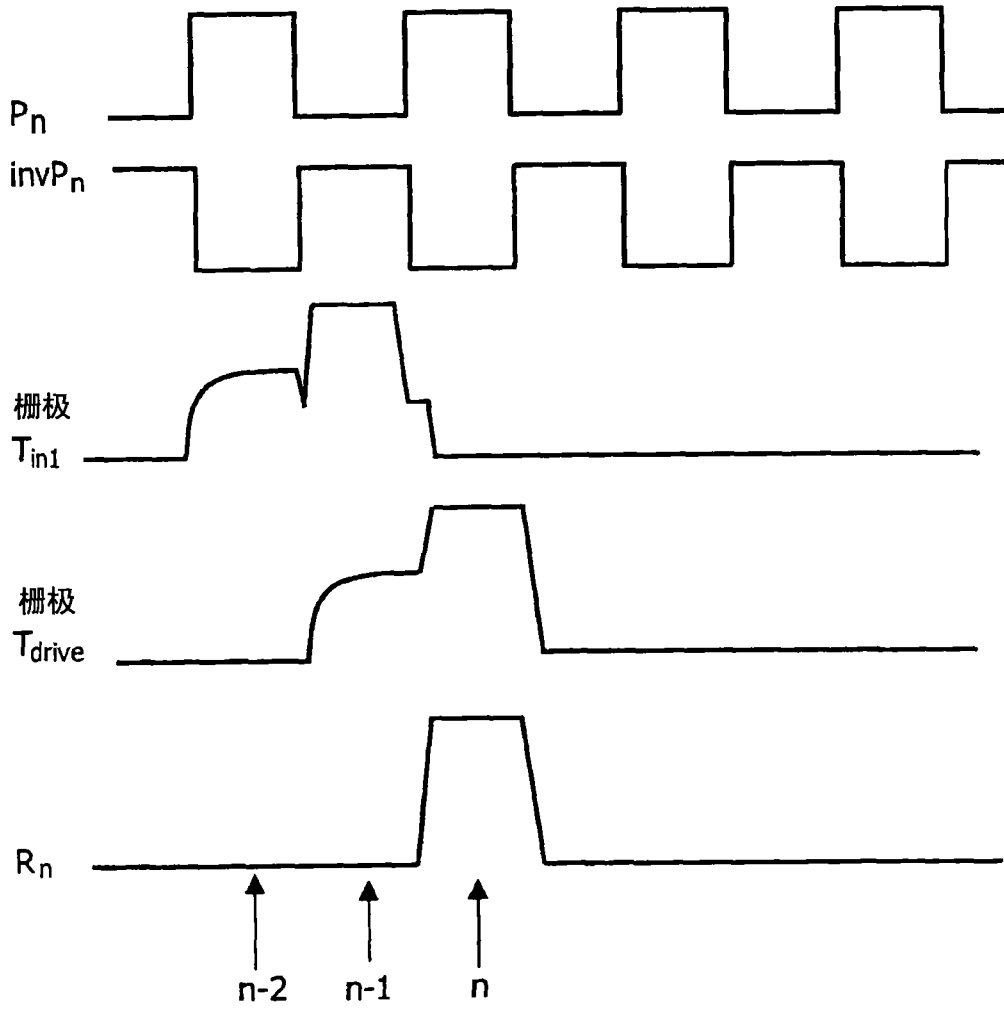


图4

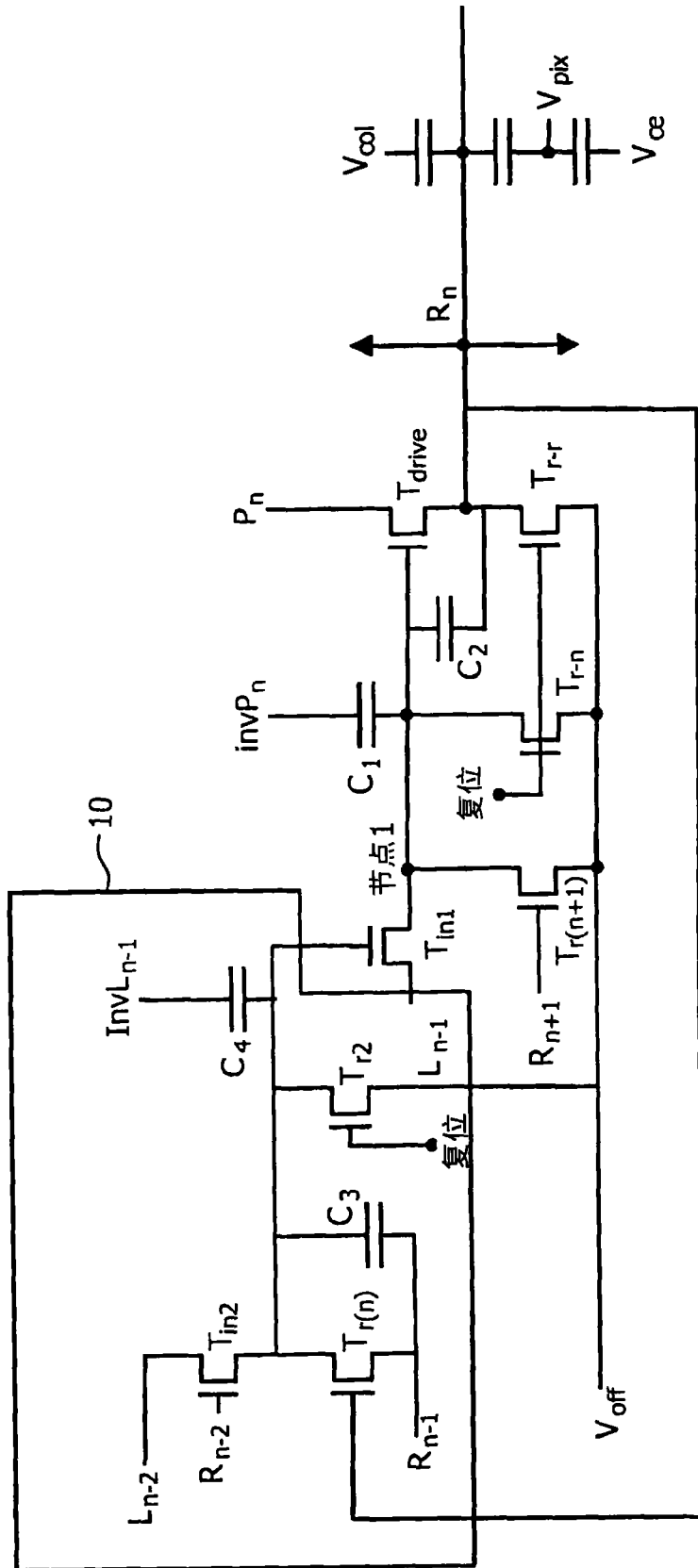


图5

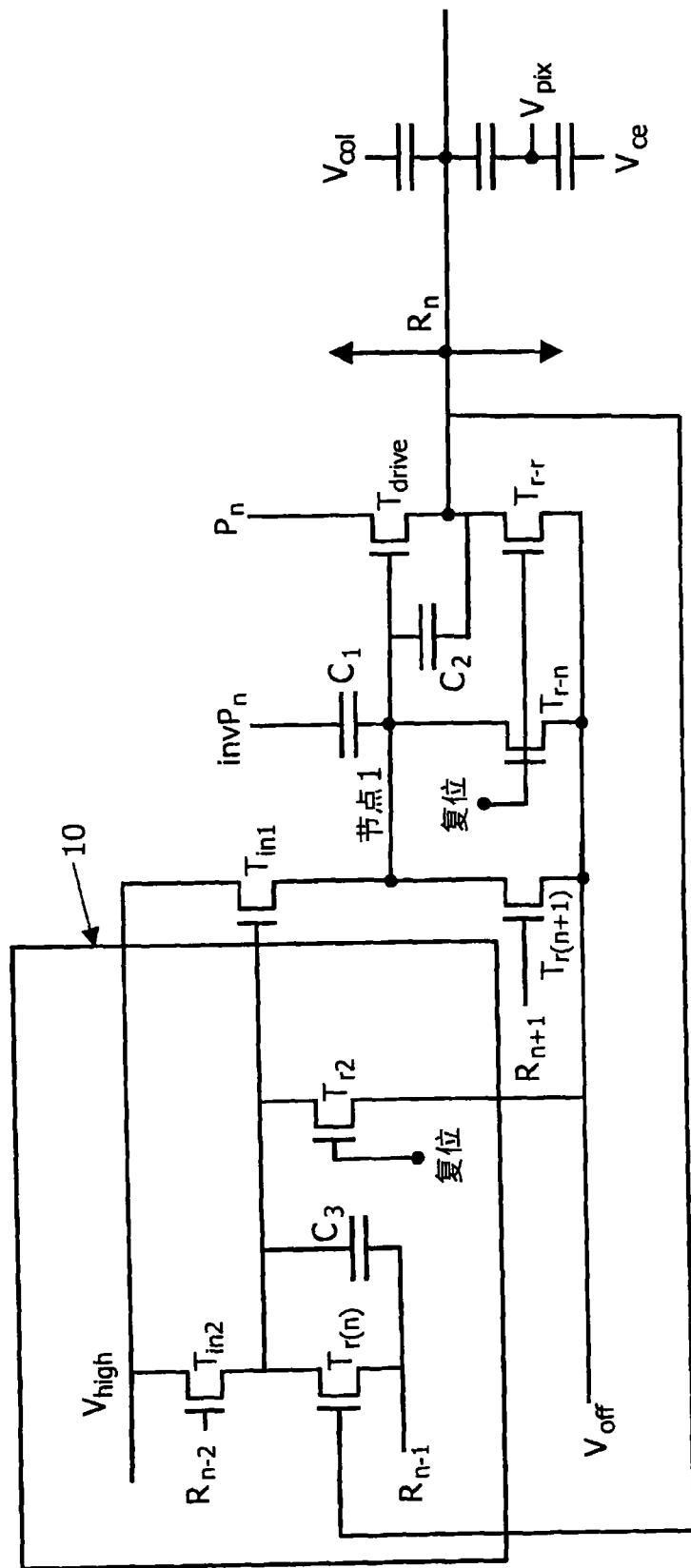


图6

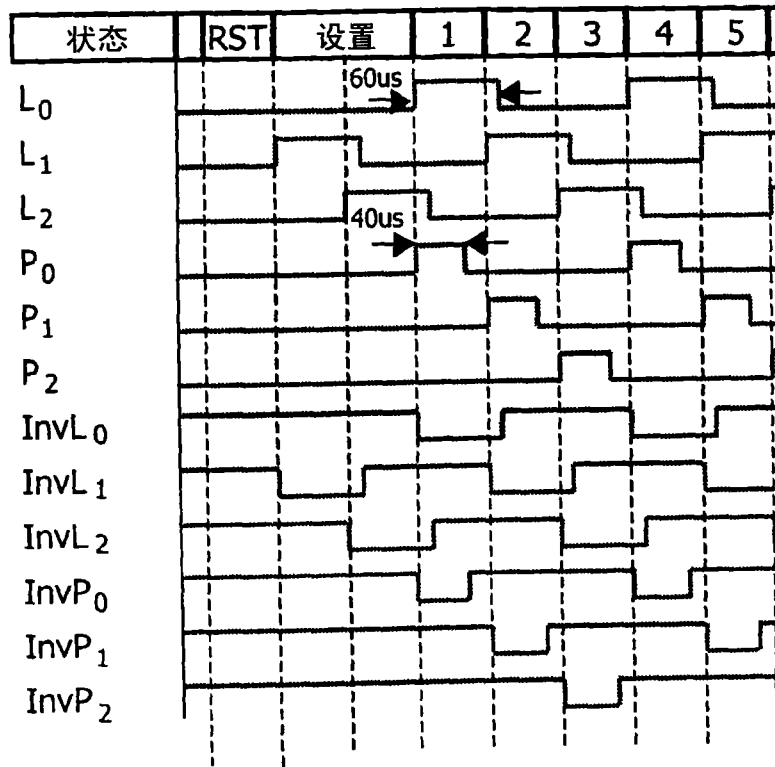


图7

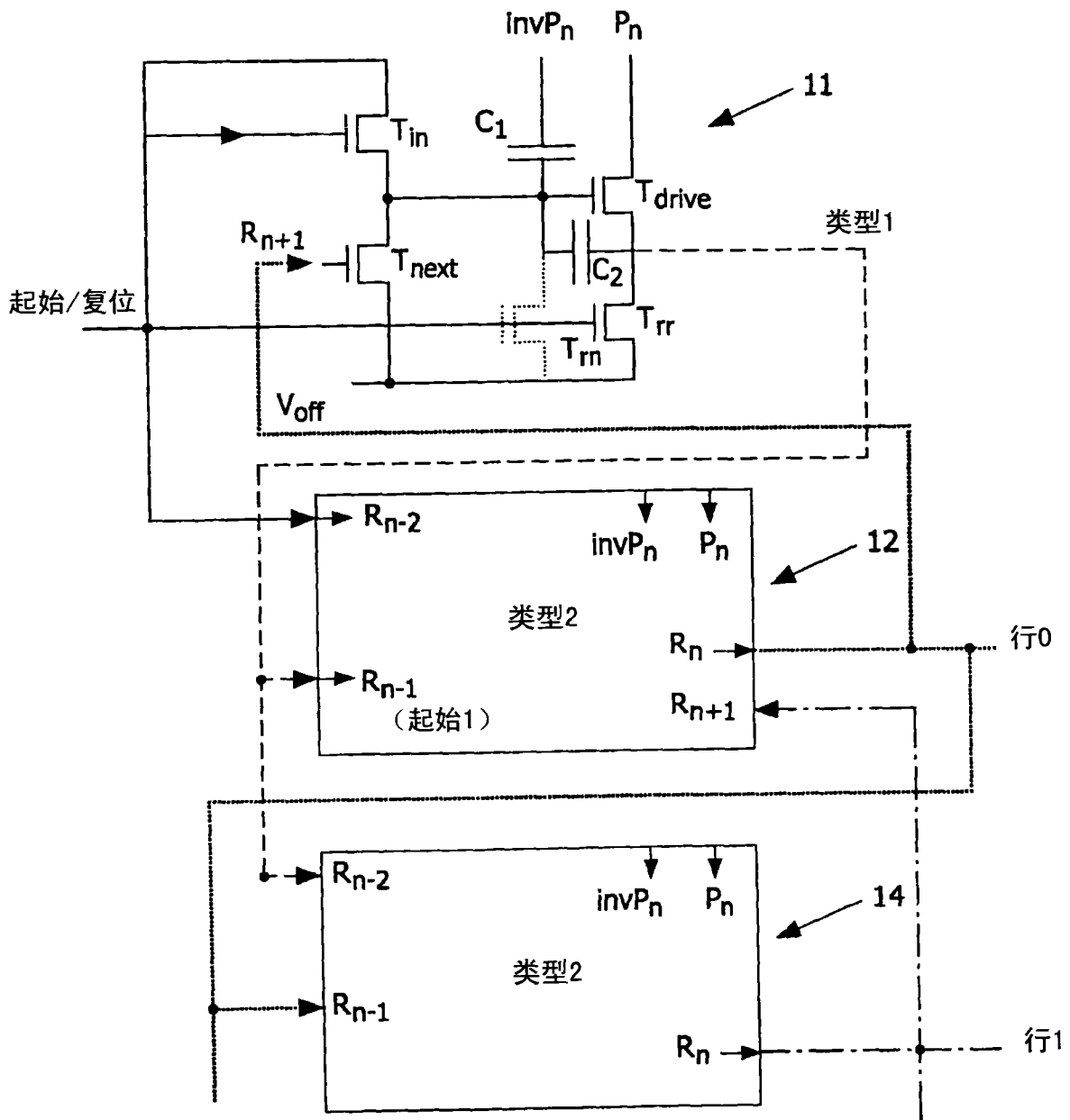


图8

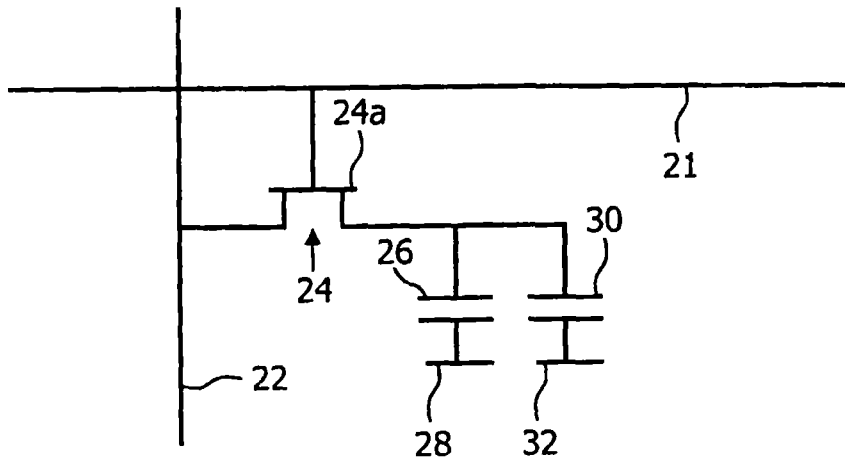


图9

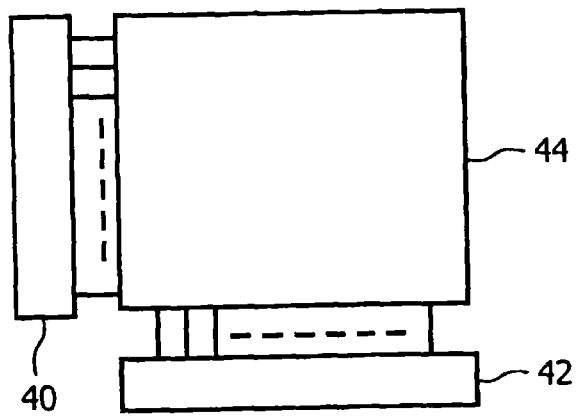


图10