

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 8 月 11 日 (11.08.2022)



(10) 国际公布号
WO 2022/166117 A1

(51) 国际专利分类号:
H01L 23/528 (2006.01) H01L 21/768 (2006.01)

(21) 国际申请号: PCT/CN2021/106429

(22) 国际申请日: 2021 年 7 月 15 日 (15.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110149536.X 2021年2月3日 (03.02.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 朱德龙 (ZHU, Delong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** INTERCONNECTION STRUCTURE AND PREPARATION METHOD THEREFOR, AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 互连结构及其制备方法、半导体结构

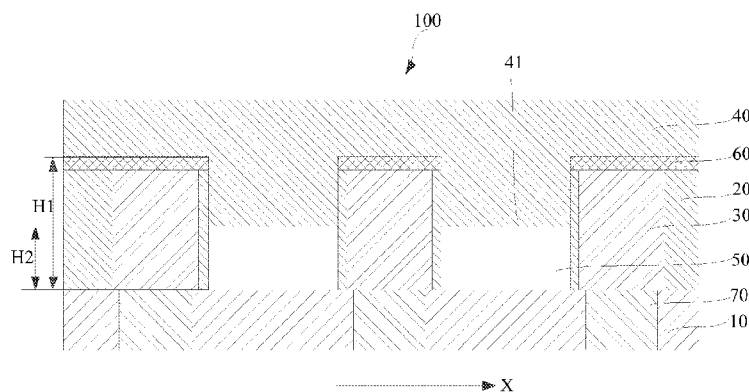


图 2

(57) **Abstract:** Provided in the present application are an interconnection structure and a preparation method therefor, and a semiconductor structure, which relate to the technical field of semiconductors. The interconnection structure comprises a substrate, and a dielectric layer and an insulating layer that are arranged on the substrate, wherein a plurality of metal wires are arranged in the dielectric layer at intervals; a groove is provided in the dielectric layer between adjacent metal wires, and the surface of the substrate is exposed at the bottom of the groove; and the insulating layer is provided with an extension portion extending into the groove, and there is a gap between the extending portion and the substrate. In the present application, there is a gap between the insulating layer, which is located between adjacent metal wires, and the substrate, that is, there is an air gap between adjacent metal wires, such that the capacitance value of parasitic capacitance between adjacent metal wires can be decreased by using a case of the dielectric constant of the air being less than the dielectric constant of the insulating layer, thereby reducing the signal delay of an interconnection structure, and thus improving the performance of a semiconductor structure.



NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请提供一种互连结构及其制备方法、半导体结构，涉及半导体技术领域，该互连结构包括基底、设置在基底上的介质层以及绝缘层，所述介质层内间隔设置有多条金属线；相邻的所述金属线之间的所述介质层内设置有凹槽，所述凹槽的槽底暴露所述基底的表面；所述绝缘层具有延伸至所述凹槽内的延伸部，所述延伸部与所述基底之间具有间隙。本申请通过使位于相邻的金属线之间的绝缘层与基底之间具有间隙，即，位于相邻的金属线之间具有空气隙，这样可以利用空气的介电常数小于绝缘层的介电常数，降低相邻的金属线之间的寄生电容的电容值，以减小互连结构的信号延迟，进而提高半导体结构的性能。

互连结构及其制备方法、半导体结构

本申请要求于 2021 年 02 月 03 日提交中国专利局、申请号为
5 202110149536.X、申请名称为“互连结构及其制备方法、半导体结构”的
中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，尤其涉及一种互连结构及其制备方法、
10 半导体结构。

背景技术

在半导体结构制作过程中，互连结构是半导体结构中不可或缺的结构，
例如，动态随机存储器((Dynamic Random Access Memory, 简称 DRAM))，
15 所形成的动态随机存储器通常包括核心存储区和外围电路区，其中，核心
存储区用于设置多个存储单元，用于对数据信息进行存储，核心存储区和
外围电路区通常包括互连结构，互连结构用于与存储单元电连接，以使得
存储单元完成对数据信息的存储或者读取。

相关技术中，互连结构通常包括至少一个互连层，互连层包括多个间
20 隔设置的金属线以及用于隔离各个金属线的介质层，随着半导体结构向小
型化、集成化的方向发展，使得位于同一个互连层中的相邻金属线之间的
间距也随之减小，相邻的金属线之间可以形成寄生电容，该寄生电容的存
在会导致信号延迟，降低半导体结构的性能。

25 发明内容

本申请实施例的第一方面提供一种互连结构，其包括：
基底。

介质层，所述介质层设置在所述基底上，所述介质层内间隔设置有多
条金属线；相邻的所述金属线之间的所述介质层内设置有凹槽，所述凹槽

的槽底暴露出所述基底的面。

绝缘层，所述绝缘层设置在所述介质层上，所述绝缘层具有延伸至所述凹槽内的延伸部，所述延伸部与所述基底之间具有间隙。

5 本申请实施例的第二方面提供一种互连结构的制备方法，包括如下步骤：

提供基底。

在所述基底上形成介质层，所述介质层内设置有间隔设置的多条金属线。

10 图形化所述介质层，在所述介质层内形成多个凹槽，所述凹槽位于相邻的所述金属线之间，且所述凹槽的槽底暴露出所述基底的面。

在所述介质层上形成绝缘层，所述绝缘层具有延伸至所述凹槽内的延伸部，所述延伸部与所述基底之间具有间隙。

本申请实施例的第三方面提供一种半导体结构，包括如上所述的互连结构。

15 本申请实施例所提供的互连结构及其制备方法、半导体结构中，通过使位于相邻的金属线之间的绝缘层与基底之间具有间隙，即，位于相邻的金属线之间具有空气隙，这样可以利用空气的介电常数小于绝缘层的介电常数，降低相邻的金属线之间的寄生电容的电容值，以减小互连结构的信号延迟，进而提高半导体结构的性能。

20 除了上面所描述的本申请实施例解决的技术问题、构成技术方案的技术特征以及由这些技术方案的技术特征所带来的有益效果外，本申请实施例提供的互连结构及其制备方法、半导体结构所能解决的其他技术问题、技术方案中包含的其他技术特征以及这些技术特征带来的有益效果，将在具体实施方式中作出进一步详细的说明。

25

附图说明

图 1 为相关技术中提供的互连结构的示意图；

图 2 为本申请实施例提供的互连结构的示意图；

图 3 为本申请实施例提供的互连结构的制备方法的流程图；

30 图 4 为本申请实施例提供的互连结构的制备方法中形成介质层的示意

图；

图 5 为本申请实施例提供的互连结构的制备方法中形成凹槽的示意图；

图 6 为本申请实施例提供的互连结构的制备方法中形成金属线的示意图；

5 图 7 为本申请实施例提供的互连结构的制备方法中形成阻挡层的示意图；

图 8 为本申请实施例提供的互连结构的制备方法中形成子催化层的过程图；

10 图 9 为本申请实施例提供的互连结构的制备方法中形成子催化层的示意图；

图 10 为本申请实施例提供的互连结构的制备方法中形成子绝缘层的示意图。

附图标记：

100：互连结构；	10：基底；
15 20：介质层；	21：开口；
22：凹槽；	23：初始介质层；
30：金属线；	40：绝缘层；
41：延伸部；	42：子催化层；
43：子绝缘层；	50：间隙；
20 60：阻挡层；	70：导电柱塞；
80：光刻胶层；	81：开口区。

具体实施方式

25 本申请的发明人在实际的工作中发现，如图 1 所示，半导体结构的尺寸（如厚度或者长度）越小，互连结构 100 内相邻的金属线 30 之间的垂直距离和水平距离也会随之减小，该相邻的金属线之间会形成寄生电容，这些寄生电容会导致互连结构出现信号延迟，降低半导体结构的性能。

针对上述的技术问题，本申请实施例提供了一种互连结构及其制备方法、半导体结构，通过使位于相邻的金属线之间的绝缘层与基底之间具有
30 间隙，即，位于相邻的金属线之间具有空气隙，这样可以利用空气的介电常数小于绝缘层的介电常数，降低相邻的金属线之间的寄生电容的电容值，

以减小互连结构的信号延迟，进而提高半导体结构的性能。

为了使本申请实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本申请保护的范围。

本实施例提供一种半导体结构，例如，半导体结构可以为动态随机存储器（DRAM），下面将以半导体结构为动态随机存取存储器（DRAM）为例进行介绍，但本实施例并不以此为限，本实施例中的半导体结构还可以为其他的结构。

示例性地，半导体结构可以包括基底，基底可以具有阵列区以及与阵列区连接的外围电路区，其中，阵列区内设置有阵列排布的电容器，外围电路区上设置有互连结构，通过互连结构与电容器电连接，以实现动态随机存储器对数据信息的存储或者读取。

如图 2 所示，互连结构 100 可以包括基底 10、具有金属线 30 的介质层 20，以及绝缘层 40，其中，基底 10 作为互连结构 100 的支撑部件，用于支撑设置在其上的其他部件，基底 10 可以为氧化层，例如，基底 10 可以为氧化硅层。

基底 10 内还可以设置多个导电柱塞 70，导电柱塞 70 与金属线 30 一一对应，且导电柱塞 70 的一端与金属线 30 连接，导电柱塞 70 的另一端与基底 10 内的有源区连接，用于实现金属线 30 与基底 10 内有源区之间的连接，以实现半导体结构性能，即实现动态随机存储器对数据信息的存储或者读取。其中，导电柱塞 70 的材质可以包括金属钨等导电材质。

介质层 20 设置在基底 10 上，介质层 20 内间隔设置有多条金属线 30，需要说明的是，多条金属线 30 可以沿着基底 10 的水平方向间隔设置，相邻的金属线 30 之间的间距可以相同，也可以不同，本实施例在此不做具体的限定。

需要说明的是，在本实施例中基底 10 的水平方向可以为图 2 中 X 方向。

在本实施例中，介质层 20 的材质可以包括氧化硅等，利用氧化硅的绝缘性实现相邻的金属线 30 的绝缘性。

相邻的金属线 30 之间的介质层 20 内设置有凹槽，凹槽可以沿着垂直于基底的方向延伸，直至凹槽的槽底暴露出基底 10 的表面，即凹槽为沿垂直于基底的方向贯穿介质层 20 的沟槽，槽底为基底 10 的上表面。

示例性地，在本实施例中凹槽的宽度可以小于相邻的金属线 30 之间的间距，这样使得介质层 20 覆盖在金属线 30 朝向凹槽的侧面上，这样可以保证相邻的金属线 30 之间的绝缘性。

进一步地，介质层 20 上设置有绝缘层 40，其中，绝缘层 40 的材质可以包括氧化硅等，利用氧化硅的绝缘性实现相邻的金属线 30 的绝缘性的同时，也可以实现位于该金属线 30 上方的其他金属线之间的绝缘性。

绝缘层 40 具有延伸至凹槽内的延伸部 41，延伸部 41 与基底 10 之间具有间隙 50，使得延伸部 41 朝向基底 10 的端面与基底 10 之间具有一定距离，即，位于相邻的金属线 30 之间具有空气隙，本实施例利用空气的介电常数小于绝缘层 40 的介电常数，可以降低相邻的金属线之间的寄生电容的电容值，以减小互连结构的信号延迟，进而提高半导体结构的性能。

在一些实施例中，延伸部 41 朝向基底 10 的端面与基底 10 的上表面之间的距离占凹槽的深度的 $2/3 \sim 3/4$ ，也就是说， H_2 等于 $2/3H_1 \sim 3/4H_1$ ，本实施例对间隙 50 的高度进行了限定，既要避免间隙的高度过大，也要避免间隙的高度过小。

若间隙 50 的高度过大，会导致延伸部 41 的高度过小，难以保证绝缘层 40 的绝缘性能，同时，若间隙过小，会导致相邻金属线 30 之间的介电常数仍然较大，难以降低相邻的金属线 30 之间的寄生电容的电容值，因此，本实施例对间隙的高度进行了限定，既要保证绝缘层 40 的绝缘性能，也要降低相邻的金属线 30 之间的寄生电容的电容值，以减小互连结构的信号延迟，进而提高半导体结构的性能。

在一些实施例中，互连结构 100 还包括阻挡层 60，阻挡层 60 设置在介质层 20 的顶面与绝缘层 40 之间，以及金属线 30 的顶面与绝缘层 40 之间，利用阻挡层 60 来防止金属线中的导电材料向绝缘层中扩散，保证了金属线的导电性能。

具体地，阻挡层 60 的材质可以包括氮化硅等，利用氮化硅层的设置既

可以实现金属线与设置在其上的导电部件之间的绝缘设置，也可以阻止金属线中的导电材料向绝缘层中扩散。

图 3 为本申请实施例提供的互连结构的制备方法的流程图；图 4 至图 10 为互连结构的制备方法的各阶段的示意图，下面结合图 3 至图 10 对互连结构的制造方法进行介绍。

如图 3 所示，本申请实施例提供了一种互连结构的制备方法，包括如下步骤：

S100：提供基底。

10 示例性地，如图 4 所示，基底 10 作为互连结构 100 的支撑部件，用于支撑设在其上的其他部件，其中，基底 10 可以为氧化层，例如，基底 10 可以为氧化硅层。

基底 10 内还设置有导电柱塞 70，可以利用导电柱塞 70 实现互连结构 100 中的金属线与基底的有源区之间的电连接。

15 具体地，可以在基底 10 上形成具有图案的光刻胶层，利用光刻胶层作为掩膜版，在基底 10 上形成多个间隔设置容置槽，然后利用原子层沉积工艺或者化学沉积工艺在容置槽内沉积一定厚度的导电物质，例如，金属钨，该导电物质构成导电柱塞 70。

S200：在基底上形成介质层，介质层内设置有间隔设置的多条金属线。

20 示例性地，在基底 10 上形成初始介质层 23。

具体地，可以采用原子层沉积工艺（简称 ALD）、化学气相沉积工艺（简称 CVD）或者等离子体增强化学沉积工艺（简称 PECAD）在基底 10 的上表面上形成一定厚度的初始介质层 23；其中，初始介质层 23 的材质可以包括氧化硅或者氮化硅等材质。

25 图形化初始介质层 23，刻蚀部分初始介质层 23，以在初始介质层 23 内形成多个间隔设置的开口 21，被保留下来的初始介质层 23 构成介质层 20。具体地，如图 4 所示，在初始介质层 23 背离基底 10 的表面上形成光刻胶层 80，采用曝光、显影或者蚀刻的方式图形化光刻胶层 80，以在光刻胶层 80 形成掩膜图案，掩膜图案包括交替设置的多个遮挡区和多个开口
30 区 81。

如图 5 所示，沿开口区 81 图形化初始介质层 23，即采用干法刻蚀或

者湿法刻蚀去除暴露在开口区 81 内的初始介质层 23，以在初始介质层 23 内形成多个间隔设置的开口 21，被保留下来的初始介质层 23 构成介质层 20。

需要说明的是，位于图 5 中的虚线上方的部分为开口区 81，位于虚线 5 下方的部分为开口 21。

如图 6 所示，采用清洗液或者清洗气体去除位于介质层 20 上的光刻胶层 80，然后利用原子层沉积工艺或者化学气相沉积工艺在开口 21 内形成金属线 30，金属线 30 背离基底 10 的顶面与介质层 20 的顶面平齐，其中，金属线 30 可以包括金属钨等导电材料。

10 进一步地，如图 7 所示，为了阻止金属线中的导电材料向绝缘层扩散，本实施例在介质层 20 和金属线 30 上形成阻挡层 60。

具体地，可以采用原子层沉积工艺或者化学气相沉积工艺在介质层 20 和金属线 30 的顶面上形成一定厚度的阻挡层 60，其中，阻挡层 60 的材质可以包括氮化硅等。

15 S300：图形化介质层，在介质层内形成多个凹槽，凹槽位于相邻的金属线之间，且凹槽的槽底暴露出基底 10 的表面。

如图 8 所示，对位于相邻的金属线 30 之间的介质层 20 进行图形化处理，以在介质层 20 内形成凹槽 22，凹槽 22 的槽底暴露出基底 10 的表面，即凹槽 22 可以沿着垂直于基底 10 的方向延伸，直至凹槽 22 的槽底暴露出 20 基底 10 的表面，也就是说，凹槽 22 为贯穿介质层 20 的沟槽，且凹槽 22 的槽底为基底 10 的上表面。

示例性地，在本实施例中凹槽 22 的宽度可以小于相邻的金属线 30 之间的间距，这样使得介质层 20 覆盖在金属线 30 朝向凹槽 22 的侧面上，这样可以保证相邻的金属线 30 之间的绝缘性。

25 S400：在介质层上形成绝缘层，绝缘层具有延伸至凹槽内的延伸部，延伸部与基底之间具有间隙。

示例性地，在介质层上形成绝缘层的步骤中包括：

步骤 a，在凹槽的侧面和介质层的顶面上形成子催化层，位于凹槽的侧面上的子催化层与基底之间具有间隙。

30 具体地，如图 9 所示，通过定向沉积技术向凹槽 22 的侧面和介质层 20 的顶面上注入杂质元素，例如，可以采用物理气相沉积或者等离子注入

工艺向凹槽 22 的侧面和介质层 20 的顶面注入杂质元素，其中，杂质元素在介质层 20 表面上形成子催化层 42，子催化层 42 有较强的吸合能力，能够增强介质层 20 与后续形成的子填充层的结合力。

在本实施例中，杂质元素可以为硼族元素、三氟化硼、三氯化铝以及三氧化硫中的至少一种，其中，硼族元素可以包括硼、铝以及铬。

通过定向沉积技术将上述的元素沉积在凹槽 22 的部分侧面和介质层 20 的顶面上，上述的杂质元素可以与介质层 20 的表面上发生反应形成吸电子化合物，该吸电子化合物构成子催化层 42。

在本实施例中，位于凹槽 22 的侧面上的子催化层 42 与基底 10 之间具有间隙 50，也就是说，位于凹槽 22 的侧面上的子催化层 42 的底面与衬底的顶面并不重合。

子催化层 42 朝向基底 10 的端面与基底 10 之间的间距记为 H_2 ，凹槽 22 的深度为 H_1 ， H_2 等于 $2/3H_1 \sim 3/4H_1$ ，本实施例对子催化层 42 朝向基底 10 的端面与基底 10 之间的间距进行设计，用于保证后续在子催化层上形成的绝缘层 40 朝向基底 10 的端面与基底 10 之间具有间隙。

在具体实施时，可以通过控制定向沉积技术的注入方向与垂直于基底 10 的方向之间的夹角，来沉积子催化层 42。

示例性地，定向沉积技术的注入方向与垂直于基底 10 的方向之间的夹角 α 为锐角，例如，定向沉积技术的注入方向与垂直于基底 10 的方向之间的夹角为 $5^\circ - 45^\circ$ 。

本实施例通过对定向沉积技术的注入方向与垂直于基底 10 的方向之间的夹角进行特殊的设计，可以保证在凹槽 22 的侧面上形成的子催化层 42 与基底 10 之间具有间隙，以保证后续所形成的绝缘层 40 与基底 10 之间也具有间隙 50，进而可以降低相邻的金属线之间形成寄生电容的电容值，提高半导体结构的性能。

步骤 b，在子催化层上形成子填充层，子填充层发生反应形成一层子绝缘层。

具体地，如图 10 所示，通过定向沉积技术在子催化层 42 上沉积一定厚度的子填充层，例如，可以采用物理气相沉积或者等离子注入工艺在子催化层 42 上形成子填充层，其中，子填充层的材质可以为氧化硅前驱体，例如，氧化硅前驱体可以为含硅的化合物如 SiH_4 ，TMS 或 3-叔丁基硅烷

醇基等。

鉴于前驱体的分子量较大,很难直接沉积在基底或者介质层上,因此,本实施例利用子催化层较强的化学键合能力,使得子填充层只能沉积在子催化层 42 上,进而使得制备出的子绝缘层 43 与基底之间具有间隙。

5 当子填充层沉积在子催化层上之后,增加用于沉积子填充层的反应腔室的温度,使得反应腔内满足热氧化工艺的条件,进而使得子填充层在高温条件下反应以形成子绝缘层 43,其中,子绝缘层 43 的材质为氧化硅。

在本实施例中,子填充层发生反应的反应温度为 200℃-400℃,通过对反应温度进行控制,以保证子填充层与子催化层充分反应,便于子绝缘层 10 的形成。

步骤 c,在子绝缘层上依次形成子催化层和子填充层,子填充层发生反应形成另一层子绝缘层。

具体地,通过定向沉积技术向子绝缘层 43 上注入杂质元素,杂质元素在子绝缘层 43 表面上形成子催化层 42,子催化层 42 用于增强子绝缘层 43 15 与子填充层的结合力。其中,本实施例中子催化层与步骤 a 中的子催化层的材质和功能均相同,本实施例在此不再多加赘述。

至少重复一次以上的步骤 b 和步骤 c,直至形成绝缘层 40,其结构图 2 所示。

也就是说,绝缘层 40 可以包括多个依次层叠设置的子绝缘层 43,且 20 绝缘层 40 位于凹槽 22 内的部分构成延伸部 41,为了便于对绝缘层 40 的形成过程进行详细的阐述,本实施例将绝缘层 40 沿朝向凹槽 22 的方向依次划分为第一个子绝缘层、第二个子绝缘层....以及第 n 个子绝缘层,各个子绝缘层的形成步骤如下:

采用定向沉积技术在凹槽 22 的侧面和介质层 20 的顶面上形成第一个 25 子催化层,第一个子催化层具有吸电子化合物,且第一个子催化层与基底 10 之间具有间隙 50。

再利用定向沉积技术向第一个子催化层上注入氧化硅前驱体,氧化硅前驱体在一定温度下发生反应,形成第一个子绝缘层。

待形成第一个子绝缘层之后,再利用定向沉积技术向第一个子绝缘层 30 上形成第二个子催化层。

待形成第二个子催化层之后,利用定向沉积技术向第二个子催化层上

注入氧化硅前驱体，氧化硅前驱体在一定温度下发生反应，形成第二个子绝缘层。

依次类推，在第二个子绝缘层上形成第三个子催化层、第三个子绝缘层.....在第 $n-1$ 个子绝缘层上形成第 n 个子催化层和第 n 个子绝缘层，上述的第一个子绝缘层、第二个子绝缘层....以及第 n 个子绝缘层构成绝缘层 40，且 n 为正整数。

需要说明的是，本实施例中绝缘层 40 可以通过多次重复上述的步骤 b 和步骤 c 来形成，也可以只采用上述的步骤 a 和步骤 b 直接形成填充部分凹槽 22 的绝缘层 40，本实施例在此不做具体限定。

本实施例所提供的互连结构的制备方法，能够使位于相邻的金属线之间的绝缘层与基底之间具有间隙，即，位于相邻的金属线之间具有空气隙，这样可以利用空气的介电常数小于绝缘层的介电常数，降低相邻的金属线之间的寄生电容的电容值，以减小互连结构的信号延迟，进而提高半导体结构的性能。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。

在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种互连结构，包括：

基底；

5 介质层，所述介质层设置在所述基底上，所述介质层内间隔设置有多条金属线，相邻的所述金属线之间的所述介质层内设置有凹槽，所述凹槽的槽底暴露出所述基底的表面；

绝缘层，所述绝缘层设置在所述介质层上，所述绝缘层具有延伸至所述凹槽内的延伸部，所述延伸部与所述基底之间具有间隙。

10 2、根据权利要求 1 所述的互连结构，其中，所述延伸部靠近所述基底的端面与所述基底之间的距离占所述凹槽的深度的 $2/3 \sim 3/4$ 。

3、根据权利要求 2 所述的互连结构，其中，所述介质层的顶面和所述金属线的顶面与所述绝缘层之间均设置有阻挡层，所述阻挡层用于阻止所述金属线中的导电材料向所述绝缘层扩散。

15 4、根据权利要求 3 所述的互连结构，其中，所述阻挡层的材质为氮化硅。

5、根据权利要求 1-4 任一项所述的互连结构，其中，所述介质层和所述绝缘层的材质均为氧化硅。

20 6、根据权利要求 1-4 任一项所述的互连结构，其中，所述基底内还设置有与所述金属线一一对应设置的导电柱塞，所述导电柱塞的一端与所述金属线连接，所述导电柱塞的另一端用于与所述基底内的有源区连接。

7、一种互连结构的制备方法，包括如下步骤：

提供基底；

在所述基底上形成介质层，所述介质层内设置有间隔设置的多条金属线；

25 图形化所述介质层，在所述介质层内形成多个凹槽，所述凹槽位于相邻的所述金属线之间，且所述凹槽的槽底暴露出所述基底的表面；

在所述介质层上形成绝缘层，所述绝缘层具有延伸至所述凹槽内的延伸部，所述延伸部与所述基底之间具有间隙。

30 8、根据权利要求 7 所述的互连结构的制备方法，其中，在所述介质层上形成绝缘层的步骤中包括：

步骤 a, 在所述凹槽的侧面和所述介质层的顶面上形成子催化层, 位于所述凹槽的侧面上的所述子催化层与所述基底之间具有间隙;

步骤 b, 在所述子催化层上形成子填充层, 所述子填充层发生反应形成一层子绝缘层;

5 步骤 c, 在所述子绝缘层上依次形成所述子催化层和所述子填充层, 所述子填充层发生反应形成另一层所述子绝缘层;

至少重复一次以上的步骤 b 和步骤 c, 直至形成所述绝缘层。

9、根据权利要求 8 所述的互连结构的制备方法, 其中, 多个所述子绝缘层依次层叠设置构成所述绝缘层, 且所述绝缘层位于所述凹槽内的部分
10 构成所述延伸部。

10、根据权利要求 8 或 9 所述的互连结构的制备方法, 其中, 所述步骤 a 包括:

通过定向沉积技术向所述凹槽的侧面和所述介质层的顶面上注入杂质元素, 所述杂质元素在所述介质层表面上形成子催化层, 所述子催化层含有吸电子化合物, 用于增强所述介质层与所述子填充层的结合力;
15

所述步骤 b 包括:

通过定向沉积技术向所述子催化层上沉积氧化硅前驱体, 所述氧化硅前驱体在一定温度下发生反应形成所述子绝缘层, 所述氧化硅前驱体构成所述子填充层;

20 所述步骤 c 包括:

通过定向沉积技术向所述子绝缘层上注入杂质元素, 所述杂质元素在所述子绝缘层表面上形成子催化层, 所述子催化层用于增强所述子绝缘层与所述子填充层的结合力。

11、根据权利要求 10 所述的互连结构的制备方法, 其中, 所述定向沉积技术的注入方向与垂直于所述基底的方向之间的夹角为锐角。
25

12、根据权利要求 11 所述的互连结构的制备方法, 其中, 所述定向沉积技术的注入方向与垂直于所述基底的方向之间的夹角为 5° - 45° 。

13、根据权利要求 12 所述的互连结构的制备方法, 其中, 所述杂质元素包括硼族元素、三氟化硼、三氯化铝以及三氧化硫中的至少一种。

30 14、根据权利要求 8 或 9 所述的互连结构的制备方法, 其中, 所述子填充层发生反应的反应温度为 200°C - 400°C 。

15、根据权利要求 7-9 任一项所述的互连结构的制备方法，其中，在所述基底上形成介质层，所述介质层内设置有间隔设置的多条金属线的步骤包括：

在所述基底上形成初始介质层；

- 5 图形化所述初始介质层，刻蚀部分所述初始介质层，以在所述初始介质层内形成多个间隔设置的开口，被保留下来的所述初始介质层构成所述介质层；

在所述开口内形成金属线，所述金属线背离所述基底的顶面与所述初始介质层的顶面平齐。

- 10 16、根据权利要求 9 所述的互连结构的制备方法，其中，在所述基底上形成介质层的步骤之后，在图形化所述介质层的步骤之前，所述方法还包括：

在所述初始介质层上形成阻挡层，所述阻挡层用于阻止所述金属线中的导电材料向所述绝缘层扩散。

- 15 17、一种半导体结构，包括如权利要求 1-6 任一项所述的互连结构。

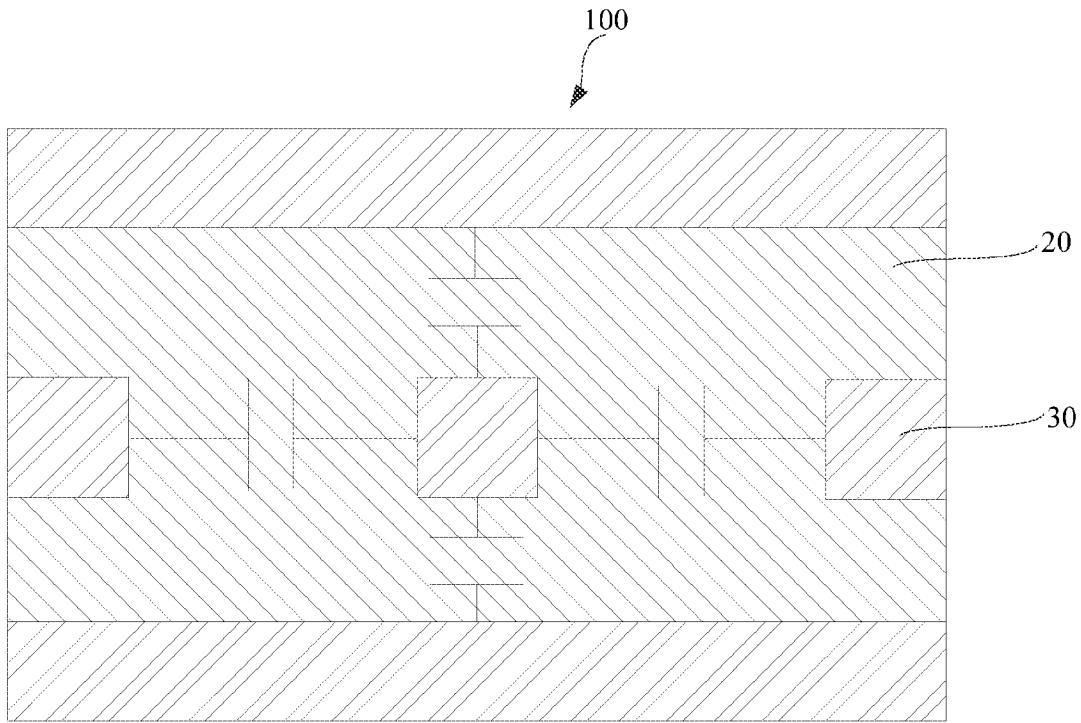


图 1

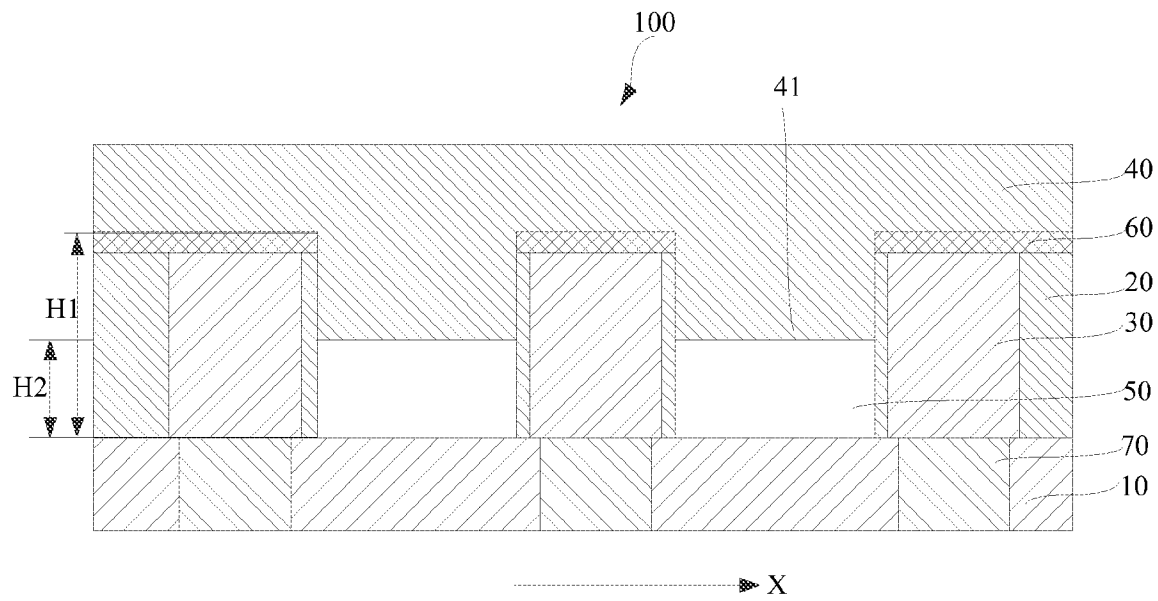


图 2

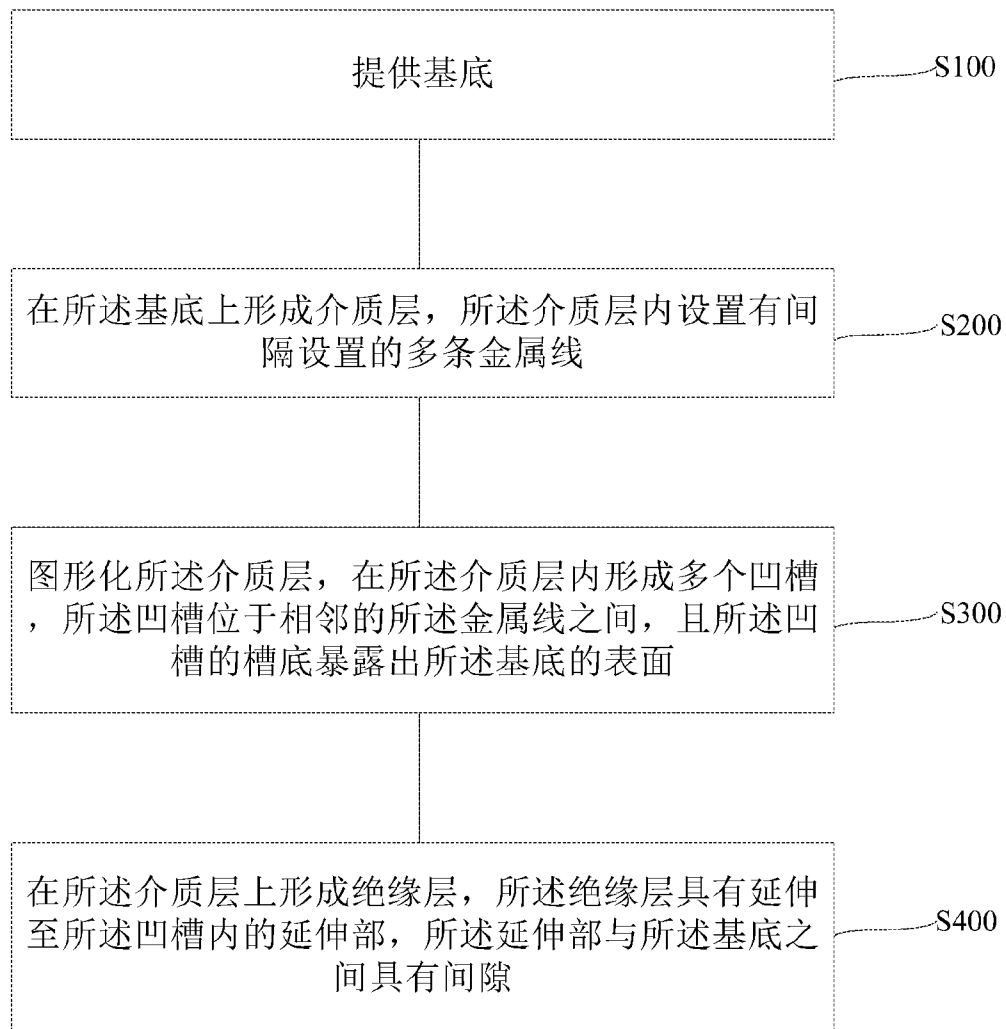


图 3

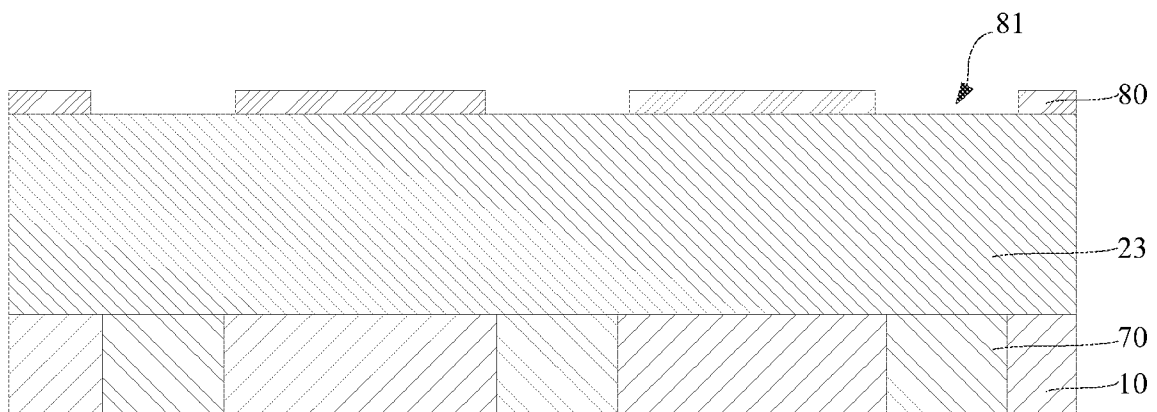


图 4

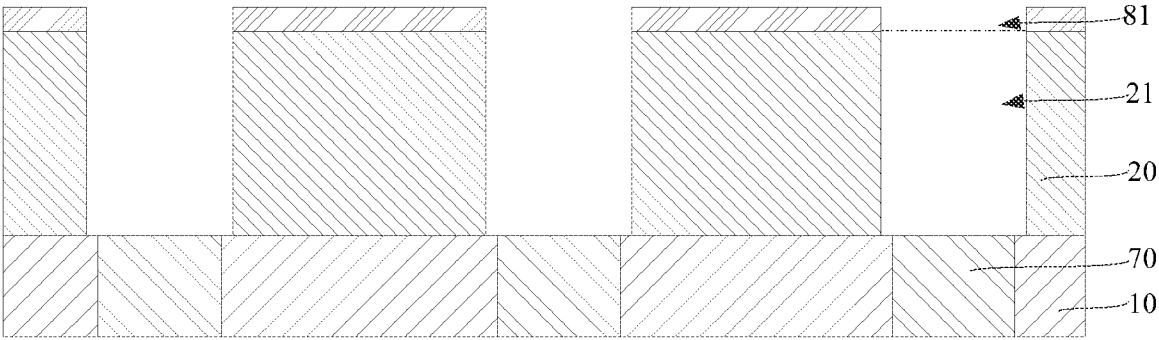


图 5

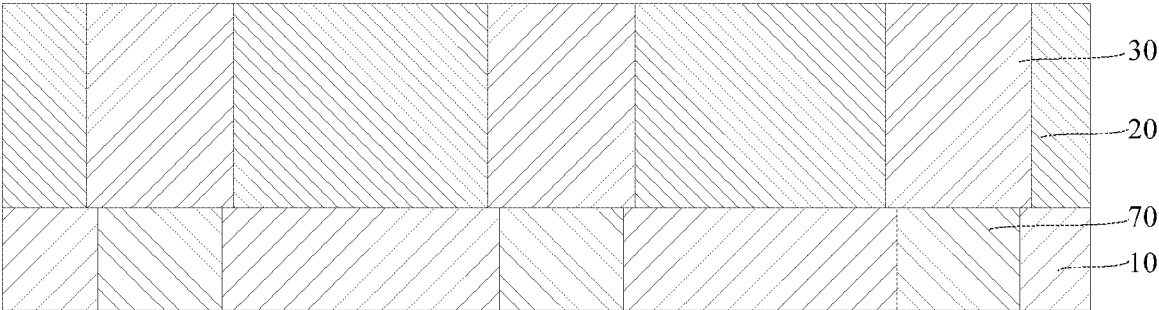


图 6

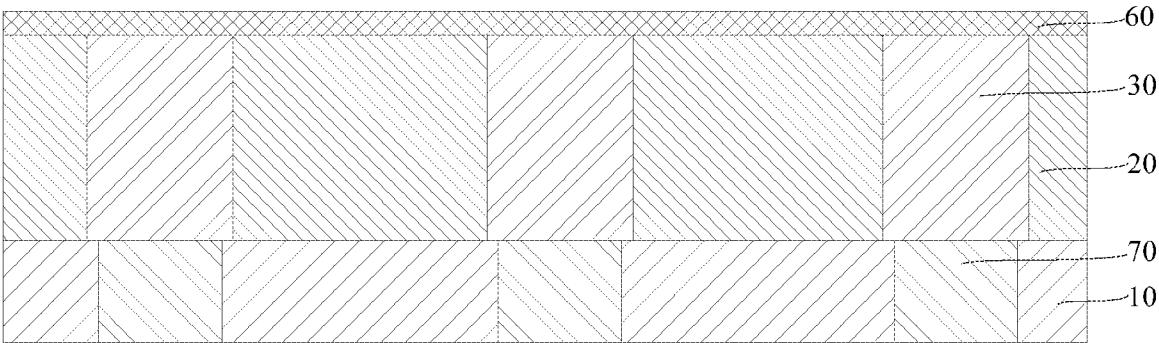


图 7

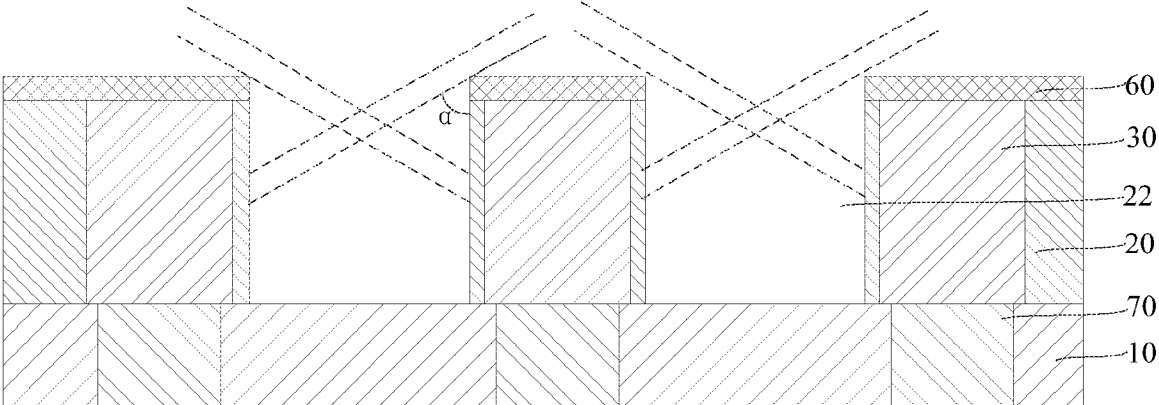


图 8

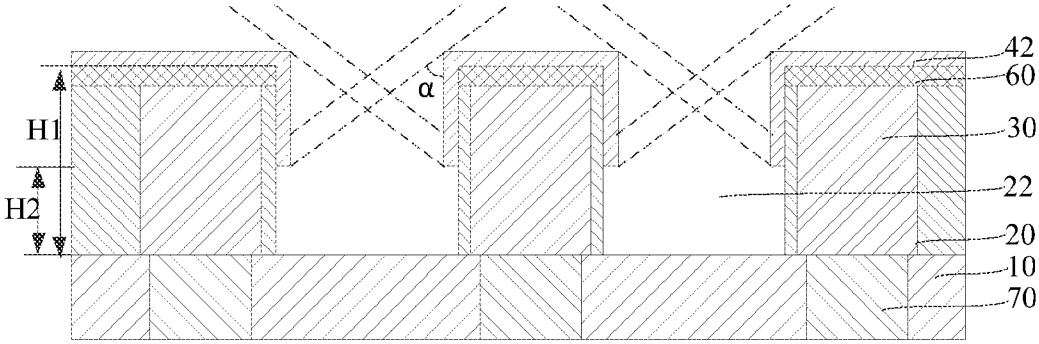


图 9

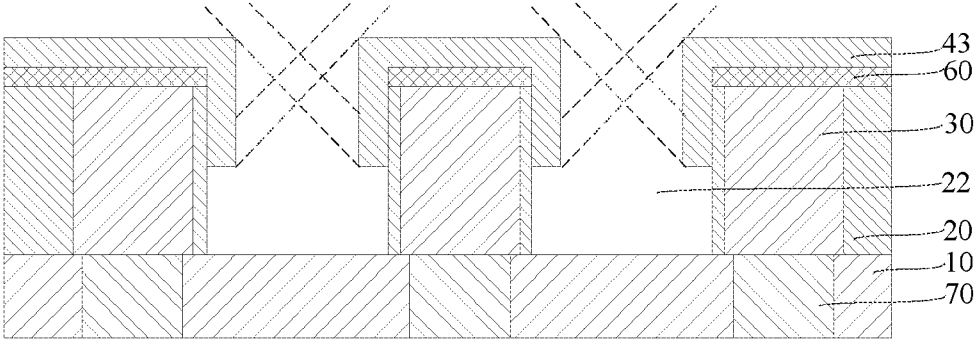


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/106429

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/528(2006.01)i; H01L 21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

SIPOABS; CNABS; CNTXT; CNKI; IEEE; DWPI: 介质, 绝缘, 空气隙, 深度, 厚度, 阻挡层, 金属, 寄生电容, 角度, 注入, 沉积, 互连, dielectric, insulator, insulation, gas, gap, deepness, thickness, barrier, metal, capacity, angle, infuse, deposition, interconnection

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 112928095 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 08 June 2021 (2021-06-08) entire document	1-17
X	CN 108074866 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 25 May 2018 (2018-05-25) description paragraphs 116-152 and figures 3-17, 28a-28c	1-17
X	CN 110880476 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 13 March 2020 (2020-03-13) description, paragraphs 102-128 and figure 14	1, 6
A	US 2001051423 A1 (KIM et al.) 13 December 2001 (2001-12-13) entire document	1-17
A	CN 107680953 A (RUILI INTEGRATED CIRCUIT CO., LTD.) 09 February 2018 (2018-02-09) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

27 October 2021

Date of mailing of the international search report

10 November 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/106429

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112928095	A	08 June 2021	None			
CN	108074866	A	25 May 2018	None			
CN	110880476	A	13 March 2020	None			
US	2001051423	A1	13 December 2001	KR	20000056157	A	15 September 2000
				KR	100286126	B1	15 March 2001
				US	6399476	B2	04 June 2002
CN	107680953	A	09 February 2018	WO	2019091421	A1	16 May 2019
				US	2020258772	A1	13 August 2020
				CN	207409478	U	25 May 2018

国际检索报告

国际申请号

PCT/CN2021/106429

A. 主题的分类 H01L 23/528(2006.01)i; H01L 21/768(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) SIPOABS;CNABS;CNTXT;CNKI;IEEE;DWPI:介质, 绝缘, 空气隙, 深度, 厚度, 阻挡层, 金属, 寄生电容, 角度, 注入, 沉积, 互连, dielectric, insulator, insulation, gas, gap, deepness, thickness, barrier, metal, capacity, angle, infuse, deposition, interconnection																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 112928095 A (长鑫存储技术有限公司) 2021年 6月 8日 (2021 - 06 - 08) 全文</td> <td>1-17</td> </tr> <tr> <td>X</td> <td>CN 108074866 A (睿力集成电路有限公司) 2018年 5月 25日 (2018 - 05 - 25) 说明书116-152段及附图3-17、28a-28c</td> <td>1-17</td> </tr> <tr> <td>X</td> <td>CN 110880476 A (长鑫存储技术有限公司) 2020年 3月 13日 (2020 - 03 - 13) 说明书第102-128段及附图14</td> <td>1、6</td> </tr> <tr> <td>A</td> <td>US 2001051423 A1 (KIM 等) 2001年 12月 13日 (2001 - 12 - 13) 全文</td> <td>1-17</td> </tr> <tr> <td>A</td> <td>CN 107680953 A (睿力集成电路有限公司) 2018年 2月 9日 (2018 - 02 - 09) 全文</td> <td>1-17</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 112928095 A (长鑫存储技术有限公司) 2021年 6月 8日 (2021 - 06 - 08) 全文	1-17	X	CN 108074866 A (睿力集成电路有限公司) 2018年 5月 25日 (2018 - 05 - 25) 说明书116-152段及附图3-17、28a-28c	1-17	X	CN 110880476 A (长鑫存储技术有限公司) 2020年 3月 13日 (2020 - 03 - 13) 说明书第102-128段及附图14	1、6	A	US 2001051423 A1 (KIM 等) 2001年 12月 13日 (2001 - 12 - 13) 全文	1-17	A	CN 107680953 A (睿力集成电路有限公司) 2018年 2月 9日 (2018 - 02 - 09) 全文	1-17
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 112928095 A (长鑫存储技术有限公司) 2021年 6月 8日 (2021 - 06 - 08) 全文	1-17																		
X	CN 108074866 A (睿力集成电路有限公司) 2018年 5月 25日 (2018 - 05 - 25) 说明书116-152段及附图3-17、28a-28c	1-17																		
X	CN 110880476 A (长鑫存储技术有限公司) 2020年 3月 13日 (2020 - 03 - 13) 说明书第102-128段及附图14	1、6																		
A	US 2001051423 A1 (KIM 等) 2001年 12月 13日 (2001 - 12 - 13) 全文	1-17																		
A	CN 107680953 A (睿力集成电路有限公司) 2018年 2月 9日 (2018 - 02 - 09) 全文	1-17																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
国际检索实际完成的日期 2021年 10月 27日		国际检索报告邮寄日期 2021年 11月 10日																		
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 陈泽 电话号码 010-62411334																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/106429

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112928095	A	2021年 6月 8日	无			
CN	108074866	A	2018年 5月 25日	无			
CN	110880476	A	2020年 3月 13日	无			
US	2001051423	A1	2001年 12月 13日	KR	20000056157	A	2000年 9月 15日
				KR	100286126	B1	2001年 3月 15日
				US	6399476	B2	2002年 6月 4日
CN	107680953	A	2018年 2月 9日	WO	2019091421	A1	2019年 5月 16日
				US	2020258772	A1	2020年 8月 13日
				CN	207409478	U	2018年 5月 25日