(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-276412
(P2005-276412A)
(43)公開日　平成17年10月6日(2005.10.6)

(51)Int.Cl.[7]	F I			テーマコード（参考）
G11B 20/10	G11B	20/10	321A	5D044
	G11B	20/10	341B	

審査請求 未請求　請求項の数 46　OL　（全 21 頁）

(21)出願番号　特願2005-46625(P2005-46625)
(22)出願日　平成17年2月23日(2005.2.23)
(31)優先権主張番号　10/809230
(32)優先日　平成16年3月25日(2004.3.25)
(33)優先権主張国　米国(US)

(71)出願人　503116280
ヒタチグローバルストレージテクノロジーズネザーランドビーブイ
オランダ国　アムステルダム　１０７６　エイズィ　パルナスストーレン　ロカテリケード　１
(74)代理人　100068504
弁理士　小川　勝男
(74)代理人　100095876
弁理士　木崎　邦彦
(72)発明者　ロイ・ディ・サイデシヤン
スイス連邦、ルーチェリコン　８８０３、ルーストラッセ　１５

最終頁に続く

(54)【発明の名称】動的な等化器最適化を行うための装置

(57)【要約】
【課題】データ・チャネルにおけるデータ信号検出において、動的な等化器最適化を行うための装置が必要である。
【解決手段】動的等化器最適化のための装置が開示される。本発明は上記課題を、最初に既知のパターンをディスクに書き込んだりすでにディスク上に書き込まれたデータの知識を事前に得ることなく直接的な方法と同じソリューションに収束する等化器係数更新を提供することによって解決する。適応余弦関数はＤＦＩＲフィルタ９３２のタップ・セットのみ、余弦等化器９４０のｊ、ｋパラメータのみ、あるいはＤＦＩＲフィルタ９３２のタップ・セットと余弦等化器９４０のｊ、ｋパラメータの両方を修正する。ＬＭＳアルゴリズムなどの別のアルゴリズムは余弦アルゴリズムによって修正されないパラメータを修正するために使用できる。
【選択図】図９

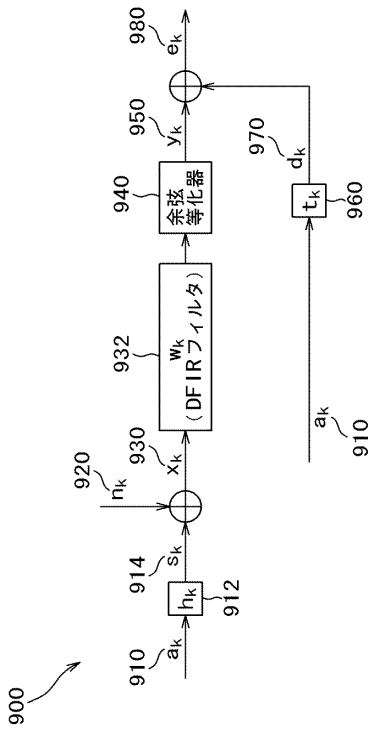


図９

【特許請求の範囲】
【請求項１】
デジタル信号を等化して、等化された再生信号を提供するように構成された等化器と、
前記等化された再生信号を受信し、その受信信号を記録媒体に保存されたデータを示すデジタル出力信号に変換することができるビタビ検出装置とを有し、
前記等化器が余弦関数に基づいて当該等化器の係数を適応的に更新する係数学習回路を用いて実装されることを特徴とする読み取りチャネル。
【請求項２】
前記係数学習回路がマグニチュード応答を修正するための第１のパラメータｋを含むタップ係数更新式を用いて係数を調節することを特徴とする請求項１記載の読み取りチャネル。
【請求項３】
前記第１のパラメータｋが、ｋをマグニチュード応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、e_kをノイズ的に等化された信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$k = k - g^*(f(a_{k+1}) + f(a_{k-1}))^* e_k$の式により調整されることを特徴とする請求項２記載の読み取りチャネル。
【請求項４】
前記係数学習回路が位相応答を修正するための第２のパラメータjを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項２記載の読み取りチャネル。
【請求項５】
前記第２のパラメータｊが、ｊを位相応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的に等化された信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$j = j - g^*(f(a_{k+2}) + f(a_{k-2}))^* e_k$の式で調節されることを特徴とする請求項４記載の読み取りチャネル。
【請求項６】
前記係数学習回路が位相応答を修正するためのパラメータｊを含むタップ係数更新式を用いて係数を調節することを特徴とする請求項１記載の読み取りチャネル。
【請求項７】
ｇを与えられた更新減衰ゲイン、そして$f(a_{k-i})$を前記余弦係数に基づくものとして、前記係数学習回路が$w_i = w_i - g^* f(a_{k-i})^* e_k$に従って係数$w_i$を調節することを特徴とする請求項１記載の読み取りチャネル。
【請求項８】
$f(a_{k-i})$が$a_{k-i} - a_{k-i-2}$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてＰＲ４応答が付加されることを特徴とする請求項７記載の読み取りチャネル。
【請求項９】
$f(a_{k-i})$が$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$であるように選択され、検出される書き込みビット$a_{k-i}$に、前記余弦関数に基づいてＥＰＲ４応答が付加されることを特徴とする請求項７記載の読み取りチャネル。
【請求項１０】
$f(a_{k-i})$が$a_{k-i}\ t_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてt_kが付加されることを特徴とする請求項７記載の読み取りチャネル。
【請求項１１】
$f(a_{k-i})$が$a_{k-i}\ h_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてh_kが付加されることを特徴とする請求項７記載の読み取りチャネル。
【請求項１２】
記録媒体上に記録された符号及び非符号を再生することによって得られる再生信号の波形を等化する波形等化器において、

前記再生された信号の伝播を遅らせる遅延要素と、
所定の係数を前記再生信号及び遅延要素からの遅延信号に掛け合わせる複数の乗算器と、
前記複数の乗算器のそれぞれについて、所定の係数を適応的に更新する係数学習回路と、
前記複数の乗算器からの出力を加算する加算器とを有し、
前記係数学習回路が余弦関数に基づいて前記等化器の係数を適応的に更新することを特徴とする波形等化器。

【請求項１３】
前記係数学数回路がマグニチュード応答を修正するための第１のパラメータｋを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項１２記載の波形等化器。

【請求項１４】
前記第１のパラメータｋが、ｋを前記マグニチュード応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$k = k - g^{*}(f(a_{k+1}) + f(a_{k-1}))^{*} e_k$によって調節されることを特徴とする請求項１３記載の波形等化器。

【請求項１５】
前記係数学習回路が位相応答を修正するための第２のパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項１３記載の波形等化器。

【請求項１６】
前記第２のパラメータｊが、ｊを位相応答を修正するための余弦等化パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$j = j - g^{*}(f(a_{k+2}) + f(a_{k-2}))^{*} e_k$の式により調節されることを特徴とする請求項１５記載の波形等化器。

【請求項１７】
前記係数学習回路が位相応答を修正するためのパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項１２記載の波形等化器。

【請求項１８】
前記係数学習回路が、ｇを与えられた更新減衰ゲイン、そして$f(a_{k-i})$を余弦関数に基づくものとして、$w_i = w_i - g^{*} f(a_{k-i})^{*} e_k$に従って係数$w_i$を調節することを特徴とする請求項１２記載の波形等化器。

【請求項１９】
$f(a_{k-i})$が$a_{k-i} - a_{k-i-2}$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてＰＲ４応答が付加されることを特徴とする請求項１８記載の波形等化器。

【請求項２０】
$f(a_{k-i})$が$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$であるように選択され、検出される書き込みビット$a_{k-i}$に、前記余弦関数に基づいてＥＰＲ４応答が付加されることを特徴とする請求項１８記載の波形等化器。

【請求項２１】
$f(a_{k-i})$が$a_{k-i}\ t_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてt_kが付加されることを特徴とする請求項１８記載の波形等化器。

【請求項２２】
$f(a_{k-i})$が$a_{k-i}\ h_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてh_kが付加されることを特徴とする請求項１８記載の波形等化器。

【請求項２３】
信号処理システムにおいて、

内部にデータを保存するメモリと、
前記メモリに結合され、デジタル信号を等化して、等化された再生信号を提供し、余弦関数に基づいて前記等化器の係数を適応的に更新するプロセッサと、
を有することを特徴とする信号処理システム。
【請求項２４】
前記プロセッサがマグニチュード応答を修正するための第１のパラメータｋを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項２３記載の信号処理システム。
【請求項２５】
ｋを前記マグニチュード応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、前記第１のパラメータｋが$k = k - g^*(f(a_{k+1}) + f(a_{k-1}))^* e_k$によって調節されることを特徴とする請求項２４記載の信号処理システム。
【請求項２６】
前記プロセッサが、位相応答を修正するための第２のパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項２４記載の信号処理システム。
【請求項２７】
前記第２のパラメータｊが、ｊを位相応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$j = j - g^*(f(a_{k+2}) + f(a_{k-2}))^* e_k$の式により調節されることを特徴とする請求項２６記載の信号処理システム。
【請求項２８】
前記プロセッサが、位相応答を修正するためのパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項２３記載の信号処理システム。
【請求項２９】
前記係数学習回路が、ｇを与えられた更新減衰ゲイン、そして$f(a_{k-i})$を余弦関数に基づくものとして、$w_i = w_i - g^* f(a_{k-i})^* e_k$に従って係数$w_i$を調節することを特徴とする請求項２３記載の信号処理システム。
【請求項３０】
$f(a_{k-i})$が$a_{k-i} - a_{k-i-2}$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてＰＲ４応答が付加されることを特徴とする請求項２９記載の信号処理システム。
【請求項３１】
$f(a_{k-i})$が$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$であるように選択され、検出される書き込みビット$a_{k-i}$に、前記余弦関数に基づいてＥＰＲ４応答が付加されることを特徴とする請求項２９記載の信号処理システム。
【請求項３２】
$f(a_{k-i})$が$a_{k-i}\ t_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてt_kが付加されることを特徴とする請求項２９記載の信号処理システム。
【請求項３３】
$f(a_{k-i})$が$a_{k-i}\ h_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてh_kが付加されることを特徴とする請求項２９記載の信号処理システム。
【請求項３４】
磁気記憶装置において、
データを記録するための磁気記憶媒体と、
前記磁気記憶媒体を駆動するためのモータと、
前記磁気記憶媒体上のデータを書き込み及び読み取るためのヘッドと、
前記磁気記憶媒体に対して前記ヘッドを位置づけするアクチュエータと、

デジタル信号を等化して等化された再生信号を提供するように構成された等化器と、その等化された再生信号を受信してその再生信号を記録媒体上に記憶されたデータを示すデジタル出力信号に変換することができるビタビ検出装置とを備えて構成され、前記磁気記憶媒体上のコード化された信号を処理するためのデータ・チャネルとを有し、前記等化器が余弦関数に基づいて当該等化器の係数を適応的に更新する係数学習回路を用いて実装されることを特徴とする磁気記憶装置。

【請求項３５】

前記等化器が、マグニチュード応答を修正するための第１のパラメータｋを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項３４記載の磁気記憶装置。

【請求項３６】

ｋを上記マグニチュード応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、前記第１のパラメータｋが$k = k - g^{*}(f(a_{k+1}) + f(a_{k-1}))^{*} e_k$によって調節されることを特徴とする請求項３５記載の磁気記憶装置。

【請求項３７】

前記等化器が、位相応答を修正するための第２のパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項３５記載の磁気記憶装置。

【請求項３８】

前記第２のパラメータｊが、ｊを位相応答を修正するための余弦等化器パラメータ、ｇを更新減衰ゲイン、そしてe_kをノイズ的な等化信号と望ましい無ノイズ信号との間の差に基づく誤差信号として、$j = j - g^{*}(f(a_{k+2}) + f(a_{k-2}))^{*} e_k$の式により調節されることを特徴とする請求項３７記載の磁気記憶装置。

【請求項３９】

前記等化器が、位相応答を修正するためのパラメータｊを有するタップ係数更新式を用いて係数を調節することを特徴とする請求項３４記載の磁気記憶装置。

【請求項４０】

前記係数学習回路が、ｇを与えられた更新減衰ゲイン、そして$f(a_{k-i})$を余弦関数に基づくものとして、$w_i = w_i - g^{*} f(a_{k-i})^{*} e_k$に従って係数$w_i$を調節することを特徴とする請求項３４記載の磁気記憶装置。

【請求項４１】

$f(a_{k-i})$が$a_{k-i} - a_{k-i-2}$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてＰＲ４応答が付加されることを特徴とする請求項４０記載の磁気記憶装置。

【請求項４２】

$f(a_{k-i})$が$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$であるように選択され、検出される書き込みビット$a_{k-i}$に、前記余弦関数に基づいてＥＰＲ４応答が付加されることを特徴とする請求項４０記載の磁気記憶装置。

【請求項４３】

$f(a_{k-i})$が$a_{k-i}\ t_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてt_kが付加されることを特徴とする請求項４０記載の磁気記憶装置。

【請求項４４】

$f(a_{k-i})$が$a_{k-i}\ h_k$であるように選択され、検出される書き込みビットa_{k-i}に、前記余弦関数に基づいてh_kが付加されることを特徴とする請求項４０記載の磁気記憶装置。

【請求項４５】

読み取りチャネルにおいて、

デジタル信号を等化して等化された再生信号を提供するための手段と、

前記等化手段と結合されて、等化された再生信号を受信し、その再生信号を記録媒体上に記憶されたデータを示すデジタル出力信号に転換するための手段とを有し、前記等化手

段が、余弦関数に基づいて等化する手段のための係数を適応的に更新する手段を用いて実装されることを特徴とする読み取りチャネル。

【請求項４６】

記録媒体上に記録された符号及び非符号を再生することで得られる再生信号の波形を等化する波形等化器において、

再生信号の伝播を遅らせる手段と、

前記再生信号と遅延手段からの遅延信号に所定の係数を掛け合わせる手段と、

前記乗算のための手段の所定の係数を適応的に更新する手段と、

前記乗算手段からの出力を加算する手段とを有し、

前記所定の係数を適応的に更新する手段が余弦関数に基づいて所定の係数を更新することを特徴とする波形等化器。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示は一般的にはデータ・チャネルにおけるデータ信号検出に関しており、より具体的には動的な等化器最適化を行うための装置に関するものである。

【背景技術】

【０００２】

コンピュータのハードウエア及びソフトウエア技術が引き続き進歩しており、コンピュータ・ソフトウエア及びデータを保存するためのより大容量でしかもより高速な大容量記憶装置のニーズは引き続き増大している。電子データベースおよびマルチメディア・アプリケーションなどのコンピュータ・アプリケーションは大量のディスク記憶スペースを必要としている。

【０００３】

大容量記憶装置メーカーは大容量データの高速ハード・ディスク・ドライブを一層の低コストで生産しようとしている。高速ハード・ディスク・ドライブはデータをより高速に記憶し検索できる装置である。ディスク・ドライブの高速化及び大容量化の一側面は面積密度を改良し増大することである。面積密度はデータの保存検索方法を改良することによって増大することができる。

【０００４】

一般的に、ハード・ディスク・ドライブなどの大容量記憶装置及びシステムは回転ディスクあるいはプラターなどの磁気記憶媒体、スピンドル・モータ、記録／再生ヘッド、アクチュエータ、プリアンプ、読み取りチャネル、書き込みチャネル、サーボ・コントローラあるいはデジタル信号プロセッサ、及びハード・ディスク・ドライブの動作を制御し、ハード・ディスク・ドライブとホストあるいはシステム・バスとの適切なインターフェースを提供するための制御回路を含んでいる。読み取りチャネル、書き込みチャネル、サーボ・コントローラ、及びメモリはデータ・チャネルと呼ばれる一体化された回路として実装することもできる。この制御回路はハード・ディスク・ドライブの動作中に制御プログラムあるいは命令を実行するためのマイクロプロセッサを含んでいることが多い。

【０００５】

ハード・ディスク・ドライブはデータを記憶し検索する際に書き込み及び読み取り動作を行う。一般的なハード・ディスク・ドライブはデータをホスト・インターフェースからその制御回路に転送することによって書き込み動作を行う。そうすると制御回路はローカル・ダイナミック・ランダム・アクセス・メモリにそのデータを保存する。制御回路プロセッサは書き込みチャネルを介してディスク・プラターに情報を提供できるように一連のイベントをスケジュール管理する。この制御回路は記録／再生ヘッドを適切なトラックに移動させてそのトラックの適切なセクタの位置を定める。最後に、ハード・ディスク・ドライブ制御回路はダイナミック・ランダム・アクセス・メモリからディスク・プラターの位置決めされたセクタに書き込みチャネル介してデータを転送する。１つのセクタは通常５１２バイトのユーザ・データに相当する固定データ記憶割り当てを有している。書き込

みクロックは書き込みチャネル内の書き込み動作のタイミングを制御する。この書き込みチャネルは後でより安定して検索できるようにデータをコード化することができる。

【０００６】

読み取り動作においては、再生ヘッドを適切に位置決めして読み取るべき適切なセクタの場所を決め、そのディスクに以前書き込まれたデータを読み取る。記録／再生ヘッドはディスク・プラターの磁束の変化を感知して、対応するアナログ読み取り信号を発生させる。読み取りチャネルはこのアナログ信号を受信して、その信号を調整し、その信号から０と１を検出する。読み取りチャネルは自動ゲイン制御（ＡＧＣ）技術を用いて適切なレベルに信号を増幅することによってその信号を調節する。そして次に読み取りチャネルはその信号をフィルタリングして望ましくない周波数ノイズを除去し、チャネルを等化し、その信号から０と１を検出し、その２値データを制御回路用にフォーマット化する。この２値あるいはデジタル・データは次に読み取りチャネルから転送されて、制御回路のＤＲＡＭ内に保存される。次にプロセッサはデータが伝送可能であることをホストに知らせる。読み取りクロックは読み取りチャネルの読み取り動作のタイミングを制御する。

【０００７】

ディスク・プラターが作動すると、記録／再生ヘッドは特定のトラック上に位置あわせあるいは存在しなければならない。これはサーボ・ウェッジと呼ばれるディスクから補助情報を読み取ることによって達成される。サーボ・ウェッジは半径方向とトラックの周方向の両方でのヘッドの位置を示す。データ・チャネルがこの位置情報を受け取るので、サーボ・コントローラは引き続きヘッドをそのトラック上に適切に位置決めすることができる。

【０００８】

従来のハード・ディスク・ドライブあるいは読み取りチャネルは磁気媒体上に保存されたアナログ情報からデジタル情報を抽出あるいは検出するためにピーク検出として知られている技術を用いていた。この技術においては、波形がレベル検出され、そして、波形レベルがサンプリング・ウィンドウ中に閾値以上であれば、データは“１”とみなされる。より最近は面積密度を改良するために、個別時間信号処理を用いてディスクに書き込まれたオリジナル・データを再構成する最新の技術が読み取りチャネル電子技術で用いられている。これらの技術においては、データはデータ・リカバリ・クロックを用いて同期的にサンプリングされる。そしてサンプルを、信号処理理論を用いて一連の数学的演算を介して処理している。

【０００９】

同期的にサンプリングされるデータ・チャネルにはいくつかのタイプがある。部分応答、最大尤度（ＰＲＭＬ）、拡張されたＰＲＭＬ（ＥＰＲＭＬ）、強化拡張されたＰＲＭＬ（ＥＥＰＲＭＬ）、固定遅延ツリー検索（ＦＤＴＳ）、そして決定フィードバック等化（ＤＦＥ）などが個別時間信号処理技術を用いて同期的にサンプリングされたデータ・チャネルの異なるタイプとして例示される。これらのシステムの多くで行われる最大尤度検出は、通常ビタビ・アルゴリズムを実装するビタビ検出装置によって実行される。

【００１０】

同期的にサンプリングされるデータ・チャネルや読み取りチャネルは一般に読み取り作業を実行するための混合モード回路を必要とする。上記回路はアナログ信号増幅、自動ゲイン制御（ＡＧＣ）、連続時間フィルタリング、信号サンプリング、個別時間処理操作、タイミング・リカバリ、信号検出、及びフォーマット設定などの機能を行うことができる。同期的にサンプリングされる全てのデータ・チャネルにおいて、読み取り作業中の重要な目的は最も高いノイズ環境でも最低のビット誤り率で正確にデータを取得することである。

【００１１】

磁気及び光学記録システムの記録密度を制限する基本的な影響のひとつに符号間干渉（ＩＳＩ）がある。この影響はヘッドと媒体の組み合わせで生じる帯域制限の性質によるもので、媒体上に順次記録される遷移のために応答が重複するという結果を招く。つまり、

ある時間の瞬間において、媒体からの出力信号はその瞬間の入力符号による応答だけでなく以前に記録された符号からの応答によって構成される。この重複の量と範囲は線記録密度が増すにつれて増加し、通常非常に複雑で、単純な装置では解明が難しい符号間のパターンの重複が発生する。

【００１２】

受信信号を等化するためには有限インパルス応答フィルタリングが使用できる。例えば、通信チャネルにより導入される符号間干渉を低減するために、適応フィルタを用いてかなり精密な等化を行うことができる。しかし、適応フィルタはノイズ削除、線形予測、適応信号の増強、適応制御にも使用できる。

【００１３】

適応フィルタは自己調節可能なデジタル・フィルタであり、多種多様な信号条件に応じて異なるフィルタ特性を必要とするアプリケーションで使用される。適応フィルタは係数を更新する能力を備えている。適応フィルタに対する係数は係数生成装置から新規の係数をフィルタに送信することにより更新される。係数生成装置は着信する信号に応じて係数を修正する適応アルゴリズムである。

【００１４】

等化器性能の重要な特徴はその収束にある。最初にある程度のトレーニング期間を経ると、適用等化器の係数は適切なアルゴリズムに従って決定指向の方法で連続的に調整可能となる。このモードにおいて、送信順の最終受信器推定（必ずしも正確ではない）から誤差信号が出される。通常の動作では、受信器の決定は高い確率で正確であるため、誤差推定は適応等化器が精密な等化を維持するには十分正確である場合が多い。さらに、決定指向の適応等化器はチャネル特性の低速振動やサンプリング位相の緩慢な変動（ジッター）といった受信器入力側の線形摂動をトラックすることができる。

【００１５】

従って、有限インパルス応答フィルタを記述する望ましい等化器タップを決定するためには適切なアルゴリズムを使用しなければならない。この問題を解決する直接的な方法は、ディスクに既知のパターンを書き込み、そのパターンをリードバックし、書き込まれたパターンをデコンボリューション処理してシステム応答を得ることにより等化器タップの連立方程式を直接解くというものである。この方法は最初に既知のパターンをディスクに書き込む必要がある。

【００１６】

もう１つの（よく）知られたソリューションはＬＭＳ（リースト・ミーン・スクエア）アルゴリズムである。最小２乗（ＬＭＳ）誤差適応フィルタリング方式は、非特許文献１に記載されている。符号間干渉を低減するための適応等化器におけるＬＭＳの使用については、非特許文献２で論じられている。

【００１７】

【非特許文献１】「Ｂ．Ｗｉｄｒｏｗ ａｎｄ Ｍ．Ｅ．Ｈｏｆｆ、Ｊｒ．、“Ａｄａｐｔｉｖｅ Ｓｗｉｔｃｈｉｎｇ Ｃｉｒｃｕｉｔｓ”ｉｎ ＩＲＥ Ｗｅｓｃｏｎ Ｃｏｎｖ．Ｒｅｃ．、Ｐａｒｔ ４．ｐｐ．９６-１０４、Ａｕｇｕｓｔ １９６０」

【非特許文献２】「Ｓ．Ｕ．Ｈ．Ｑｕｒｅｓｈｉ、“Ａｄａｐｔｉｖｅ Ｅｑｕａｌｉｚａｔｉｏｎ”、Ｐｒｏｃ．ＩＥＥＥ、Ｖｏｌ．７３、Ｎｏ．９、ｐｐ．１３４９-１３８７、Ｓｅｐｔｅｍｂｅｒ １９８７」

【発明の開示】

【発明が解決しようとする課題】

【００１８】

ＬＭＳ等化器では、等化器フィルタ係数が、等化器の出力時における全てのＩＳＩ期間とノイズ電力の２乗和である平均２乗誤差を最小にするために選択される。従ってＬＭＳ等化器は、その出力時に、等化器の時間範囲と等化器による遅延の制約条件内で信号対歪み比を最大にする。正規のデータ送信を始める前に、トレーニング期間中に未知のチャネル用のＬＭＳ等化器を自動合成することができる。これは通常、一連の連立方程式の反復

解法を伴う。上記トレーニング期間中に既知の信号が送信され、チャネル特性に関する情報を取得するためにその信号の同期バージョンが受信器で生成される。トレーニング信号は周期的な孤立パルス、または周知の最長シフト・レジスタや擬似ノイズ・シーケンスなどの広範な同一スペクトルを含む連続シーケンスで構成することができる。しかし、ＬＭＳ等化器の収束速度は比較的遅いため帯域幅がトレーニング・シーケンスのために消費されてしまう。しかもＬＭＳソリューションは直接的な方法と同じソリューションに収束しない。

【００１９】

従って、動的な等化器最適化を行うための装置が必要であることが理解されよう。

【課題を解決するための手段】

【００２０】

上記従来技術の限界を克服するとともに本明細書を読み理解するうえで明らかになるその他の制約を克服するために、本発明は動的な等化器最適化を行うための装置を開示する。

【００２１】

本発明は直接的な方法と同じソリューションに収束する等化器係数更新を提供することにより、最初に既知のパターンをディスクに書き込んだり、すでにディスクに書き込まれたデータの知識を事前に得ることなく上記の問題を解決する。適応余弦関数はＤＦＩＲタップ・セットのみ、すなわち余弦等化器のjパラメータとkパラメータのみを修正するか、あるいはＤＦＩＲフィルタのタップ・セットと余弦等化器のパラメータｊ、ｋの両方を修正するために使用できる。ＬＭＳアルゴリズムなどの別のアルゴリズムは余弦アルゴリズムで修正されないパラメータを修正するために使用できる。

【００２２】

本発明の原理に基づく読み取りチャネルは、デジタル信号を等化して、等化された再生信号を提供するように構成された等化器と、等化された再生信号を受信してその再生信号を記録媒体に記憶されたデータを示すデジタル出力信号に変換することができるビタビ検出装置とで構成され、上記等化器が余弦関数に基づいて等化器係数を適応的に更新する係数学習回路を用いて実装される。

【００２３】

本発明の別の実施形態では波形等化器が提供される。波形等化器は再生信号の伝播を遅らせる遅延要素と、所定の係数を再生信号と遅延要素からの遅延信号で掛け合わせる複数の乗算器と、上記複数の乗算器のそれぞれについて所定の係数を適応的に更新する係数学習回路と、上記複数の乗算器からの出力を加算する加算器とを有し、上記係数学習回路が余弦関数に基づいて等化器係数を適応的に更新する。

【００２４】

本発明の別の実施形態では信号処理システムが提供される。信号処理システムは内部にデータを記憶するためのメモリと、上記メモリに結合されてデジタル信号を等化することで等化された再生信号を提供するプロセッサとを有し、上記プロセッサが余弦関数に基づいて等化器係数を適応的に更新する。

【００２５】

本発明の別の実施形態では磁気記憶装置が提供される。磁気記憶装置はデータを記録するための磁気記憶媒体と、上記磁気記憶媒体を駆動するためのモータと、上記磁気記憶媒体上のデータを書き込み及び読み取るためのヘッドと、上記磁気記憶媒体に対してヘッドを位置づけするためのアクチュエータと、そして上記磁気記憶媒体上のコード化された信号を処理するデータ・チャネルであって、デジタル信号を等化して、等化された再生信号を提供するように構成された等化器と、等化された再生信号を受信してその再生信号を記録媒体に記憶されたデータを示すデジタル出力信号に変換することができるビタビ検出装置とで構成されるデータ・チャネルを有し、上記等化器が余弦関数に基づいて等化器関数を適応的に更新する係数学習回路を用いて実装される。

【００２６】

本発明の別の実施形態では別の読み取りチャネルが提供される。この読み取りチャネルはデジタル信号を等化し、等化された再生信号を提供するための手段と、上記等化手段に結合されて等化された再生信号を受信することによりその再生信号を記録媒体上に記憶されたデータを示すデジタル出力信号に変換する手段とを有し、上記等化手段が余弦関数に基づいて上記等化手段の関数を適応的に更新するための手段を用いて実装される。

【００２７】

本発明の別の実施形態では別の波形等化器が提供される。この波形等化器は再生信号の伝播を遅らせる手段と、所定の係数を再生信号と上記遅延手段からの遅延信号で掛け合わせる手段と、所定の係数を上記乗算手段のために適応的に更新する手段と、上記乗算手段からの出力を加算する手段とを有し、上記所定の関数を適応的に更新する手段が余弦関数に基づいて所定の係数を更新する。

【００２８】

本発明を特徴づけるこれらの利点及び他の各種利点と新規性の特徴は附属の特許請求の範囲に詳細に指摘され、かつ本発明の一部を形成するものである。しかし、本発明とその利点及びその使用から得られる目的をより一層理解するために、本発明の一部を形成する図面と付随の記述事項に基づいて本発明に係る装置の具体例の説明を行う。

【発明の効果】

【００２９】

本発明によれば、動的な等化器最適化を行うための装置を提供することができる。

【発明を実施するための最良の形態】

【００３０】

ここで図面を参照するが、全図を通じて対応する部分には同様の符号を付している。以下の実施形態の説明ではその一部を形成する添付図面への参照を行うが、これらの図面では本発明を実施できる具体的な実施形態が図解されている。なお、本発明の範囲から逸脱せずに構造上の変更が可能であることから、別の実施形態も利用できる。

【００３１】

本発明は動的等化器最適化を行うための装置を提供する。本発明は、最初に既知のパターンをディスクに書き込むことなく、またすでにディスクに書き込まれたデータの知識を事前に得ることなく、直接的な方法と同一のソリューションに収束する等化器係数更新を提供する。適応余弦関数はＤＦＩＲタップ・セットのみ、すなわち余弦等化器のｊ、ｋパラメータのみを修正するか、あるいはＤＦＩＲフィルタのタップ・セットと余弦等化器のｊ、ｋパラメータの両方を修正するために使用できる。ＬＭＳアルゴリズムなどの別のアルゴリズムは余弦アルゴリズムで修正されないパラメータを修正するために使用できる。

【００３２】

図１は本発明の１実施形態に係る記憶システム１００の説明図である。図１ではトランスデューサ１１０がアクチュエータ１２０の管理下にある。アクチュエータ１２０はトランスデューサ１１０の位置を制御する。トランスデューサ１１０は磁気媒体１３０上のデータの読み取りと書き込みを行う。読み取り／書き込み信号はデータ・チャネル１４０に渡される。信号処理システム１５０はアクチュエータ１２０を制御してデータ・チャネル１４０の信号を処理する。さらに、媒体変換装置１６０は信号処理システム１５０によって制御され、磁気媒体１３０をトランスデューサ１１０に対して移動させる。しかし、本発明は記憶システム１００のタイプや記憶システム１００内で使用される媒体１３０のタイプを特に限定するものではない。

【００３３】

図２は本発明の１実施形態に係る磁気ディスク・ドライブ装置２００のブロック図である。図２ではディスク２１０がスピンドル・モータ２３４によって回転し、各ヘッド２１２が対応するそれぞれのディスク２１０の表面に位置づけられる。ヘッド２１２はＥ型ブロック・アセンブリ２１４からディスク２１０に延びた対応するサーボ・アームに取り付けられる。ブロック・アセンブリ２１４は、ブロック・アセンブリ２１４を移動させて、１つ以上のディスク２１０の所定位置からデータを読み込む又は所定位置にデータを書き

込むためにヘッド２１２の位置に移動する付属の回転式ボイス・コイル・アクチュエータ２３０を有している。

【００３４】

プリアンプ２１６はヘッド２１２で取り込まれた信号を前置増幅して、読み取り動作中に増幅された信号を読み取り／書き込み・チャネル回路２１８に提供する。書き込み動作中には、プリアンプ２１６が読み取り／書き込み・チャネル回路２１８からコード化された書き込みデータ信号をヘッド２１２に転送する。読み取り動作では、読み取り／書き込み・チャネル回路２１８がプリアンプ２１６で提供された読み取り信号からデータ・パルスを検出してそのデータ・パルスをデコードする。読み取り／書き込み・チャネル回路２１８はデコードされたデータ・パルスをディスク・データ・コントローラ（ＤＤＣ）２２０に転送する。さらに、読み取り／書き込み・チャネル回路２１８はＤＤＣ２２０から受信した書き込みデータをデコードして、プリアンプ２１６にそのデコードされたデータを提供する。

【００３５】

ＤＤＣ２２０は、ホスト・コンピュータ（図示せず）から受信したデータを、読み取り／書き込み・チャネル回路２１８とプリアンプ２１６を介してディスク２１０上に書き込むとともに、読み取りデータをディスク２１０からホスト・コンピュータに転送する。ＤＤＣ２２０はまた、ホスト・コンピュータとマイクロコントローラ２２４の間のインターフェースを提供する。バッファＲＡＭ（ランダム・アクセス・メモリ）２２２はＤＤＣ２２０とホスト・コンピュータ、マイクロコントローラ２２４、及び読み取り／書き込み・チャネル回路２１８の間で転送されたデータを一時的に記憶する。マイクロコントローラ２２４は、ホスト・コンピュータからの読み取り命令や書き込み命令に従ってトラック検索機能とトラック追従機能を制御する。

【００３６】

ＲＯＭ（リード・オンリー・メモリ）２２６はマイクロコントローラ２２４及び各種設定値のための制御プログラムを記憶する。サーボ・ドライバ２２８は、ヘッド２１２の位置制御を行うマイクロコントローラ２２４から発生する制御信号に応じて駆動アクチュエータ２３０のための駆動電流を発生させる。駆動電流はアクチュエータ２３０のボイス・コイルに適応される。アクチュエータ２３０はサーボ・ドライバ２２８から供給される駆動電流の方向と量に基づき、ディスク２１０に対してヘッド２１２を位置づけする。スピンドル・モータ・ドライバ２３２は、ディスク２１０を制御するために、マイクロコントローラ２２４から発生する制御値に基づきディスク２１０を回転させるスピンドル・モータ２３４を駆動する。

【００３７】

図３は、ＰＲＭＬ検出を使用する図２の読み取り／書き込み・チャネル回路３００のブロック図である。図３では、読み取り／書き込み・チャネル回路３００は、読み取り／書き込み手段及び記録媒体を有する物理記録チャネル３３８と、記録媒体にデータを書き込むための書き込みチャネル回路３４０と、記録媒体からデータを読み取るための読み取りチャネル回路３４２とを含む。書き込みチャネル回路３４０はエンコーダ３４４と、プリコーダ３４６と、書き込み前置補償器３４８とで構成される。読み取りチャネル回路３４２は自動ゲイン制御（ＡＧＣ）増幅器３５０と、ロー・パス・フィルタ（ＬＰＦ）３５２と、アナログ・デジタル変換器（ＡＤＣ）３５４と、適応等化器３５６と、ビタビ検出装置３５８と、ゲイン・コントローラ３６０と、タイミング・コントローラ３６２と、デコーダ３６４とで構成される。ビタビ検出装置３５８は照合フィルタ（図３に図示せず）を含む。

【００３８】

エンコーダ３４４は動作中、記録媒体に書き込むために入力された書き込みデータを所定のコードにコード化する。例えば、ＲＬＬ（ラン・レングス・リミテッド）コードは隣接するゼロ（０）の数が特定の最大値と最小値の間でなければならないコードで、一般に上記所定コードのために使用される。しかし、本発明ではＲＬＬに限らず他のコーディン

グも使用可能である。プリコーダ３４６は誤差伝播を防止するために含まれる。読み取り前置補償器３４８は記録／再生ヘッドから生じる非線形の影響を低減する。しかし、実際の記録チャネルの応答はこの転送関数と正確に一致するわけではないため、その後も若干の等化が常に必要となる。

【００３９】

自動ゲイン制御（ＡＧＣ）増幅器３５０はディスクから読み取ったアナログ信号を増幅する。ロー・パス・フィルタ３５２はＡＧＣ増幅器３５０から高周波ノイズを除去し、ＡＧＣ増幅器３５０から出力された信号を再構築する。ロー・パス・フィルタ３５２から出力された信号はアナログ・デジタル（Ａ／Ｄ）変換器３５４によって個別のデジタル信号に変換される。そして変換されたデジタル信号は、符号間干渉（ＩＳＩ）を適応的に制御して望ましい波形を生成する適応等化器３５６に適応される。ビタビ検出装置３５８は適応等化器３５６から出力された等化信号を受信して、その出力信号からコード化されたデータを生成する。デコーダ３６４はビタビ検出装置３５８から出力されたコード化データをデコードして最終的な読み取りデータを生成する。同時にアナログ信号エンベロープとデジタル処理のサンプリング・タイミングを補正するために、ゲイン・コントローラ３６０がＡＧＣ増幅器３５０のゲインを制御し、タイミング・コントローラ３６２がＡ／Ｄ変換器３５４のサンプリング・タイミングを制御する。

【００４０】

図４は本発明の１実施形態に係る等化器４００の説明図である。図４では入力信号４１０がシフト・レジスタ回路４１２に送り込まれる。シフト・レジスタへの連続する各入力によってメモリ要素４２０の値がタップオフされる。タップされた信号は選択係数４４０によって乗算される４３０。そして乗算されたタップ信号４５０は加算され４６０、出力４７０を提供する。

【００４１】

図５は本発明の１実施形態に係る等化器５００の各ステップでの信号を示す機能ブロック図である。図５では、入力時に、検出される書き込みビットa_k５１０が提供される。記録媒体からビットをリードバックする場合、例えば、各論理“１”は対極する２つのローレンツ型様の二重パルスである双ビット応答を生成するが、論理“０”は出力を全く生成しない。図５では、h_k５１２がシステム双ビット応答を表している。従って、s_k５１４はノイズなしのリードバック信号である。ノイズなしのリードバック信号s_k５１４はノイズ不正リードバック信号n_k５２０に結合されてノイズ的なリードバック信号x_k５３０となる。ノイズ的なリードバック信号x_k５３０はＤＦＩＲフィルタ・タップ重量w_k５４０によって調節されてノイズ的な等化リードバック信号y_k５５０を生成する。望ましい無ノイズ信号d_k５７０は、検出される書き込みビットa_k５１０と、例えばＰＲ４に対して（t_k、t_{k-1}、t_{k-2}）＝（１、０、－１）となるような目標応答t_k５６０から導かれる。ノイズ的な等化リードバック信号y_k５５０と望ましい無ノイズ信号d_k５７０との差は、$y_k - d_k$の式で与えられる誤差信号e_k５８０となる。

【００４２】

ＤＦＩＲフィルタ・タップ重量w_k５４０は、ｇを更新減衰ゲイン、ｆ（）を後述する関数として、$w_i = w_i - g * f(a_{k-i}) * e_k$の式で与えられる更新アルゴリズムに基づいて更新される。上述したように、ＤＦＩＲフィルタ・タップ重量５４０を決定する直接的な方法は、ディスクに既知のパターンを書き込み、そのパターンをリードバックし、書き込まれたパターンをデコンボリューション処理してシステム応答を得た後に等化器タップ重量５４０の連立方程式を解くというものである。この方法では最初に既知のパターンをディスクに書き込む必要がある。より一般的には、$w_i = w_i - g * x_{k-i} * e_k$の式で与えられるＬＭＳアルゴリズムがＤＦＩＲフィルタ・タップ重量５４０の更新に用いられる。ＬＭＳ等化器では、等化器フィルタ係数が、等化器出力における全てのＩＳＩ期間とノイズ電力の２乗和である平均２乗誤差を最小化するために選択される。しかしＬＭＳ等化器の収束速度は比較的遅く、帯域幅はトレーニング・シーケンスのために消費されてしまう。しかも、ＬＭＳソリューションは直接的な方法と同じソリューションに

収束しない。

【００４３】

図６は、本発明の１実施形態に係るＤＦＩＲフィルタのタップ重量を更新するためのシステム６００を示すブロック図である。図６では、既存のＤＦＩＲタップ重量６１０が所定のパラメータを有する余弦等化器６２０に適応されて新規のＤＦＩＲタップ重量６３０を提供する。上記パラメータについては以下で説明する。

【００４４】

余弦等化器６２０は、適正なスターティングＤＦＩＲタップ・セットがすでに存在し（例えば、製造段階で取得され）ており、若干の調整（例えば浮上量の変動、温度変動などの補正）のみが必要な場合に有利である。余弦等化器６２０は等化器タップを適応的に変更して全体の誤り率を改善するだけでなく、高速のデータ・リカバリ手順としても有益である。余弦等化器６３０は、最初に既知のパターンを書き込んだり、すでにディスクに書き込まれたデータの知識を事前に得ることなく、上記の直接的な方法と同じソリューションに収束する。

【００４５】

余弦等化器６２０はディスク上に存在するいかなる未知の顧客データでもリードバックするために使用できる。これは、ある特定のデータ・リカバリ状況において大きな効果を発揮する。例えば、低温時に書き込まれたデータを高温時にリードバックする場合などが考えられる。読み取りチャネルから見た有効なビット密度は温度変動によって大きく変化するため、必須の最適な等化器タップ設定に影響する。上記変化は、回復したセクタ上で直接動作するアルゴリズムを付加する際に自動的に考慮される。最初に既知のデータ・パターンの書き込みが必要なアルゴリズムを用いる場合、各セクタに対して読み取り温度を同様にすることは極めて困難だと考えられる。

【００４６】

図７は本発明の１実施形態に係るｋ余弦関数を示すダイアグラム７００である。図７の余弦等化器ダイアグラム７００はマグニチュード応答を調節するための単一パラメータｋを含む。図７では、ｋを余弦等化器パラメータとして余弦等化器がｋ７１０、１７２０、ｋ７３０で表されている。従って、４タップＤＦＩＲに既存タップw_1、w_2、w_3、w_4が付加されると、余弦等化器７００のＤＦＩＲタップ重量は$w_1 + kw_2$、$kw_1 + w_2 + kw_3$、$kw_2 + w_3 + kw_4$、$kw_3 + w_4$の式で与えられる。Ｎタップで開始すると、コンボリューション処理はＮ＋２タップとなるｋパラメータを用いるために切り捨てが行われ、最終的な結果は最初と最後の２値を削除することによりＮタップまで戻って切り捨てられる。

【００４７】

図８は本発明の別の実施形態に係るｊ、ｋ余弦関数を示すダイアグラム８００である。図８の余弦等化器ダイアグラム８００は、マグニチュード応答を調節するｋパラメータと位相応答を調節するｊパラメータとを含む。図８では、ｋをマグニチュード応答を調節するための余弦等化器パラメータ、ｊを位相応答を調節するための余弦等化器パラメータとして余弦等化器がｊ８０２、＋ｋ８１０、１８２０、＋ｋ８３０、－ｊ８４０で表されている。Ｎタップで開始すると、コンボリューション処理はＮ＋４タップとなるｊ、ｋパラメータを用いるために切り捨てが行われ、最終的な結果は最初と最後の２値を削除することによりＮタップまで戻って切り捨てられる。

【００４８】

図９は本発明の１実施形態に係る等化器９００の各ステップにおける信号を示す機能ブロック図である。図９では検出される読み取りビットa_k９１０が入力時に提供される。記録媒体からビットをリードバックすると、例えば各論理“１”は２つの対極するローレンツ型様の二重パルスである双ビット応答を生成するが、論理“０”は出力を全く生成しない。図９ではh_k９１２がシステム双ビット応答を表している。従って、s_k９１４はノイズなしのリードバック信号となる。ノイズなしのリードバック信号s_k９１４はノイズ不正リードバック信号n_k９２０に結合されて、ノイズ的なリードバック信号x_k９３

0となる。ノイズ的なリードバック信号x_k９３０はＤＦＩＲフィルタ９３２と余弦等化器９４０によって調節される。余弦等化器９４０はノイズ的な等化リードバック信号y_k９５０を生成する。望ましい無ノイズ信号d_k９７０は検出される書き込みビットa_k９１０と目標応答t_k９６０から導かれる。繰り返しになるが、ノイズ的な等化リードバック信号y_k９５０と望ましい無ノイズ信号d_k９７０との間の差は$y_k - d_k$で与えられる誤差信号e_k９８０である。しかし、ＤＦＩＲフィルタ９３２のタップ重量や余弦等化器９４０のタップ重量は誤差信号e_k９８０と余弦アルゴリズムを用いて更新される。

【００４９】

例えば、適応余弦関数はＤＦＩＲタップ・セット９３２のみを修正するために使用できる。ＬＭＳアルゴリズムなどの別のアルゴリズムは余弦等化器９４０のｊとｋを修正するために使用できる。また、適用余弦関数は余弦等化器のｊパラメータとｋパラメータのみを修正するために使用できる。上述したように、ＬＭＳアルゴリズムなどの別のアルゴリズムはＤＦＩＲフィルタ９３２のタップ・セットを修正するために使用できる。さらに、適用余弦関数は、ＤＦＩＲフィルタ９３２のタップ・セットと余弦等化器９４０のｊ、ｋパラメータの両方を修正するために使用できる。

【００５０】

マグニチュード応答を修正するパラメータのみを使用して、ｇを更新減衰ゲイン、ｆ（）を選択された余弦関数に基づくものとする$w_i = w_i - g^* f(a_{k-i})^* e_k$の式によりＤＦＩＲフィルタ９３２のタップ重量が更新される。従って、ＬＭＳアルゴリズムと比べると、余弦等化器は修正されたタップ更新式を提供してx_{k-i}を$f(a_{k-i})$に置き換える。しかし、上記のようにパラメータｊは位相を修正するために含めることもできる。

【００５１】

図１０は本発明に係る余弦等化器の関数ｆ（）１０１０を示すチャート１０００である。図１０は関数１０２０と関数１０１０の詳細を示している。図１０によると、$f(a_{k-i})$はＰＲ４応答１０５２が付加されたa_{k-i}を有する$a_{k-i} - a_{k-i-2}$１０５０であるように選択できる。また、$f(a_{k-i})$は、ＥＰＲ４応答１０６２が付加されたa_{k-i}を有する$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$１０６０と等しくなるように選択できる。さらに、$f(a_{k-i})$は、$t_k$１０７２が付加された$a_{k-i}$を有する$a_{k-i}\,t_k$１０７０と等しくなるように、あるいは$h_k$１０８２が付加された$a_{k-i}$を有する$a_{k-i}\,h_k$１０８０であるように選択できる。

【００５２】

上述した実施形態のそれぞれについて、マグニチュード応答を修正するためのタップ更新アルゴリズムは$k = k - g^*(f(a_{k+1}) + f(a_{k-1}))^* e_k$となる。例えば、ＰＲ４応答１０５２に対応する$f(a_k) = a_k - a_{k-2}$１０５０の場合、更新は$k = k - g^*(a_{k+1} - a_{k-3})^* e_k$となる。$f(a_k)$がＥＰＲ４応答１０６２に対応する$a_{k-i} + a_{k-i-1} - a_{k-i-2} - a_{k-i-3}$１０６０である場合、更新は$k = k - g^*(a_{k+1} + a_k - a_{k-3} - a_{k-4})^* e_k$となる。$f(a_k) = a_{k-i}\,t_k$１０７０の場合、更新は$k = k - g^*(a_{k+i}\,t_{k+1} + a_{k-i}\,t_{k-1})^* e_k$となる。$f(a_k) = a_{k-i}\,h_k$１０８０の場合、更新は$k = k - g^*(a_{k+i}\,h_{k+1} + a_{k-i}\,h_{k-1})^* e_k$となる。従って、当業者はこれらの原理がＥ^{2}ＰＲ４フィルタなどの他のタイプのフィルタにも拡大できることを認識するだろう。

【００５３】

また上述した実施形態のそれぞれについて、位相応答を修正するためのタップ更新アルゴリズムは$j = j - g^*(f(a_{k+2}) + f(a_{k-2}))^* e_k$となる。例えば、ＰＲ４応答１０５２に対応する$f(a_k) = a_k - a_{k-2}$１０５０の場合、更新は$j = j - g^*(a_{k+2} - a_k + a_{k-2} - a_{k-4})^* e_k$となる。ＥＰＲ４応答を付加された$a_{k-i}$、$t_k$（目的応答）を付加された$a_{k-i}$、及び$h_k$（双ビット応答）を付加された$a_{k-i}$などのｊ更新も同じ方法で得ることができる。

【００５４】

本発明の１実施形態に係る係数更新ループは余弦アルゴリズムを使用する。理想的な余弦アルゴリズムの周波数応答は、低周波数における余弦関数と高周波数における全減衰を含む。しかし、本発明はタップ係数を更新するための余弦アルゴリズムに厳密に限定されるものではない。本発明の別の実施形態に係る適応フィルタは二乗余弦アルゴリズムを用いて実装できる。理想的な二乗余弦アルゴリズムの周波数応答は、低周波数における統一ゲインと、中周波数における二乗余弦関数と、高周波数における全減衰から構成される。中周波数の幅はロール・オフ係数定数アルファα（０＜α＜１）で定義される。

【００５５】

本発明の実施形態に係る余弦等化器は、前提パターン周波数（０．２５Ｔ同期パターン）でのＤＦＩＲのゲインや位相応答を修正することなく線形位相によるマグニチュード調整を行う。この特性はタイミングとゲイン・リカバリ・ループの整合性を維持する上で重要となり得る。

【００５６】

図１１は本発明の１実施形態において、ゼロ（０）に設定されたｊパラメータ１１２０を有する余弦等化器の正規化周波数に対するマグニチュード１１００及び位相１１５０を示すグラフである。

図１２は本発明の１実施形態において、ゼロ（０）に設定されたｋパラメータ１２３０を有する余弦等化器の正規化周波数に対するマグニチュード１２００及び位相１２５０を示すグラフである。

【００５７】

図１から図１２に基づいて説明したプロセスは、コンピュータが読み取り可能な媒体、あるいは、例えば図１に示された１つ以上の固定されたデータ記憶装置１８８や取り外し可能なデータ記憶装置１８８、または他のデータ記憶装置やデータ通信装置などのキャリアにおいて具体化され得る。またコンピュータ・プログラム１９０をメモリ１７０にロードすると、コンピュータ・プログラム１９０を実行するためのプロセッサ１７２を構成することができる。コンピュータ・プログラム１９０に含まれる命令は、図１のプロセッサ１７２によって読み取られて実行され、本発明の１実施形態のステップや要素を実行するために必要なステップを上記装置に実行させる。

【００５８】

前述した本発明の実施形態例は説明と解説を目的としたものであり、本発明を開示された形態に厳密に限定するものではない。上記教示を考慮して多くの修正や変更が可能である。本発明の範囲はこの詳細な説明に限定されるものではない。

【図面の簡単な説明】

【００５９】

【図１】本発明の１実施形態に係る記憶システムの説明図である。

【図２】本発明の1実施形態に係る磁気ディスク・ドライブ装置のブロック図である。

【図３】ＰＲＭＬ検出を用いる図２の読み取り／書き込み・チャネル回路のブロック図である。

【図４】本発明の１実施形態に係る等化器の説明図である。

【図５】本発明の１実施形態に係る等化器の各ステップでの信号を示す機能ブロック図である。

【図６】本発明の１実施形態に係るタップ重量を更新するためのシステムを示すブロック図である。

【図７】本発明の１実施形態に係るｋ余弦関数を示すダイアグラムである。

【図８】本発明の１実施形態に係るｊ、ｋ余弦関数を示すダイアグラムである。

【図９】本発明の１実施形態に係る等化器の各ステップでの信号を示す機能ブロック図である。

【図１０】本発明に係る余弦等化器の関数を示すチャートである。

【図１１】本発明の１実施形態においてゼロ（０）に設定されたｊパラメータを有する余弦等化器の正規化周波数に対するマグニチュードと位相を示すグラフである。

【図１２】本発明の１実施形態においてゼロ（０）に設定されたｋパラメータを有する余弦等化器の正規化周波数に対するマグニチュードと位相を示すグラフである。

【符号の説明】

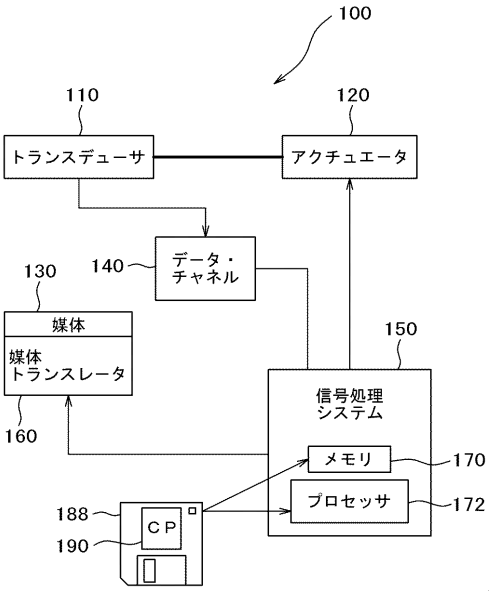
【００６０】

１００…記憶システム、
１１０…トランスデューサ、
１２０…アクチュエータ、
１３０…媒体、
１４０…データ・チャネル、
１５０…信号処理システム、
１６０…媒体トランスレータ、
１７０…メモリ、
１７２…プロセッサ、
１８８…データ記憶装置、
１９０…コンピュータ・プログラム、
２００…磁気ディスク・ドライブ装置、
２１０…ディスク、
２１２…ヘッド、
２１４…Ｅ型ブロック・アセンブリ、
２１６…プリアンプ、
２１８…読み取り／書き込みチャネル回路、
２２０…ＤＤＣ、
２２２…バッファＲＡＭ、
２２４…マイクロコントローラ、
２２８…サーボ・ドライバ、
２３０…ボイス・コイル・モータ、
２３２…スピンドル・モータ・ドライバ、
２３４…スピンドル・モータ、
３００…読み取り／書き込みチャネル回路、
３３８…物理的記録チャネル、
３４０…書き込みチャネル回路、
３４２…読み取りチャネル回路、
３４４…エンコーダ、
３４６…プリコーダ、
３４８…書き込みプリコンペンセータ、
３５０…ＡＧＣＡＭＰ、
３５２…ＬＦＰ、
３５４…ＡＤＣ，
３５６…適応的等化器、
３５８…ビタビ検出装置、
３６０…ゲイン・コントローラ、
３６２…タイミング・コントローラ、
３６４…デコーダ、
４００…等化器、
４１０…入力信号、
４１２…シフト・レジスタ回路、
４２０…メモリ要素、
４３０…乗算器、
４４０…選択係数、
４５０…タップ信号、

４６０…加算器、
４７０…出力、
５００…等化器、
５１０…書き込みビットａ$_k$、
５１２…システム双ビット応答ｈ$_k$、
５１４…ノイズなしのリードバック信号ｓ$_k$、
５２０…ノイズ不正リードバック信号ｎ$_k$、
５３０…ノイズ的なリードバック信号ｘ$_k$、
５４０…ＤＦＩＲフィルタ・タップ重量ｗ$_k$、
５５０…ノイズ的な等化リードバック信号ｙ$_k$、
５６０…目標応答ｔ$_k$、
５７０…望ましい無ノイズ信号ｄ$_k$、
５８０…誤差信号ｅ$_k$、
６００…ＤＦＩＲフィルタのタップ重量を更新するためのシステム、
６１０…既存のＤＦＩＲタップ重み、
６２０…余弦等化器、
６３０…新しいＤＦＩＲタップ重み、
７００…ｋ余弦関数を示すダイアグラム、
８００…ｊ、ｋ余弦関数を示すダイアグラム、
９００…等化器、
９１０…読み取りビットａ$_k$、
９１２…システム双ビット応答ｈ$_k$、
９１４…ノイズなしのリードバック信号ｓ$_k$、
９２０…ノイズ不正リードバック信号ｎ$_k$、
９３０…ノイズ的なリードバック信号ｘ$_k$、
９３２…ＤＦＩＲフィルタ、
９４０…余弦等化器、
９５０…ノイズ的な等化リードバック信号ｙ$_k$、
９６０…目標応答ｔ$_k$、
９７０…望ましい無ノイズ信号ｄ$_k$、
９８０…誤差信号ｅ$_k$、
１０１０…余弦等化器の関数ｆ（）、
１０２０…関数の記述、
１０５２…ＰＲ４応答でコンボルブされたa_{k-I}、
１０６２…ＥＰＲ４応答でコンボルブされたa_{k-I}、
１０７２…t_k応答でコンボルブされたa_{k-I}、
１０８２…h_k応答でコンボルブされたa_{k-I}、
１１００…マグニチュード、
１１２０…ゼロ（０）に設定されたｊパラメータ、
１１５０…位相、
１２００…マグニチュード、
１２３０…ゼロ（０）に設定されたｋパラメータ、
１２５０…位相。

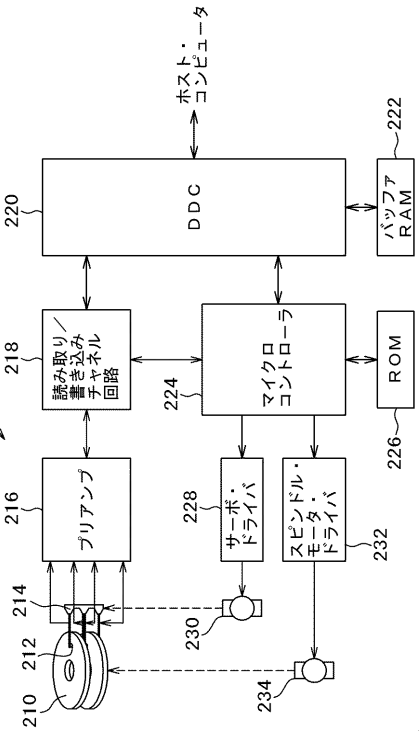
【図１】

図１



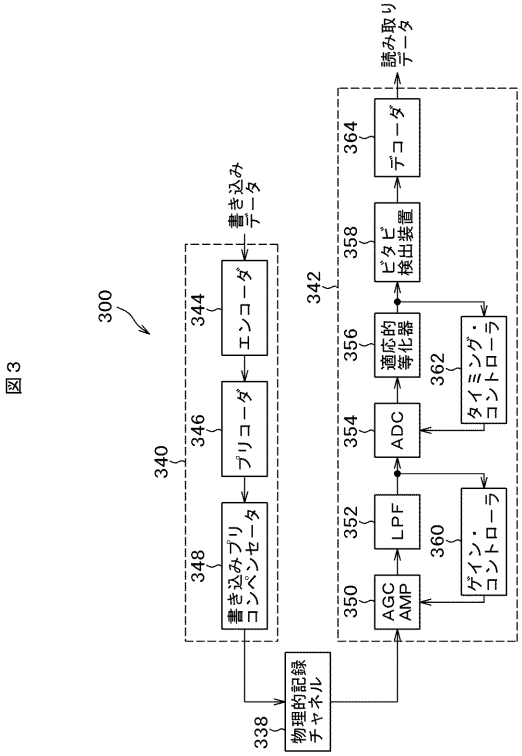
【図２】

図２



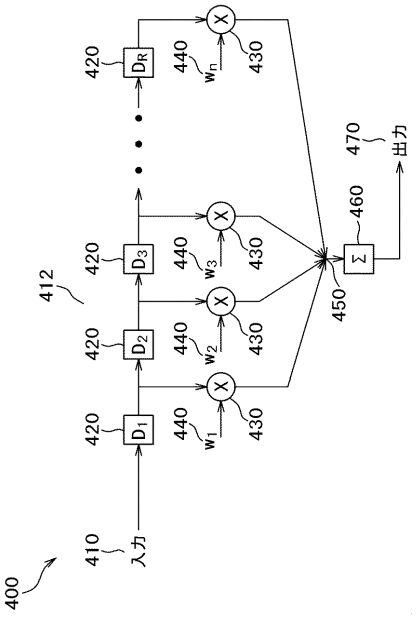
【図３】

図３



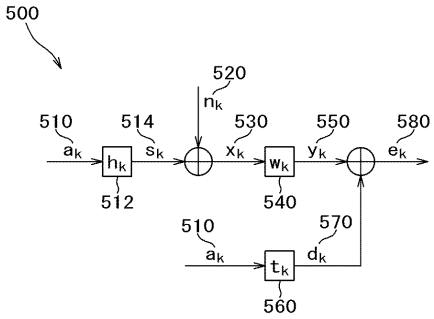
【図４】

図４



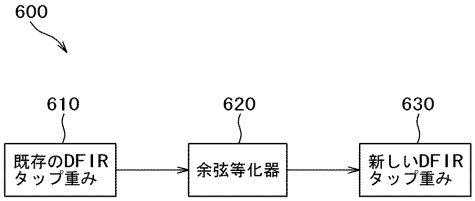
【図５】

図５



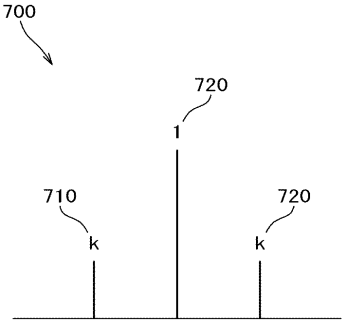
【図６】

図６



【図７】

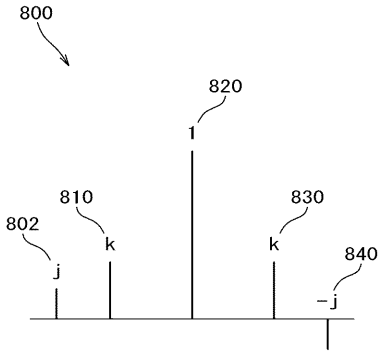
図７



余弦“ｋ”等化器

【図８】

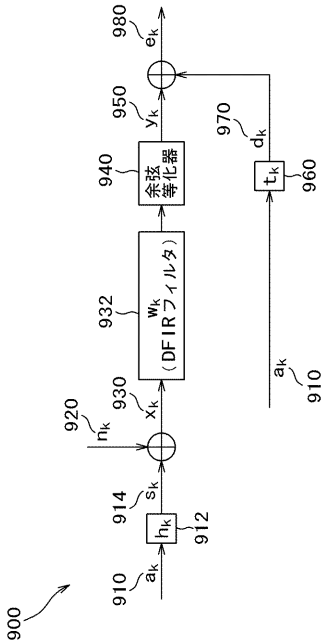
図８



余弦“ｊ、ｋ”等化器

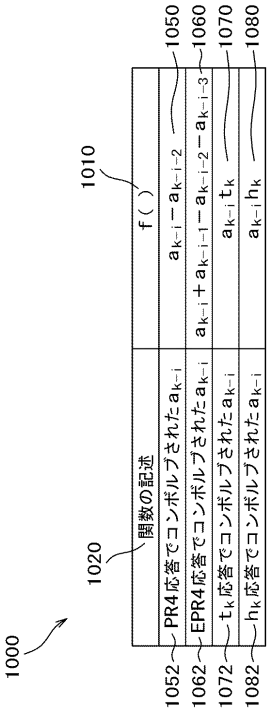
【図９】

図９



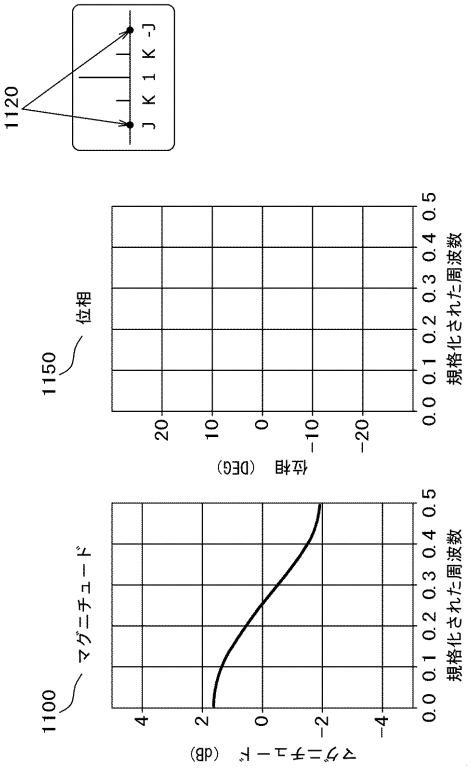
【図１０】

図１０



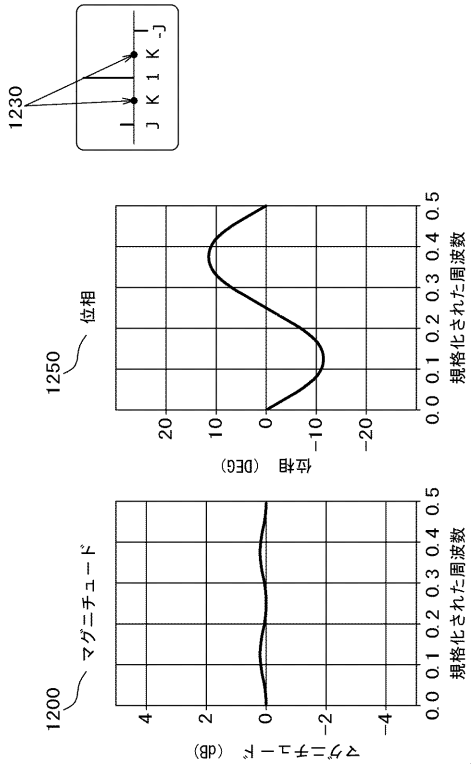
【図１１】

図１１



【図１２】

図１２



フロントページの続き

(72)発明者 アジャイ・ホラキア
スイス連邦、ガッチコン ＣＨ－８１３６、オブストガーテンストラッセ １６
(72)発明者 エバンゲロス・エス・エレフセリオ
スイス連邦、チューリッヒ ８０３８、ベラリアストラッセ ５３
(72)発明者 リチャード・エル・ガルブレイス
アメリカ合衆国５５９０２、ミネソタ州、ロチェスター、ウェンディレーン サウスウエスト ５２２５
(72)発明者 ウェルドン・エム・ハンソン
アメリカ合衆国５５９０２、ミネソタ州、ロチェスター、ウェストチェスターコート サウスウエスト １１０３
(72)発明者 トーマス・ミッテルホルザー
スイス連邦、チューリッヒ ＣＨ－８００８、フルーガッセ ３３Ｂ
(72)発明者 トラビス・アール・エニング
アメリカ合衆国５５９０１、ミネソタ州、ロチェスター、４５番アベニュー ノースウエスト ５９２７
(72)発明者 マイケル・ジェイ・ロス
アメリカ合衆国５５９０１、ミネソタ州、ロチェスター、パーレーン ノースウエスト ５１６２
(72)発明者 ディビッド・ジェイ・スタニェック
アメリカ合衆国５５９０１、ミネソタ州、ロチェスター、ウッドレーン ノースウエスト ４９１４

Ｆターム(参考) 5D044 BC01 CC05 FG02 FG05 GL31