(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0121290
(43) 공개일자 2009년11월25일

(51) Int. Cl.
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
H01L 27/12 (2006.01)
(21) 출원번호 10-2009-7017539
(22) 출원일자 2008년02월06일
심사청구일자 2009년10월13일
(85) 번역문제출일자 2009년08월21일
(86) 국제출원번호 PCT/US2008/053152
(87) 국제공개번호 WO 2008/100751
국제공개일자 2008년08월21일
(30) 우선권주장
11/673,716 2007년02월12일 미국(US)

(71) 출원인
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
치담바라오 두레세티
미국 코네티컷주 06883 웨스톤 올드 밀 로드 29
헨손 윌리암
미국 뉴욕주 10566 픽스킬 하이리지 코트 321
리우 야오쳉
미국 뉴욕주 10606 화이트 플레인스 뱅크 스트리트 25 아파트먼트 209
(74) 대리인
김태홍, 신정건

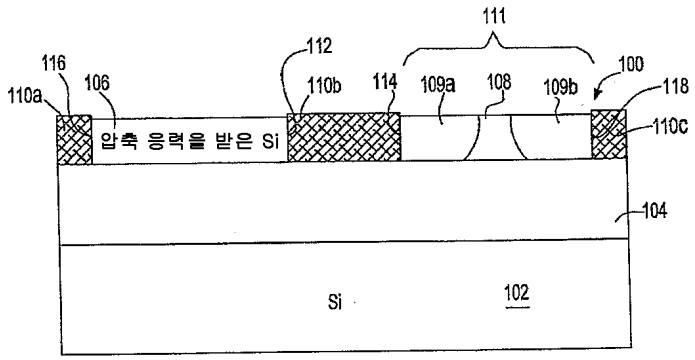
전체 청구항 수 : 총 10 항

(54) 인장성 및 압축성 디바이스 영역을 갖는 응력을 받은 SOI FET

(57) 요 약

반도체 온 절연체 기판의 SOI 층 내에서 채널 영역을 갖는 전계 효과 트랜지스터를 제조하는 방법이 제공된다. 바람직하게는, 이러한 방법에서, 활성 반도체 영역의 제1 부분 위에 놓이지만 제1 부분과 공동의 바운더리를 공유하는 활성 반도체 영역의 제2 부분 위에 놓이지 않도록 응력을 받은 희생 층을 형성한다. SOI 층 내에 트렌치들을 형성한 후, 응력을 받은 층이 충분히 릴렉스하도록, 응력을 받은 층을 상부에 갖는 유전체 SOI 기판을 가열하며, 이에 의해 응력을 받은 부분이 제1 부분에 제1 응력을 인가하게 하고 제2 부분에 제2 응력을 인가하게 한다. 예를 들어, 제1 응력이 인장 응력인 경우, 제2 응력은 압축 응력이거나 또는 제2 응력이 인장 응력인 경우, 제1 응력은 압축 응력일 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

반도체 온 절연체("SOI") 기판(100) 내에 채널 영역(122)을 갖는 전계 효과 트랜지스터("FET")를 제조하는 방법으로서,

상기 SOI 기판은 (i) 단결정 실리콘의 SOI 층(106)과, (ii) 벌크 반도체 층(102)과, (iii) 플로우가능한 유전체 물질(206)을 포함한 매립된 산화물 유전체 층(104)을 포함하되, 단결정 실리콘의 SOI 층(106)은 플로우가능한 유전체 물질(206)을 포함한 매립된 산화물 유전체 층(104)에 의해 벌크 반도체 층(102)으로부터 분리되어 있으며,

상기 방법은,

a) 활성 반도체 영역의 제1 부분(109a) 위에 놓이는 응력을 받은 희생 층을 형성하는 것 - 상기 응력을 받은 희생 층은 상기 제1 부분과 공동의 바운더리를 갖는 활성 반도체 영역의 제2 부분(109b) 위에 놓이지 않음 - 과;

b) 상기 응력을 받은 희생 층을 관통하여 SOI 층으로 연장되는 트렌치들(220)을 형성하는 것 - 상기 트렌치들의 벽들(wall)은 활성 반도체 영역의 주변 에지부들(112)을 정의함 - 과;

c) 응력을 받은 희생 층(108)이 충분히 릴렉스(relax)하도록, 응력을 받은 희생 층(108)을 상부에 갖는 SOI 기판을 가열하는 것 - 이에 의해 응력을 받은 희생 층이 제1 부분(109a)에 제1 응력을 인가하게 하고 제2 부분(109b)에 제2 응력을 인가하게 하며, 상기 제1 응력은 인장 응력 또는 압축 응력 중 한 응력이며, 상기 제2 응력은 인장 응력 또는 압축 응력 중 상기 제1 응력과 다른 응력임 - 과;

d) 응력을 받은 활성 반도체 영역의 주변 에지부들을 접촉하는 절연 영역(110b)을 형성하도록 트렌치들 내에 유전체 물질을 성막시키는 것 - 상기 절연 영역은 응력을 받은 SOI 층의 주요 표면으로부터 BOX 층(104)을 향하여 연장됨 - 과;

e) 활성 반도체 영역의 제1 부분과 제2 부분을 노출시키기 위해 응력을 받은 희생 층을 제거하는 것과;

f) (i) 제1 부분에서의 소스 영역(123)과, (ii) 제1 부분에서의 드레인 영역(125)과, (iii) 제2 부분에서의 채널 영역(122)을 포함하는 전계 효과 트랜지스터("FET")를 형성하는 것

을 포함하는 전계 효과 트랜지스터의 제조 방법.

청구항 2

제1항에 있어서,

상기 플로우가능한 유전체 물질은 도핑된 실리케이트 유리를 포함하는 것인 전계 효과 트랜지스터의 제조 방법.

청구항 3

제1항에 있어서,

상기 응력을 받은 희생 층은 활성 반도체 영역 상에 응력을 받은 희생 층을 성막하고 제2 부분에 맞추어 응력을 받은 희생 층의 일부분을 제거함으로써 형성되는 것인 전계 효과 트랜지스터의 제조 방법.

청구항 4

제1항에 있어서,

상기 FET는 p형 전도성 채널을 갖고, (b) 가열하는 단계에 의해 제1 부분에 인가된 제1 응력은 인장 응력을 포함하고, (b) 가열하는 단계에 의해 제2 부분에 인가된 제2 응력은 압축 응력을 포함하는 것인 전계 효과 트랜지스터의 제조 방법.

청구항 5

제1항에 있어서,

FET 상에 놓이도록 응력을 받은 유전체 라이너를 성막하는 것을 더 포함하며, 상기 응력을 받은 유전체 라이너

는 FET의 채널 영역에 인가된 응력의 크기를 증가시키는 것인 전계 효과 트랜지스터의 제조 방법.

청구항 6

서로 다른 전도성 유형을 갖는 전계 효과 트랜지스터("FET")를 제조하는 방법으로서,

상기 FET는 실리콘 온 절연체("SOI") 기판의 단결정 SOI 층 내에 배치된 채널 영역을 가지며, 상기 SOI 기판은 (i) SOI 층과, (ii) 벌크 반도체 층과, (iii) 플로우가능한 유전체 물질을 포함한 매립된 유전체 층을 포함하되, SOI 층은 플로우가능한 유전체 물질을 포함한 매립된 유전체 층에 의해 벌크 반도체 층으로부터 분리되어 있으며,

상기 방법은,

a) 활성 반도체 영역의 제1 부분 및 제3 부분 위에 놓이는 응력을 받은 희생 층을 형성하는 것 - 상기 응력을 받은 희생 층은 상기 제1 부분과 공동의 바운더리를 갖는 활성 반도체 영역의 제2 부분 위에 놓이지 않음 - 과;

b) 상기 응력을 받은 희생 층을 관통하여 SOI 층으로 연장되는 트렌치들을 형성하는 것 - 상기 트렌치들의 벽들은 활성 반도체 영역의 에지부들을 정의함 - 과;

c) 응력을 받은 희생 층이 충분히 릴렉스(relax)하도록, 응력을 받은 희생 층을 상부에 갖는 SOI 기판을 가열하는 것 - 이에 의해 응력을 받은 희생 층이 제1 부분에 인장 응력 또는 압축 응력 중 제1 응력을 인가하게 하고 제3 부분에 인장 응력 또는 압축 응력 중 제1 응력을 인가하게 하며, 제2 부분에 제2 응력을 인가하게 하며, 상기 제2 응력은 인장 응력 또는 압축 응력 중 상기 제1 응력과 다른 응력임 - 과;

d) 응력을 받은 활성 반도체 영역의 에지부들을 접촉하는 절연 영역을 형성하도록 트렌치들 내에 유전체 물질을 성막시키는 것 - 상기 절연 영역은 응력을 받은 SOI 층의 주요 표면으로부터 BOX 층을 향하여 연장됨 - 과;

e) 활성 반도체 영역의 제1 부분과 제2 부분과 제3 부분을 노출시키기 위해 응력을 받은 희생 층을 제거하는 것 과;

f) 제1 전계 효과 트랜지스터("FET")와 제2 FET를 형성하는 것 - 상기 제1 FET는 (i) 제1 부분에 배치된 소스 영역과, (ii) 제1 부분에 배치된 드레인 영역과, (iii) 제2 부분에 배치된 채널 영역을 포함하며, 상기 제2 FET는 제3 부분에 배치된 제2 소스 영역과, 제3 부분에 배치된 제2 드레인 영역과, 제3 부분에 배치된 제2 채널 영역을 포함함 -

을 포함하는 전계 효과 트랜지스터의 제조 방법.

청구항 7

실리콘 온 절연체("SOI") 기판의 단결정 SOI 층 내에 배치된 전도성 채널을 갖는 n형 전도성 채널 전계 효과 트랜지스터("NFET")로서,

상기 SOI 기판은 (i) SOI 층과, (ii) 벌크 반도체 층과, (iii) 플로우가능한 유전체 물질을 포함한 매립된 유전체 층을 포함하되, SOI 층은 플로우가능한 유전체 물질을 포함한 매립된 유전체 층에 의해 벌크 반도체 층으로부터 분리되어 있으며,

상기 NFET는 SOI 층의 압축 응력을 받은 부분에 배치된 소스 영역 및 드레인 영역과, SOI 층의 인장 응력을 받은 부분에 배치된 채널 영역을 포함하며, 상기 채널 영역은 압축 응력을 받은 부분과 공동의 바운더리를 갖는 것인 n형 전도성 채널 전계 효과 트랜지스터.

청구항 8

제7항에 있어서,

압축 응력을 받은 부분의 주변 에지부들을 접촉하는 트렌치 절연 영역들을 더 포함하는 n형 전도성 채널 전계 효과 트랜지스터.

청구항 9

제7항에 있어서,

SOI 층의 압축 응력을 받은 부분에 배치된 소스 영역, 드레인 영역 및 채널 영역을 갖는 p형 전도성 채널 전계

효과 트랜지스터("PFET")를 더 포함하는 n형 전도성 채널 전계 효과 트랜지스터.

청구항 10

실리콘 온 절연체("SOI") 기판의 단결정 SOI 층 내에 배치된 전도성 채널을 갖는 p형 전도성 채널 전계 효과 트랜지스터("PFET")로서,

상기 SOI 기판은 (i) SOI 층과, (ii) 벌크 반도체 층과, (iii) 플로우가능한 유전체 물질을 포함한 매립된 유전체 층을 포함하되, SOI 층은 플로우가능한 유전체 물질을 포함한 매립된 유전체 층에 의해 벌크 반도체 층으로부터 분리되어 있으며,

상기 PFET는 SOI 층의 인장 응력을 받은 부분에 배치된 소스 영역 및 드레인 영역과, SOI 층의 압축 응력을 받은 부분에 배치된 채널 영역을 포함하며, 상기 채널 영역은 인장 응력을 받은 부분과 공동의 바운더리를 갖는 것인 p형 전도성 채널 전계 효과 트랜지스터.

명 세 서

기 술 분 야

<1> 본 발명은 반도체 디바이스 및 그 제조 방법에 관한 것이다. 보다 자세하게는, 본 발명은 SOI 기판의 적어도 일부분이 응력을 받은 실리콘 온 절연체("SOI") 기판의 준비에 관한 것이다.

배 경 기 술

<2> SOI 기판을 제조하기 위한 다양한 방법들이 존재한다. 도 1에 나타낸 종래 기술에 따른 한 특정예에서, 트랜지스터, 예를 들어, n형 전계 효과 트랜지스터("NFET")가 형성될, 인장 응력을 갖는 스트레인드 실리콘 영역(12)을 포함하도록 SOI 기판(10)을 제조한다. 인장 응력을 받은 실리콘 영역(12)이 릴렉스된 응력(relaxed stress)을 갖는 실리콘 게르마늄(SiGe) 포함 영역(14) 상에 놓이며, 이어서 SiGe 영역이, BPSG("borophosphosilicate glass")를 포함한 매립된 산화물 층("BOX"; buried oxide; 16)에 의해 벌크 실리콘 영역(18)으로부터 분리된 채로 벌크 실리콘 영역(18) 상에 놓인다.

<3> 종래 기술의 SOI 기판(10)을 제조하기 위해, BPSG를 포함한 BOX 층에 의해 벌크 실리콘 층(18)으로부터 분리된 채로 벌크 실리콘 층(18) 상에 놓이는 압축성 상단 SiGe 층을 포함하는 출발 SOI 기판을 제공한다. 그 후, SiGe 층의 표면에서부터 실리콘 층(12)을 에피택셜하게 성장시킨다. 예를 들어, 포토리소그래피 방식으로 정의된 마스크층(도시 생략)에 따라 에칭함으로써 실리콘 층(12)과 SiGe 층(14)을 패터닝한 후, SOI 기판의 온도를 BPSG BOX 층(16)이 플로우가능하게 되는 점까지 승온시킨다. 그 후, 이에 의해 BOX 층(16)을 연화(soften)시키고 "플로우"시킨다. 그 결과, SiGe 층(14)에서의 응력이 릴렉스하고 결과적으로, 인장 응력이 SiGe 층(14) 상의 실리콘 층(12)으로 전개한다.

<4> 종래 기술의 SOI 기판(10)의 결점들 중 하나는 활성 실리콘 영역(12)을 정의한 후, SiGe 응력원(stressor) 층(14)이 트랜지스터가 형성될 활성 실리콘 영역(12) 하부에 계속 놓인다는 점이다. 하부에 놓이는 SiGe 층(14)이 접합 용량에 기여하여, 구조체로부터 얻어질 성능 이점을 감소시킬 수 있기 때문에, 이 점은 상부에 형성될 트랜지스터의 일부 설계 유연성을 방해한다. 추가로, SiGe 층(14)의 영구적인 존재는 활성 실리콘 영역(12)에 형성될 트랜지스터의 부분들 내로의 게르마늄과 비소의 원하지 않은 확산을 초래할 수 있다. 또 다른 결점은 게이트 유전체의 단락을 초래할 수 있는 스레딩 결함들(threading defect)이 발생할 수 있다는 점이다.

발명의 상세한 설명

<5> 본 발명의 양상에 따르면, 전계 효과 트랜지스터("FET")를 제조하는 방법이 제공되며, 여기서, FET는 반도체 온 절연체("SOI") 기판의 단결정 실리콘 SOI 층 내에서 채널 영역을 가지며, 이 SOI 기판은 (i) SOI 층과, (ii) 벌크 반도체 층과, (iii) 플로우가능한 유전체 물질을 포함한 매립된 유전체 층을 포함하되, 단결정 실리콘의 SOI 층은 매립된 유전체 층에 의해 벌크 반도체 층으로부터 분리된다. 바람직하게는, 활성 반도체 영역의 제1 부분 상에 놓이도록 응력을 받은 희생 층(sacrificial stressed layer)을 형성하며, 응력을 받은 희생 층은 제1 부분과 공동의 바운더리를 갖는 활성 반도체 영역의 제2 부분 상에 놓이지 않는다. 응력 층을 관통하여 SOI 층 내에 확장되는 트렌치를 형성한 후, 상부에 응력층을 갖는 SOI 기판을 충분히 가열하여, 응력 층을 릴렉스시키고, 이에 의해, 응력 층이 제1 부분에 제1 응력을 인가하게 하고 제2 부분에 제2 응력을 인가하게 한다. 제1 응력은 인장 응력 또는 압축 응력 중 하나이며, 제2 응력은 인장 응력 또는 압축 응력 중 제1 응력의 것과 다른 응력이

다. 그 후, 유전체 물질을 트렌치 내에 성막하여, 절연 영역들을 형성할 수 있다. 그 후, 바람직하게, 응력층을 제거하여 활성 반도체 영역의 제1 부분 및 제2 부분을 노출시킨다. (i) 제1 부분에서의 소스 영역과, (ii) 제1 부분에서의 드레인 영역과, (iii) 제2 부분에서의 채널 영역을 포함하도록 전계 효과 트랜지스터("FET")를 형성한다.

실 시 예

<15> 본 발명의 제1 실시예에 따른 SOI 기판(100)이 도 2에 도시되어 있다. 여기에 나타낸 바와 같이, SOI 기판은 플로우가능한 유전체 물질, 예를 들어, 도핑된 실리케이트 유리 또는 다른 플로우가능한 유전체 물질을 포함한 매립된 산화물("BOX") 층(104)이 상부에 제공되는 벌크 반도체 영역(102)을 포함한다. 도핑된 실리케이트 유리에는, 통상적으로 보론 또는 인 중 어느 한쪽 또는 양쪽이 도핑된다. "BSG"(Borosilicate glass)는 보론으로 도핑된 이러한 유리를 의미하며, "PSG"(phosphosilicate glass)는 인으로 도핑된 이러한 유리를 의미하며, "BPSG"(borophosphosilicate glass)는 보론과 인 양쪽 모두로 도핑된 이러한 유리를 의미한다. 벌크 반도체 영역(102)은 예를 들어, 단결정 실리콘으로 본질적으로 구성된다. 특정 실시예에서, BOX 층은 플로우가능한 유전체 물질로서 BSG로 본질적으로 구성된 층을 포함한다.

<16> 도 2에 추가로 도시된 바와 같이, 기판의 SOI 층은 BOX 층(104) 상에 놓여진 압축 응력을 받은 단결정 실리콘 영역(106)을 포함한다. 압축 응력을 받은 영역(106)은 기판의 제1 활성 반도체 영역을 제공한다. SOI 층은 BOX 층(104) 상에 놓이는 인장 응력을 받은 단결정 실리콘 영역(108)을 더 포함한다. 압축 응력을 받은 단결정 실리콘의 2개의 추가 영역들(109a 및 109b)은 인장 응력을 받은 실리콘 영역(108)에 인접한다. 이와 함께, 인장 응력을 받은 영역(108)과 압축 응력을 받은 영역들(109a, 109b)은 기판의 제2 활성 반도체 영역(111)을 형성한다.

<17> BOX 층(104)은 벌크 반도체 영역(102)으로부터, 응력을 받은 실리콘 영역들(106, 108, 109a 및 109b)을 분리시킨다. 활성 반도체 영역(106)의 제1 주변 에지부(peripheral edge)(112)와 활성 반도체 영역(111)의 제1 주변 에지부(114) 사이에 트렌치 절연 영역(110b)을 배치한다. 그 트렌치 절연 영역(110b)은 활성 반도체 영역들(106, 111)을 전기적으로 서로 절연시킨다. 활성 반도체 영역(106)의 또 다른 주변 에지부(116)에 인접하여 또 다른 트렌치 절연 영역(110a)을 배치하며, 이러한 주변 에지부(116)는 제1 주변 에지부(112) 맞은 편에 있다. 활성 반도체 영역(111)의 또 다른 주변 에지부(118)에 인접하여 또 다른 트렌치 절연 영역(110c)을 배치하며, 이러한 주변 에지부는 그 활성 반도체 영역(111)의 제1 주변 에지부(114) 맞은 편에 있다. 압축 응력을 받은 활성 반도체 영역(106)에 측방향으로 인접하여 배치된 2개의 트렌치 절연 영역들(110a, 110b)은 응력이 그 내부에서 릴렉스하지 못하게 도움으로써, 활성 반도체 영역(106)에서의 바람직하게 높은 크기를 갖는 압축 응력을 유지시킨다. 유사하게, 활성 반도체 영역(111)에 측방향으로 인접하여 배치된 2개의 트렌치 절연 영역들(110b, 110c)은 응력을 받은 실리콘 영역(111)에서 응력이 릴렉스하지 못하게 도움으로써, 활성 반도체 영역(111)의 인장 응력을 받은 영역(108)에서의 바람직하게 높은 크기를 갖는 인장 응력을 유지시킨다.

<18> 도 3에는, 압축 응력을 받은 활성 반도체 영역(106) 내에 배치된 채널 영역(122), 소스 영역(123) 및 드레인 영역(125)을 갖는 PFET(120)를 형성하기 위해 추가의 제조 단계들을 수행한 후의 후속 제조 단계가 나타나 있다. PFET의 게이트 컨덕터 스택은 게이트 유전체(126)에 의해 채널 영역(122)으로부터 분리되어 있는 반도체성 및/또는 전도성 물질을 포함한 게이트(124)를 포함한다. 전도성 실리사이드와 같이, 금속, 금속 화합물 또는 양쪽 모두를 포함한 저저항 층(129)은 증대된 전도성을 위하여 소스 및 드레인 영역(123, 125)을 접한다. 특히 저저항 층(129)을 제공한 경우, 게이트(124)의 측벽들 상에 유전체 스페이서들(128)을 통상적으로 제공한다.

<19> 도 3은 인장 응력을 받은 실리콘 영역(108) 내에 배치된 채널 영역(132)을 갖는 NFET(130)를 추가로 나타낸다. NFET는 2개의 압축 응력을 받은 실리콘 영역(109a, 109b) 내에 각각 배치된 소스 영역(133) 및 드레인 영역(135)을 갖고 있으며, 2개의 압축 응력을 받은 실리콘 영역(109a, 109b)은 인장 응력을 받은 실리콘 영역(108)과 공동인 에지부(136)를 갖는다. NFET(130)는 또한 게이트 컨덕터 스택(134) 뿐만 아니라 저저항 층(131), 및 게이트 컨덕터 스택(134)의 에지부(139)를 접촉하는 유전체 스페이서(138)를 갖는다. NFET(130)의 게이트 컨덕터 스택(134)은 활성 반도체 영역 내의 인장 응력을 받은 영역(108)과 맞추어진다(register). 그러나, 게이트 컨덕터 스택(134)의 에지부들(139)은 압축 응력을 받은 영역의 에지부들과 정렬될 수 없다.

<20> 대부분의 실리콘 온 절연체 및 벌크 실리콘 기판들에서, FET 트랜지스터의 채널에서의 전류 흐름의 방향은 <110> 결정 방향에 있다. 이러한 기판에서는, 전계 효과 트랜지스터("FET")의 성능은 소스와 드레인 사이의 채널 내의 전류 흐름의 방향으로 FET의 채널 영역에 바람직한 응력을 인가할 경우 바람직하다. p형 FET 즉, "PFET"의 성능은 소스와 드레인 사이의 전류 흐름의 방향으로 채널 영역 내에 압축 응력을 인가할 경우 바람직해진다. n형 FET 즉, "NFET"의 성능은 소스와 드레인 사이의 전류 흐름의 방향으로 채널 영역에 인장 응력을 인

가할 경우 바람직하다.

<21> SOI 기판 내의 응력을 받은 활성 반도체 영역들이 제조되는 방식으로 인해, 각각의 FET의 채널 영역은 SOI 층의 노출된 주요 표면(통상적으로 상부 표면), 즉, 게이트 유전체(126)에 의해 접촉되는 SOI 층의 표면 근처에 큰 응력을 바람직하게 갖는다. 응력의 크기는 SOI 층의 그 노출된 주요 표면 근처에서 바람직하게 최고치에 도달한다. 또한, 응력의 크기는 채널 영역 내에서 통상적으로 SOI 층의 주요 표면으로부터 BOX 층에 인접한 SOI 층의 하부 표면을 향하는 방향(통상적으로 하향 방향)으로 감소한다. 응력 크기는 주요 표면에서보다 SOI 층의 하부 표면에서 훨씬 더 낮을 수 있는데, 예를 들어, 3 내지 300배 이상 더 낮을 수 있다. 하부 표면에서의 응력은 심지어 노출된 주요 표면에서의 응력과는 반대의 극성으로 될 수 있다. 예를 들어, 응력은 노출된 주요 표면 근처에서 압축 응력일 수 있고 하부 표면 근처에서 인장 응력일 수 있거나, 또는 노출된 주요 표면 근처에서 인장 응력일 수 있고 하부 표면 근처에서 압축 응력일 수 있다. 추가로, 채널 영역 내의 응력의 크기는 FET의 길이방향으로, 즉, FET의 채널 영역을 가로질러 소스 영역과 드레인 영역 사이의 전류 흐름의 방향으로 바람직하게 균일하다. 바람직하게는, 응력 크기는 또한 횡단(transverse) 방향(채널 영역의 폭 방향)으로 대부분 균일하며, 이 응력 크기는 채널 영역의 횡단방향의 대향 에지부들(opposite transverse edge)에서 일반적으로 낮아진다.

<22> 상술한 예에서, SOI 기판은 압축 응력을 받은 활성 반도체 영역들과 인장 응력을 받은 활성 반도체 영역 양쪽 모두를 포함한다. 압축 응력을 받은 영역들 내에 배치된 채널 영역들을 갖는 PFET들이 제공된다. 인장 응력을 받은 영역들 내에 배치된 채널 영역들을 갖는 NFET들이 제공된다. 그러나, 대안의 실시예에서는, NFET들과 PFET들 양쪽 모두가 동일한 기판에 존재할 필요는 없다. 일부 유형의 집적 회로는 NFET들 또는 PFET들을 배타적으로 이용한다. 예를 들어, 다이내믹 랜덤 액세스 메모리("DRAM")는 통상적으로 어레이 트랜지스터들로서 NFET들을 배타적으로 이용한다.

<23> 추가로, 대응하는 가장 바람직한 유형의 응력을 갖는 응력을 받은 반도체 영역들 내에 양쪽 유형 모두의 트랜지스터들을 제공할 필요는 없다. 따라서, 인장 응력을 갖는 활성 반도체 영역 없이 압축 응력을 갖는 활성 반도체 영역들을 포함하도록 기판을 제조할 수 있다. 이러한 경우, 압축 응력을 받은 영역들 내에 배치된 채널 영역을 갖는 PFET들을 제공할 수 있다. 기판의 압축 응력을 받은 영역들 내에 채널 영역을 갖는 일부 NFET들을 또한 제공할 수 있다. 그러나, 이 방식으로 제조된 NFET들이 성능의 열화를 받을 수 있음이 인식된다. 이러한 기판은 또한 중립의(neutral) 응력을 갖는 활성 반도체 영역을 포함할 수 있으며, 이러한 경우, 동일한 정도로 성능의 열화를 받음이 없이 중립의 응력 영역들 내에 NFET들을 제공할 수 있다.

<24> 다른 방법으로, 압축 응력을 갖는 활성 반도체 영역들 없이 인장 응력을 갖는 활성 반도체 영역을 포함하도록 기판을 제조할 수 있다. 이러한 경우, 바람직하게, 인장 응력 영역들 내에서 채널 영역들을 갖는 NFET들을 제공한다. 이러한 기판 내에 중립의 응력 영역들을 또한 제공할 수 있으며, 그 안에 PFET들을 제공할 수 있다. 다른 방법으로, 인장 응력을 받은 영역들만을 제공할 수 있으며, 인장 응력을 받은 영역들 내에 배치된 채널 영역들을 갖는 NFET들과 PFET들 양쪽 모두를 제공할 수 있다.

<25> FET의 채널 영역에 추가의 응력을 주는 많은 방식들이 존재한다. 이들 방식 중에는, 채널 영역에 인접하는 트랜지스터의 영역들 내에 반도체 합금을 매립하는 것이 있다. 예를 들어, 채널영역에 인접하는 소스 및 드레인 영역에 실리콘 게르마늄의 매립 영역을 제공하여, 채널 영역에 압축 응력을 인가할 수 있다. 다른 방법으로, 채널 영역에 인접한 소스 및 드레인 영역에 실리콘 카본의 매립 영역을 제공하여, 채널 영역에 인장 응력을 인가할 수 있다.

<26> 도 4는 FET들의 채널 영역들에 추가의 응력을 줄 수 있는 다른 방식을 나타낸다. 구체적으로, 도 4는 도 3을 참조로 위에서 설명된 실시예의 변형예를 나타내며, 여기서, PFET(120) 및 NFET(130)의 소스 및 드레인 영역 상에 놓이는 응력을 받은 유전체 라이너들(140 및 142)을 제공한다. 바람직하게는, 압축 응력을 받은 유전체 라이너(140)가 PFET(120) 상에 놓이며, 이러한 라이너는 PFET의 채널 영역(122)에 인가된 압축 응력을 증대시키는 것을 돕는다. 유사하게, 인장 응력을 받은 유전체 라이너(142)가 NFET(130) 상에 바람직하게 놓이며, 이러한 라이너는 NFET의 채널 영역(132)에 인가된 인장 응력을 증대시키는 것을 돕는다. 일반적으로 도 4에 나타낸 바와 같이, 한 응력을 받은 라이너(140)가 다른 한 응력을 받은 라이너(142) 상에 놓이도록 하는 응력을 받은 유전체 라이너들(140, 142)을 제공하며, 여기서, 두개의 응력을 받은 라이너들은 트렌치 절연 영역(110b) 상에 놓인다. 다른 방법으로, 응력을 받은 유전체 라이너들 중 어느 라이너도 다른 라이너에 오버랩하지 않도록 응력을 받은 유전체 라이너들(140, 142)의 에지부들을 이격시킬 수 있다.

<27> 이하, 도 5를 참조하여 보면, 도 2에서 설명된 SOI 기판을 제조하는 방법을 설명한다. 도 5는 플로우가능한 유전체 층(206)을 포함한 매립된 유전체 층(204)을 갖는 SOI 기판(200)을 제공하는 예비 제조 단계를 나타낸다.

이러한 유전체 층은 예를 들어, 도핑된 실리케이트 유리로 본질적으로 구성될 수 있다. 예시적으로, 층(206)이 "BPSG"(borophosphosilicate glass)로 본질적으로 구성되도록 층(206)을 보론 및 인으로 도핑한다. 여기에서 및 도면에서의 BPSG 층에 대한 참조들은 다른 적절한 플로우가능한 유전체 물질을 이러한 목적으로 이용할 수 있기 때문에 예시적인 예들로서 제공된다.

<28> BOX 층(204)은 기판의 벌크 반도체 영역(202) 상에 놓이고, 단결정 실리콘의 실리콘 온 절연체("SOI") 층(210)은 BOX 층(204) 상에 놓인다. 바람직하게는, 보론과 인의 도펀트 농도는 비교적 낮은 융용 온도를 BPSG 층에 제공할 정도로 충분히 높다. 그러나, 실리콘 질화물 막(212; 도 6)이 후속하여 성막되는 BPSG 층이 약 400℃의 온도에서 플로우를 시작할 수 있도록 도펀트 농도는 높지 않게 된다.

<29> 도 5에 나타낸 바와 같이, 바람직하게, BPSG 층(206)과 SOI 층(210) 사이에 도핑되지 않은 실리콘 산화물 층(208)을 배치한다. 이러한 층(208)은 단결정 SOI 층(210)에서의 보론 및 인의 농도들을 감소시키는 역활을 하며, 이러한 감소는 이후의 제조 단계 동안에 BPSG 층(206)으로부터 단결정 실리콘 층(210)으로의 이들 도펀트들의 확산으로부터 야기될 수 있다. 이하, 기판에 제공하였을 때 BPSG 층(206) 및 선택적으로 도핑되지 않은 산화물 층(208) 양쪽 모두를 참조하는 것으로 BOX 층(204)에 대한 참조들을 이해하여야 한다.

<30> 통상적으로, BPSG 층을 "핸들 웨이퍼(handle wafer)"라 일반적으로 불리는 제1 웨이퍼의 벌크 실리콘 영역 상에 놓이도록 성막하고, 그 후, 선택적으로 도핑되지 않은 산화물 층을 BPSG 층 위에 놓이도록 성막함으로써, SOI 기판(200)을 제공한다. 그 후, 핸들 웨이퍼를 "본드 웨이퍼(bond wafer)"라 불리는 제2 웨이퍼의 단결정 반도체 영역에 대향하는 도핑되지 않은 산화물층에 본딩시킨다. 본딩 후에, 알려진 "스마트 컷(smart cut)" 기술과 같은 하나 이상의 알려진 기술들을 포함할 수 있는 프로세스로, 본드 웨이퍼의 비교적 얇은(예를 들어, 50 nm 내지 200 nm 두께) 단결정 SOI 층을 본드 웨이퍼의 나머지 부분으로부터 분리하여, 도 5에 나타낸 바와 같은 웨이퍼 구조체를 가져온다. 다른 방법으로, 본드 웨이퍼를 뒷면에서부터 그라인딩하고 폴리싱하여, 얇은 SOI 층만을 남겨놓을 수 있다.

<31> 그 후, 도 6에 나타낸 제조 단계에서, 내부 응력을 받은 물질을 포함한 층(212)을 SOI 층(210) 상에 놓이도록 성막한다. 이 층은 예를 들어, 적절한 조건 하에서 성막될 때 성막 후 내부 고유 응력을 유지하는 실리콘 질화물 층을 포함할 수 있다. 도 6에 나타낸 예에서, 인장 응력을 받은 실리콘 질화물 층(212)을 SOI 층(210) 상에 놓이도록 형성한다. 성막시, 인장 응력을 받은 실리콘 질화물은 바람직하게 약 1.2 GPa 이상의 응력을 갖는다.

<32> 그 후, 도 7에 나타낸 제조 단계에서, 예를 들어, 포토레지스트와 같은 포토이미징가능 마스크 층을 포토리소그래피 방식으로 패터닝하고 패터닝된 마스크 층에 따라 인장 응력을 받은 층(212) 내에 개구부들(214 및 216)을 형성함으로써 인장 응력을 받은 질화물 층(212)을 패터닝한다. 인장 응력을 받은 질화물 층 내의 개구부들을 예를 들어, 선택적 에칭에 의해 형성할 수 있다. 바람직하게는, 개구부(216)의 각각의 내부 에지부(226)와, 후속하여 형성된 게이트 컨덕터(134)의 인접하는 (가장 가까운) 에지부(139; 도 3)의 예상되는 위치 사이에 공간이 있도록 하기에 충분한 폭으로 개구부(216)를 형성한다. 예시적인 실시예에서, 각각의 내부 에지부(226)와 게이트 컨덕터(134)의 인접하는 에지부(139)의 예상되는 위치 사이의 거리는 약 50 나노미터(nm)이다. 이러한 방식으로, 후속하는 게이트 처리 동안에 발생할 수 있는 오정렬에도 불구하고, 마무리된 FET(130)에서의 전도성 채널의 전체 길이가 압축 응력을 받은 영역(108) 내에 있도록 하기에 충분한 프로세스 윈도우를 달성하는 것이 바람직하다. 그 후, 포토이미징가능 마스크 층을 제거하고 도 7에 나타낸 바와 같은 구조체를 남겨놓는다.

<33> 그 후, 도 8에 나타낸 바와 같이, 포토이미징가능 층(도시 생략)을 포토리소그래피 방식으로 패터닝하여, 마스크 층(도시 생략)을 형성하고 마크스 층에 의해 정의된 패턴을 인장 응력을 받은 희생 층(212) 및 하부에 있는 SOI 층에 전사시켜, 주변 에지부(112, 116)를 갖는 제1 활성 반도체 영역(106)과 주변 에지부(114 및 118)를 갖는 제2 활성 반도체 영역(111)을 정의하며, 트렌치(220)들이 각각의 활성 반도체 영역의 주변 에지부들에 인접하여 있다.

<34> 도 9를 참조하여 보면, 그 후, 상부에 응력을 받은 층(212)을 포함한 기판을, BOX 층(204) 내의 플로우가능한 유전체 물질이 연화하는 온도로 승온시킨다. 이러한 온도는 응력을 받은 층(212)의 물질 특성을 직접 변화시키는 온도 미만인 것이 필요하다. 응력을 받은 층이 인장 응력을 받은 실리콘 질화물로 본질적으로 구성되는 경우, 온도는 인장 응력을 받은 실리콘 질화물 층의 물질 특성을 상당히 악화시킴이 없이 약 1000 ℃에 이를 수 있다.

<35> BOX 층의 플로우가능한 유전체 물질이 연화하기 때문에, 유전체 물질은 유연성있게 된다. 물질의 유연성(pliability)은 위에 있는 응력을 받은 층(212) 및 활성 반도체 영역(106, 111)에서의 응력들이 보다 더 평형

상태에 가깝게 이동할 수 있게 한다. 그 결과, 인장 응력을 받은 층(212) 내의 인장 응력은 릴렉스하기 쉬어, 하부에 있는 활성 반도체 영역(106)이 압축 응력을 받은 실리콘 영역이 되게 한다.

<36> 유사하게, 인장 응력을 받은 층 바로 아래에 있는 활성 반도체 영역(111)의 제1 부분들은 압축 응력을 받은 실리콘 영역(109a 및 109b)이 된다. 그러나, 인장 응력을 받은 층(212) 아래에 바로 놓이지 않는 활성 반도체 영역(111)의 구역(108)에서는 다른 결과가 얻어진다. 여기서, BOX 층(204)이 기판의 가열로 인해 연화할 경우 구역(108)은 인장 응력을 받는 것이 된다. 구역(108)은 인장 응력을 받은 층(212)과의 관계와 근접성의 결과로서 인장 응력을 받는 것이 된다. FET의 게이트 유전체와 접촉하는 채널 영역의 주요 표면 근처에 있는 FET의 활성 전도성 채널에서 0.5 GPa 내지 약 1.5 GPa 이상의 인장 응력이 달성되는 것은 일반적인 것이다.

<37> 그 후, 도 10에 나타낸 후속 제조 단계에서, 트렌치 절연 영역들(110a, 110b 및 110c)을 형성한다. 예시적으로, 예를 들어, 고밀도 플라즈마 성막에 의해 또는 "TEOS"(tetraethylorthosilicate) 전구체, 실란(Si_4), 스핀 온 글래스(spin-on-glass) 또는 다른 적절한 방법으로부터 산화물 층을 성막한 다음, 에치백 프로세스 또는 CMP에 의한 것과 같이 인장 응력을 받은 층(212) 상에 놓이는 여분의 산화물 물질을 제거함으로써 트렌치 절연 영역들을 형성한다. 트렌치 절연 영역은 "STI"("shallow trench isolation") 영역들로서 기술될 수 있으며, 이러한 STI 영역이 통상적으로 BOX 층 위에 있는 SOI 층의 두께와 거의 동일한, SOI 층의 주요 표면으로부터의 깊이로 연장된다. STI 영역의 형성 동안에, 응력을 받은 층(212)이 활성 반도체 영역들(106, 111) 위에서 제위치에 유지되기 때문에 활성 반도체 영역(106, 111)이 계속 응력을 받은 상태로 유지된다.

<38> 도 10에 추가로 나타낸 바와 같이, 한 트렌치 절연 영역(110b)은 압축 응력을 받은 활성 반도체 영역(106)의 에지부(112)와 압축 응력을 받은 활성 반도체 영역(109a)의 인접 에지부(114) 사이의 개구부를 점유한다. 추가적인 트렌치 절연 영역들(110a, 110c)을 응력을 받은 활성 반도체 영역(106, 111)의 다른 주변 에지부(116 및 118)에 각각 배치시킨다. 이때의 제위치의 이들 트렌치 절연 영역에서는, (각각의 개별 영역들(108, 109a 및 109b) 내를 포함한) 각각의 활성 반도체 영역(106 및 111) 내의 응력들이 본질적으로 "로크인(locked in)"되어 있다, 즉, 본질적으로 고정되어 있다. 그 후, 응력을 받은 층(212)을 활성 반도체 영역들(106, 111) 상에서부터 제거하여, 도 2에 도시된 기판(100)이 되게 한다. 예를 들어, 응력을 받은 반도체 영역들(106, 111) 내의 하부에 있는 실리콘 물질에 대해 에칭 또는 클리닝 프로세스 또는 선택적으로 어느 정도 양쪽 모두를 수행함으로써 응력을 받은 층(212)을 제거할 수 있다. 바람직하게는, 제거 프로세스는 트렌치 절연 영역(110a, 110b, 110c)의 높이를 감소시킴으로써, 트렌치 절연 영역들의 상단부들이활성 반도체 영역(106, 111)의 노출된 표면과 거의 대등하게 된다.

<39> 바람직하게, STI 영역들을 완전히 형성하고 응력을 받은 층(212)을 제거하면, 후속 처리는 활성 반도체 영역에서의 응력 레벨들을 더 감소하게 하지 않는다. 바람직하게는, FET들을 포함한 칩의 제조를 완료하고 이들을 상호접속시키는 등에 이용된 후속 처리의 열적 버젯(thermal budget)을 설계한다, 즉, 응력을 받은 층(212)을 제거한 후 BOX 층이 다시 릴렉스하지 않도록 구속한다. 후속 처리의 열적 버젯이 BOX 층을 릴렉스시킬 정도로 충분히 높을 수 있는 경우, STI 영역들은 활성 반도체 영역들(106, 111)의 확장 또는 수축을 제한하는 안정화력(stabilizing force)을 가한다. 이러한 방식으로, STI 영역들은 후속 처리 동안에 릴렉스로 인해 활성 반도체 영역에서의 응력 레벨이 감소하지 못하게 돕는다.

<40> 상기 실시예의 한 변형예에서, 인장 응력을 받은 희생 층(212; 도 6)은 실리콘 질화물 층에 더하여 또는 실리콘 질화물 층 대신에 인장 응력을 받은 실리콘 카본 층을 포함한다. 바람직하게는, 단결정 SOI 층(210)의 노출된 표면으로부터 실리콘 카본 층을 에피택셜하게 성장시킨다. 인장 응력을 받은 실리콘 질화물을 포함한 층을 실리콘 카본 층 위에 놓이도록 성막시킬 수 있다. BOX 층은 BPSG 보다는 "PSG"(phosphosilicate glass)로 본질적으로 바람직하게 구성된다. PSG는 PSG 층이 그 온도에서 리플로우함이 없이 실리콘 카본 층을 재성장시킬 수 있게 하는 것이 바람직한 더 높은 리플로우 온도를 갖는다. 제조 프로세스(도 9)에서 뒤이어, 예를 들어, 약 750 내지 약 900 ℃ 범위의 온도와 같은 온도에서 PSG 층을 리플로우시킨다.

<41> 상기 실시예의 특정 변형예(도 11)에서, 인장 응력을 받은 층(212)을 초기에 패터닝하는 경우, 트렌치(220; 도 8)의 SOI 층 내에의 에칭 단계 전에 구역(108) 위에 놓이는 인장 응력을 받은 층(212)의 부분만을 제거한다. 이러한 방식으로, SOI 층 내에서 트렌치들(220)을 에칭하는 프로세스는 트렌치들에 의해 노출된 인장 응력을 받은 층(212)의 에지부들과 인장 응력을 받은 층의 에지부들(112, 114)을 정렬시킴으로써 SOI 층과 인장 응력을 받은 층의 에지부들 사이에 오정렬이 없게 한다.

<42> 본 발명의 제2 실시예에 따른 SOI 기판(200)이 도 12에 나타나 있다. 본 발명의 이 실시예는, SOI 기판(200)이 BOX 층(104) 위에 놓이는 인장 응력이 가해진 단결정 실리콘을 포함한 제1 활성 반도체 영역(206)을 포함한다는

점에서 도 2에 대하여 상술한 본 발명의 실시예에 따른 SOI 기판과 다르다. SOI 층은 제2 활성 반도체 영역(211)을 더 포함한다. 제2 활성 반도체 영역(211)은 내부의 압축 응력을 받은 단결정 실리콘 영역(208)과 인장 응력을 받은 단결정 실리콘 영역(209a, 209b)을 포함한다. 인장 응력을 받은 실리콘 영역들은 압축 응력을 받은 실리콘 영역(208)과 공동으로 에지부들(236)을 갖는다.

<43> 예시적인 실시예(도 13)에서, 활성 반도체 영역(211)의 내부의 압축 응력을 받은 영역(208)에 배치된 채널 영역(232)을 포함하도록 SOI 기판(200) 내에 PFET(250)를 제조할 수 있다. 활성 반도체 영역의 인장 응력을 받은 영역들(209a 또는 209b) 중 제1 영역 내에 PFET의 소스 영역(233)을 제공할 수 있고, 인장 응력을 받은 영역들(209a 또는 209b) 중 제1 영역과 다른 하나에 드레인 영역(235)을 제공할 수 있다. 인장 응력을 받은 활성 반도체 영역(206) 내에 배치된 소스 영역, 드레인 영역 및 채널 영역을 갖는 NFET(240)를 또한 제공할 수 있다. 선택적으로, 예를 들어, NFET 위에 놓이는 바람직한 응력을 갖는 한 유전체 라이너(260), 예를 들어, 인장 응력을 갖는 실리콘 질화물을 포함한 라이너를 제공하여, 이러한 NFET의 채널 영역에 인가된 인장 응력을 추가로 증가시킬 수 있다. 선택적으로, PFET 위에 놓이는 압축 응력을 갖는 제2 유전체 라이너(262)를 제공하여, 이러한 PFET의 채널 영역에 인가된 압축 응력을 추가로 증가시킬 수 있다. 이러한 하나 이상의 인장 응력을 받은 또는 압축 응력을 받은 유전체 라이너들을 NFET 또는 PFET 또는 양쪽 모두와 결합하여 이용할 수 있다. 인장 응력을 받은 라이너는 PFET와만 결합하여 이용될 필요가 있는 것은 아니며, PFET 대신에 또는 PFET에 더하여 NFET와 결합하여 이용될 수 있다. 압축 응력을 받은 라이너는 NFET와만 결합하여 이용될 필요가 있는 것은 아니며, NFET 대신에 또는 NFET에 더하여 PFET와 결합하여 이용될 수 있다.

<44> 응력을 받은 희생 층(312; 도 14)이 압축 응력을 갖는다는 점을 제외하면, SOI 기판(200)의 제조는 위에서 설명된 SOI 기판(100)의 제조와 유사하다. 성막시, 응력을 받은 희생 층(312)이 응력을 받은 실리콘 질화물로 본질적으로 구성되는 경우, 응력을 받은 희생 층(312)은 약 3.0 내지 3.5 GPa의 크기를 갖는 압축 응력을 갖는다. 위에서 설명된 실시예와 유사하게, 마스크 층(도시 생략)에 따라 압축 응력을 받은 층(312)을 패터닝하고(도 15), 그 후, SOI 층을 관통하여 BOX 층으로 연장되는 트렌치들(320; 도 16)을 에칭한다. 그 방식으로, 트렌치들(320)의 벽들(wall)은 활성 반도체 영역(206, 211)의 주변 에지부들(302, 314, 316 및 318)을 정의한다.

<45> 그 후, BPSG 층(204)을 연화시키기에 충분한 온도, 예를 들어, 약 600℃의 온도로 기판을 가열한 경우, 연화된 BPSG 층(204)은 압축 응력을 받은 희생 층(312)에 의해 SOI 층의 부분들에 인가된 응력들로 인해 SOI 층의 부분들(206, 208, 209a, 및 209b) 내의 응력이 변화할 수 있게 한다. 응력을 받은 희생 층(312)과 직접 접촉하는 SOI 층의 부분들(206, 209a, 및 209b)은, 이 부분들에서의 응력이, 응력을 받은 희생 층(312)에 의해 이 부분들에 인가된 압축 응력과 평형 상태를 성립하려 하기 쉽기 때문에, 점차적으로 인장 응력으로 된다. 한편, 응력을 받은 희생 층(312)과 직접 접촉하지 않는 SOI 층의 부분(208)은 활성 반도체 영역(211)의 부분들(209a, 209b)에 현재 존재하는 인장 응력에 의해 영향을 받는다. 이러한 조건 하에서, 부분(208)은 이때 부분(208)의 노출된 주요 표면 근처에서 상당한 압축 응력, 예를 들어, 약 1. 5 GPa 내지 2.0 GPa 이상의 크기를 갖는 압축 응력을 획득한다.

<46> 상기 실시예의 한 변형예에서, 압축 응력을 받은 희생 층(312; 도 4)은 압축 응력을 받은 실리콘 질화물 층 대신에 또는 압축 응력을 받은 실리콘 질화물 층에 더하여 압축 응력을 받은 실리콘 게르마늄 층을 포함한다. 단결정 SOI 층(310)의 노출된 표면으로부터 실리콘 게르마늄 층을 에피택셜하게 바람직하게 성장시킨다. 압축 응력을 받은 실리콘 질화물을 포함한 층을 실리콘 카본 층 위에 놓이도록 성막할 수 있다. BOX 층은 BPSG보다는 "PSG"(phosphosilicate glass)로 본질적으로 바람직하게 구성된다. PSG는 그 리플로우 온도에서 PSG 층이 리플로우함이 없이 실리콘 게르마늄 층을 성장시킬 수 있는 것이 바람직한 더 높은 리플로우 온도를 갖는다. 제조 프로세스(도 16)에서 뒤이어, BPSG 층을 리플로우시킬 수 있는 온도보다 더 높은 온도에서 예를 들어, 750 내지 900℃의 온도에서 PSG 층을 리플로우시킨다.

<47> 상술한 프로세스(도 10)와 같은 방식으로 STI 영역들(210a, 210b 및 210c; 도 17)을 형성하기 위해 유전체 물질로 트렌치를 채운 후, STI 영역의 상부 부분과 함께 압축 응력을 받은 희생 층을 제거하여, 도 12에 나타낸 SOI 기판(200)을 형성한다.

<48> 여기에 설명되고 도시된 본 발명의 실시예들의 상술한 변형예들의 관점에서 볼 때, 많은 변형예들과 보강예들이 본 발명의 범위 및 사상에 벗어남이 없이 이루어질 수 있음을 이해할 것이다. 이러한 모든 변형예들 및 보강예들을 아래 첨부한 청구범위에 의해 포함하는 것으로 의도한다.

산업상 이용 가능성

<49> 본 발명은 반도체 집적 디바이스를 제조하는 분야, 보다 자세하게는, SOI 구조체의 성능을 향상시키기 위해 인장성 영역과 압축성 영역을 갖는 응력을 받은 SOI 구조체의 제조에서 산업적 이용가능성을 찾는다.

도면의 간단한 설명

<6> 도 1은 종래 기술에 따라 SOI 기판을 제조하는 구조체 및 방법을 나타내는 단면도이다.

<7> 도 2는 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판을 나타내는 단면도이다.

<8> 도 3은 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판에 제공된 전계 효과 트랜지스터("FET")를 나타내는 단면도이다.

<9> 도 4는 응력을 받은 유전체 라이너들이 FET들 위에 놓여 있는, 도 3에 나타낸 실시예의 변형예를 나타내는 단면도이다.

<10> 도 5 내지 도 10은 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판을 제조하는 프로세스에서의 단계들을 나타내는 단면도이다.

<11> 도 11은 도 5 내지 도 10에 도시된 실시예의 변형예에 따라 응력을 받은 SOI 기판을 제조하는 프로세스에서의 단계를 나타내는 단면도이다.

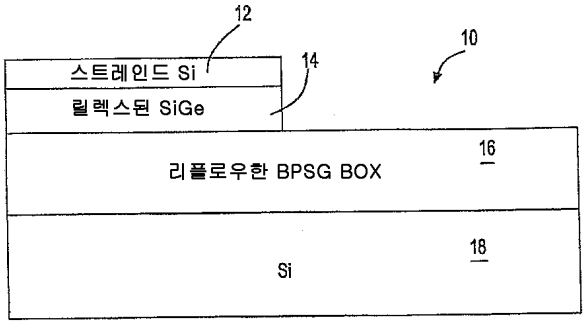
<12> 도 12는 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판을 나타내는 단면도이다.

<13> 도 13은 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판에 제공된 FET들을 나타내는 단면도이다.

<14> 도 14 내지 도 17은 본 발명의 일 실시예에 따라 응력을 받은 SOI 기판의 프로세스의 단계들을 나타내는 단면도이다.

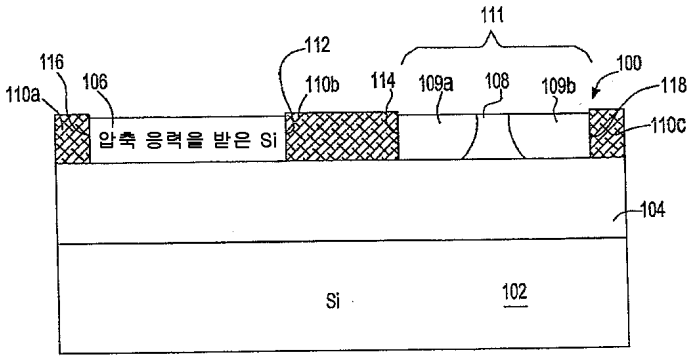
도면

도면1

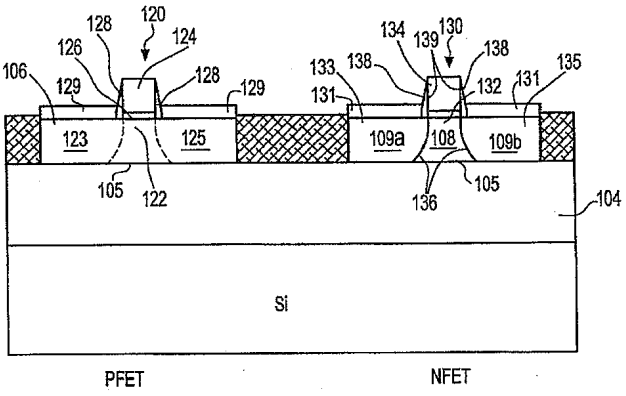


종래기술

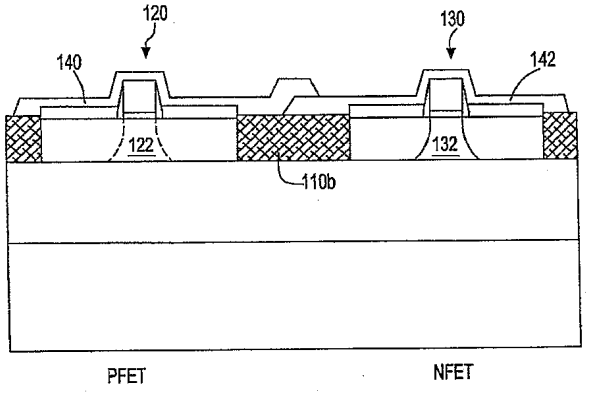
도면2



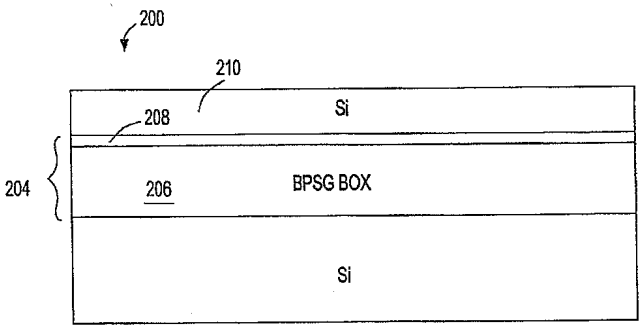
도면3


120
128
126
124
106
129
128
129
134
139
130
138
133
138
131
132
131
135
123
125
109a
108
109b
105
122
136
105
104
Si
PFET
NFET

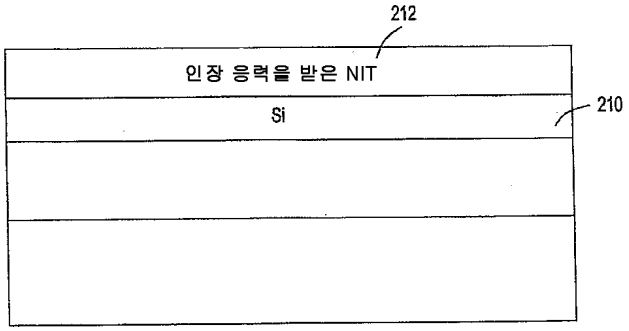
도면4


120
130
140
142
122
132
110b
PFET
NFET

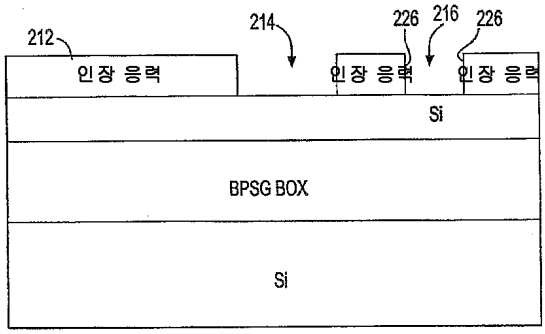
도면5


200
210
208
Si
204
206
BPSG BOX
Si

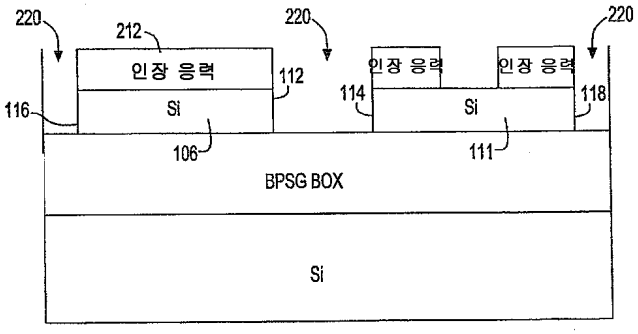
도면6


212
인장 응력을 받은 NIT
Si
210

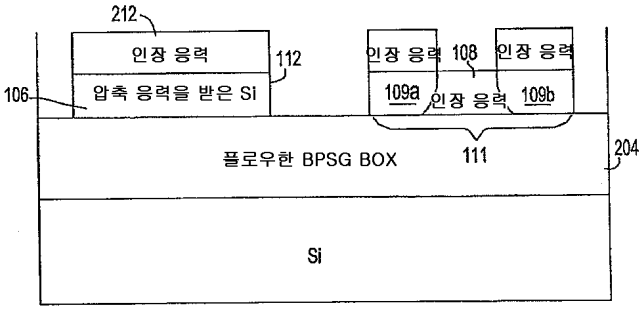
도면7


212
214
226
216
226
인장 응력
인장 응력
인장 응력
Si
BPSG BOX
Si

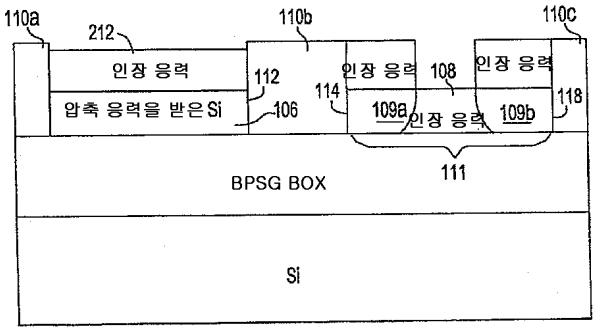
도면8


220
212
220
220
인장 응력
112
인장 응력
인장 응력
116
Si
114
Si
118
106
111
BPSG BOX
Si

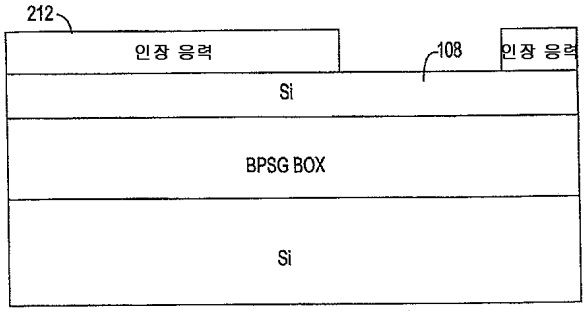
도면9



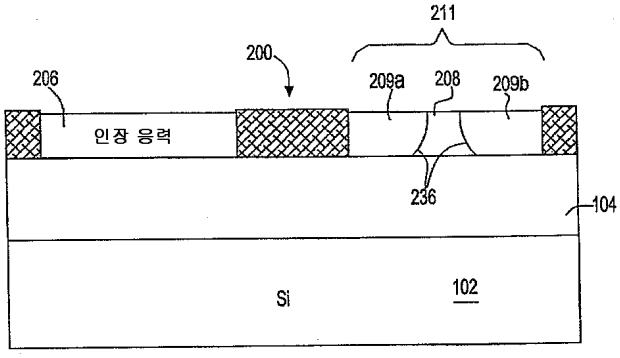
도면10



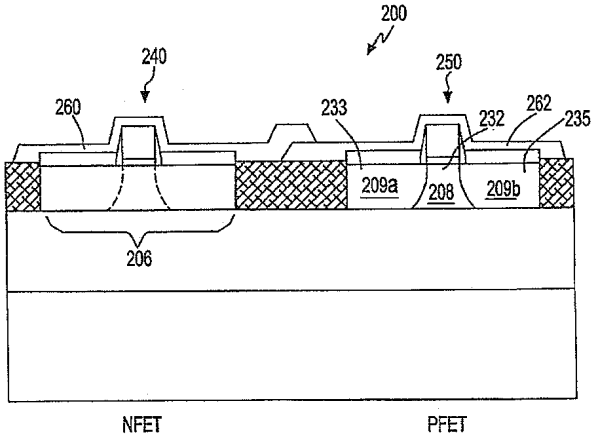
도면11



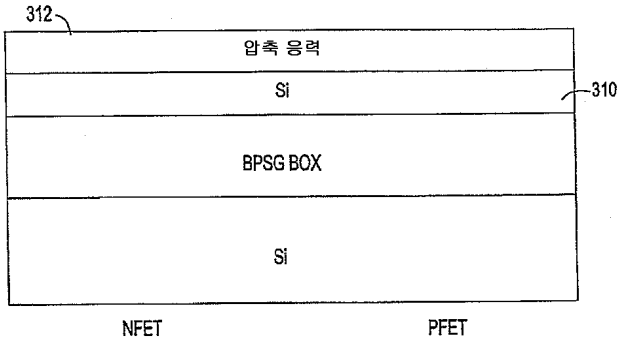
도면12



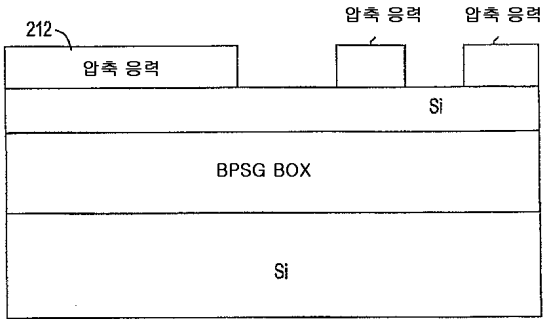
도면13



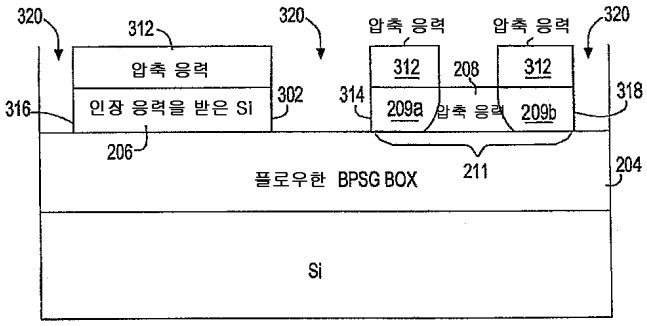
도면14



도면15



도면16



도면17

