

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-303918

(P2004-303918A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 27/10	HO 1 L 27/10 4 8 1	5 F 1 O 1
HO 1 L 27/115	HO 1 L 27/10 4 3 4	
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 45 O L (全 50 頁)

(21) 出願番号 特願2003-94517 (P2003-94517)
 (22) 出願日 平成15年3月31日 (2003.3.31)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 川嶋 祥之
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 伊藤 文俊
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 坂井 健志
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

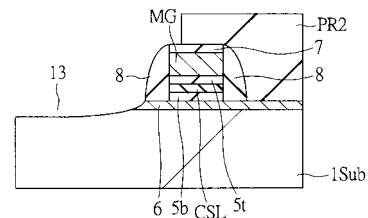
(57) 【要約】

【課題】 スプリットゲート型メモリセル構造を採用し、電荷蓄積層として窒化膜を用いる不揮発性メモリを有する半導体装置において電気的特性を向上させる。

【解決手段】 半導体基板 1 S u b の主面に n 型の半導体領域 6 を形成した後、その上にスプリットゲート型のメモリセルのメモリゲート電極 M G および電荷蓄積層 C S L を形成する。続いて、そのメモリゲート電極 M G の側面にサイドウォール 8 を形成した後、半導体基板 1 S u b の主面上にフォトリソパターン P R 2 を形成する。その後、フォトリソパターン P R 2 をエッチングマスクとして、半導体基板 1 S u b の主面の一部をエッチングにより除去して窪み 1 3 を形成する。この窪み 1 3 の形成領域では上記 n 型の半導体領域 6 が除去される。その後、その窪み 1 3 の形成領域にメモリセル選択用の n M I S のチャネル形成用の p 型の半導体領域を形成する。

【選択図】 図 1 2

図 12



- 1Sub: 半導体基板
- 6: n型の半導体領域
- 8: サイドウォール
- CSL: 電荷蓄積層
- MG: メモリゲート電極
- 13: 窪み

【特許請求の範囲】

【請求項 1】

互いに隣接する第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを有する半導体装置の製造方法において、以下の工程を有することを特徴とする半導体装置の製造方法

：

(a) 半導体基板の主面に第 1 不純物を導入することにより前記第 1 電界効果トランジスタの第 1 導電型の第 1 半導体領域を形成する工程、

(b) 前記第 1 半導体領域上に前記第 1 電界効果トランジスタの第 1 ゲート電極を形成する工程、

(c) 前記第 1 ゲート電極の側面に絶縁膜を形成する工程、

(d) 前記第 1 ゲート電極および絶縁膜の隣接領域の半導体基板の一部をエッチングにより除去する工程、

(e) 前記 (d) 工程後の半導体基板の主面に第 2 不純物を導入することにより、前記隣接領域であって、前記エッチングにより半導体基板の一部が除去された領域に、前記第 2 電界効果トランジスタの第 1 導電型とは反対の第 2 導電型の第 2 半導体領域を形成する工程、

(f) 前記第 2 半導体領域上に前記第 2 電界効果トランジスタの第 2 ゲート電極を形成する工程。

10

【請求項 2】

互いに隣接する第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを有する半導体装置の製造方法において、以下の工程を有することを特徴とする半導体装置の製造方法

20

：

(a) 半導体基板の主面に第 1 不純物を導入することにより前記第 1 電界効果トランジスタの第 1 導電型の第 1 半導体領域を形成する工程、

(b) 前記第 1 半導体領域上に前記第 1 電界効果トランジスタの第 1 ゲート電極を形成する工程、

(c) 前記第 1 ゲート電極の側面に絶縁膜を形成する工程、

(d) 前記第 2 電界効果トランジスタが配置される側の前記絶縁膜の側面にスペーサを形成する工程、

(e) 前記スペーサを形成した状態で前記半導体基板の主面に第 2 不純物を導入することにより、前記第 2 電界効果トランジスタの第 1 導電型とは反対の第 2 導電型の第 2 半導体領域を、前記第 2 電界効果トランジスタの形成領域側の前記第 2 半導体領域の端部が、前記スペーサの厚さ分だけ前記第 2 電界効果トランジスタの形成領域側の前記絶縁膜の側面から離れた位置に配置されるように形成する工程、

30

(f) 前記 (e) 工程後、前記スペーサを除去する工程、

(g) 前記 (f) 工程後、前記第 2 半導体領域上に前記第 2 電界効果トランジスタの第 2 ゲート電極を形成する工程。

【請求項 3】

請求項 1 または 2 記載の半導体装置の製造方法において、前記第 1 半導体領域は、前記第 1 電界効果トランジスタのチャンネル形成領域であり、前記第 2 半導体領域は、前記第 2 電界効果トランジスタのチャンネル形成領域であることを特徴とする半導体装置の製造方法。

40

【請求項 4】

互いに隣接する第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを有する半導体装置の製造方法において、以下の工程を有することを特徴とする半導体装置の製造方法

：

(a) 半導体基板の主面上に前記第 1 電界効果トランジスタの第 1 ゲート電極を形成する工程、

(b) 前記第 1 ゲート電極の周囲の半導体基板の主面上に保護用の絶縁膜を形成する工程、

(c) 前記保護用の絶縁膜を形成後、前記半導体基板の主面上に、前記第 2 電界効果トランジスタの第 2 ゲート電極を形成する工程。

50

ンジスタの第2ゲート電極の形成用の導体膜を堆積する工程、

(d) 前記導体膜をパターンングすることにより、前記第2ゲート電極を形成する工程、

(e) 前記(d)工程で残された前記導体膜の残りをエッチング除去する工程。

【請求項5】

請求項4記載の半導体装置の製造方法において、前記保護用の絶縁膜を、前記半導体基板上の他の電界効果トランジスタのゲート絶縁膜を形成する工程で同時に形成することを特徴とする半導体装置の製造方法。

【請求項6】

請求項4記載の半導体装置の製造方法において、前記保護用の絶縁膜を形成する工程は、前記保護用の絶縁膜を前記半導体基板の主面上に堆積する工程と、その堆積された保護用の絶縁膜が前記第1ゲート電極の一方の側面側の半導体基板上に残されるようにパターンングする工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項7】

請求項6記載の半導体装置の製造方法において、前記保護用の絶縁膜のパターンング工程に際して、前記第1ゲート電極の上面において上層配線との接続領域上に堆積された前記保護用の絶縁膜もエッチングにより除去する工程を有し、前記第2ゲート電極の形成工程後、前記第2ゲート電極の上面と、前記第1ゲート電極の前記上層配線が接続される接続領域とにシリサイド層を同時に形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項8】

20

請求項1、2または4記載の半導体装置の製造方法において、

前記第1、第2電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、

前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、

前記メモリセル選択用の電界効果トランジスタの制御ゲート電極と半導体基板との間にゲート絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項9】

請求項1、2または4記載の半導体装置の製造方法において、

前記第1、第2電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、

30

前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、

前記メモリセル選択用の電界効果トランジスタの制御ゲート電極と半導体基板との間にゲート絶縁膜を形成する工程を有しており、

前記電荷蓄積層は離散的なトラップ準位を含むことを特徴とする半導体装置の製造方法。

【請求項10】

請求項1、2または4記載の半導体装置の製造方法において、

前記第1、第2電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、

40

前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、

前記メモリセル選択用の電界効果トランジスタの制御ゲート電極と半導体基板との間にゲート絶縁膜を形成する工程を有しており、

前記電荷蓄積層が窒化シリコンからなることを特徴とする半導体装置の製造方法。

【請求項11】

請求項1、2または4記載の半導体装置の製造方法において、

前記第1、第2電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、

前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記

50

憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、
前記電荷蓄積層中の電荷をメモリゲート電極側に引き抜くことでデータの消去を行うことを特徴とする半導体装置の製造方法。

【請求項 1 2】

請求項 1、2 または 4 記載の半導体装置の製造方法において、
前記第 1、第 2 電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、
前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、
前記メモリセル選択用の電界効果トランジスタの制御ゲート電極と半導体基板との間にゲート絶縁膜を形成する工程を有しており、
前記メモリゲート電極上に、前記制御ゲート電極の一部が乗り上げるように前記制御ゲート電極をパターンニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項 1 3】

請求項 1、2 または 4 記載の半導体装置の製造方法において、
前記第 1、第 2 電界効果トランジスタのいずれか一方はメモリ用の電界効果トランジスタであり、他方はメモリセル選択用の電界効果トランジスタであり、
前記メモリ用の電界効果トランジスタのメモリゲート電極と半導体基板との間にデータ記憶に寄与する電荷を蓄積する電荷蓄積層を形成する工程を有し、
前記メモリセル選択用の電界効果トランジスタの制御ゲート電極と半導体基板との間にゲート絶縁膜を形成する工程を有しており、
前記メモリゲート電極の一部が、前記制御ゲート電極上に乗り上げるように前記メモリゲート電極をパターンニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

ゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置の製造方法において、
(a) 前記半導体基板の主面上に、前記電荷蓄積層を形成する工程、
(b) 前記電荷蓄積層上に、前記ゲート電極を形成するための導体膜を堆積する工程、
(c) 前記導体膜をパターンニングすることにより前記ゲート電極を形成する工程、
(d) 前記電荷蓄積層をパターンニングする工程を有し、
前記 (d) 工程において、前記電荷蓄積層の端部側面が、前記ゲート電極の端部側面から前記ゲート電極の中央に向かって離れるように、前記電荷蓄積層の端部の一部をエッチングすることを特徴とする半導体装置の製造方法。

【請求項 1 5】

請求項 1 4 記載の半導体装置の製造方法において、前記電荷蓄積層は離散的なトラップ準位を含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】

請求項 1 4 記載の半導体装置の製造方法において、前記電荷蓄積層が窒化シリコンからなることを特徴とする半導体装置の製造方法。

【請求項 1 7】

請求項 1 4 記載の半導体装置の製造方法において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタを形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 1 8】

請求項 1 7 記載の半導体装置の製造方法において、前記メモリゲート電極上に、前記メモリセル選択用の電界効果トランジスタの制御ゲート電極の一部が乗り上げるように前記制御ゲート電極をパターンニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項 1 9】

請求項 1 7 記載の半導体装置の製造方法において、前記メモリゲート電極の一部が、前記メモリセル選択用の電界効果トランジスタの制御ゲート電極上に乗り上げるように前記メ

メモリゲート電極をパターニングする工程を有することを特徴とする半導体装置の製造方法。

【請求項 20】

請求項 14 記載の半導体装置の製造方法において、前記電荷蓄積層中の電荷を前記メモリゲート電極側に引き抜くことでデータの消去を行うことを特徴とする半導体装置の製造方法。

【請求項 21】

互いに隣接する第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを有する半導体装置において、

(a) 前記第 1 電界効果トランジスタのゲート電極であって半導体基板上に形成された第 1 ゲート電極、

(b) 前記第 1 ゲート電極下の前記半導体基板に形成された第 1 導電型の第 1 半導体領域、

(c) 前記第 2 電界効果トランジスタのゲート電極であって前記半導体基板上に形成された第 2 ゲート電極、

(d) 前記第 2 ゲート電極下の前記半導体基板に形成された第 1 導電型とは反対の第 2 導電型の第 2 半導体領域を有し、

前記第 2 半導体領域が形成された半導体基板の主面は、前記第 1 半導体領域が形成された半導体基板の主面に対して低くなるように形成されていることを特徴とする半導体装置。

【請求項 22】

互いに隣接する第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを有する半導体装置において、

(a) 前記第 1 電界効果トランジスタのゲート電極であって半導体基板上に形成された第 1 ゲート電極、

(b) 前記第 1 ゲート電極下の前記半導体基板に形成された第 1 導電型の第 1 半導体領域、

(c) 前記第 2 電界効果トランジスタのゲート電極であって前記半導体基板上にゲート絶縁膜を介して形成された第 2 ゲート電極、

(d) 前記第 2 ゲート電極下の前記半導体基板に形成された第 1 導電型とは反対の第 2 導電型の第 2 半導体領域を有し、

前記第 2 電界効果トランジスタ側の前記第 2 半導体領域の端部は、前記第 1 電界効果トランジスタ側の前記第 2 ゲート電極および前記ゲート絶縁膜の端部の位置と一致するか、または、前記第 2 ゲート電極および前記ゲート絶縁膜の領域下に部分的に入り込むように形成されていることを特徴とする半導体装置。

【請求項 23】

請求項 21 または 22 記載の半導体装置において、

前記第 1 電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記第 1 半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域であり、前記メモリ用の電界効果トランジスタの第 1 ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

前記第 2 電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第 2 半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であることを特徴とする半導体装置。

【請求項 24】

請求項 21 または 22 記載の半導体装置において、

前記第 1 電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記メモリ用の電界効果トランジスタの第 1 ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

前記第 2 電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第 1 半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域と、前記

10

20

30

40

50

メモリセル選択用の電界効果トランジスタのソースおよびドレイン用の半導体領域との機能を有しており、

前記第2半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であることを特徴とする半導体装置。

【請求項25】

請求項21または22記載の半導体装置において、

前記第1電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記第1半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域であり、前記メモリ用の電界効果トランジスタの第1ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

10

前記第2電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第2半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であり、

前記電荷蓄積層は離散的なトラップ準位を含むことを特徴とする半導体装置。

【請求項26】

請求項21または22記載の半導体装置において、

前記第1電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記第1半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域であり、前記メモリ用の電界効果トランジスタの第1ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

20

前記第2電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第2半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であり、

前記電荷蓄積層が窒化シリコンからなることを特徴とする半導体装置。

【請求項27】

請求項21または22記載の半導体装置において、

前記第1電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記第1半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域であり、前記メモリ用の電界効果トランジスタの第1ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

30

前記第2電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第2半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であり、

前記メモリ用の電界効果トランジスタの第1ゲート電極上には、前記メモリセル選択用の電界効果トランジスタの第2ゲート電極が乗り上げている構成を有することを特徴とする半導体装置。

【請求項28】

請求項21または22記載の半導体装置において、

前記第1電界効果トランジスタは、メモリ用の電界効果トランジスタであり、前記第1半導体領域は、前記メモリ用の電界効果トランジスタのチャンネル形成領域であり、前記メモリ用の電界効果トランジスタの第1ゲート電極と半導体基板との間にはデータ記憶に寄与する電荷を蓄積する電荷蓄積層が形成され、

40

前記第2電界効果トランジスタは、メモリセル選択用の電界効果トランジスタであり、前記第2半導体領域は、前記メモリセル選択用の電界効果トランジスタのチャンネル形成領域であり、

前記メモリ用の電界効果トランジスタの第1ゲート電極は、前記メモリセル選択用の電界効果トランジスタの第2ゲート電極上に乗り上げている構成を有することを特徴とする半導体装置。

【請求項29】

ゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持

50

つ不揮発性メモリセルを有する半導体装置において、前記電荷蓄積層の幅方向端部側面の位置が、前記ゲート電極の幅方向端部側面の位置と一致しているか、または、前記ゲート電極の幅方向端部側面から前記ゲート電極の中央に向かって離れるように形成されていることを特徴とする半導体装置。

【請求項 30】

ゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記電荷蓄積層はその平面全域が、前記ゲート電極の平面全域に内包されるように形成されていることを特徴とする半導体装置。

【請求項 31】

n型のゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記n型のゲート電極は、前記電荷蓄積層の近傍側の第1領域とそれ以外の第2領域とを有し、前記第1領域のn型不純物の濃度が、前記第2領域のn型不純物の濃度よりも低いことを特徴とする半導体装置。

10

【請求項 32】

n型のゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記n型のゲート電極のn型不純物の濃度は、前記半導体基板上の他の電界効果トランジスタのn型のゲート電極のn型不純物の濃度よりも低いことを特徴とする半導体装置。

20

【請求項 33】

n型のゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記n型のゲート電極のn型不純物の濃度が、 $1 \times 10^{18} / \text{cm}^3 \sim 2 \times 10^{20} / \text{cm}^3$ であることを特徴とする半導体装置。

【請求項 34】

n型のゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記n型のゲート電極のn型不純物の濃度は、 $8 \times 10^{19} / \text{cm}^3 \sim 1.5 \times 10^{20} / \text{cm}^3$ であることを特徴とする半導体装置。

30

【請求項 35】

請求項 29、30、31、32、33または34記載の半導体装置において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタが設けられ、前記電荷蓄積層中の電荷を前記メモリゲート電極側に引き抜くことでデータの消去を行う構成を有することを特徴とする半導体装置。

【請求項 36】

n型のゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記電荷蓄積層中の電子を前記ゲート電極側に引き抜くとともに、前記ゲート電極中の正孔を電荷蓄積層側に注入させて前記電子との再結合を促すことにより、データの消去を行う構成を有することを特徴とする半導体装置。

40

【請求項 37】

ゲート電極と半導体基板との間にデータの記憶に寄与する電荷を蓄積する電荷蓄積層を持つ不揮発性メモリセルを有する半導体装置において、前記電荷蓄積層中の電子を前記ゲート電極側に引き抜くことによりデータの消去を行う構成を有しており、前記ゲート電極はp型とされていることを特徴とする半導体装置。

【請求項 38】

電荷蓄積層に蓄えられた電荷をゲート電極側に引き抜くことでデータの消去を行う不揮発性メモリセルを有する半導体装置において、書き込みレベルの最も少ない状態が前記不揮発性メモリセルの初期のしきい値電圧よりも高い状態とすることを特徴とする半導体装置

50

。

【請求項 39】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記電荷蓄積層は離散的なトラップ準位を含むことを特徴とする半導体装置。

【請求項 40】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記電荷蓄積層が窒化シリコンからなることを特徴とする半導体装置。

【請求項 41】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタを設けたことを特徴とする半導体装置。 10

【請求項 42】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタが設けられ、前記メモリゲート電極上には、前記メモリセル選択用の電界効果トランジスタの制御ゲート電極が乗り上げている構成を有することを特徴とする半導体装置。

【請求項 43】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタが設けられ、前記メモリゲート電極は、前記メモリセル選択用の電界効果トランジスタの制御電極上に乗り上げている構成を有することを特徴とする半導体装置。 20

【請求項 44】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記ゲート電極がメモリゲート電極であり、前記メモリゲート電極に隣接するようにメモリセル選択用の電界効果トランジスタが設けられ、前記メモリゲート電極下の半導体基板に設けられた第 1 導電型の第 1 半導体領域は、前記メモリゲート電極を有するメモリ用の第 1 電界効果トランジスタのチャンネル形成領域としての機能を有しているとともに、前記メモリセル選択用の電界効果トランジスタのソースおよびドレイン用の半導体領域としての機能を有していることを特徴とする半導体装置。 30

【請求項 45】

請求項 29、30、31、32、33、34、36、37 または 38 記載の半導体装置において、前記ゲート電極の幅方向における前記ゲート電極の幅は、前記ゲート電極の幅方向における前記電荷蓄積層の幅よりも大きい、または等しいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、不揮発性メモリを有する半導体装置の製造方法および半導体装置に適用して有効な技術に関するものである 40

。

【0002】

【従来の技術】

EEPROM (Electrically Erasable Programmable Read Only Memory) やフラッシュメモリ等のような電氣的に書き換え可能な不揮発性メモリは、オンボードでプログラムの書き換えができることから、開発期間の短縮、開発効率の向上が可能になるほか、少量多品種生産への対応、仕向け先別チューニング、出荷後のプログラムアップデート等、様々な用途に応用が広がっている。特に、近年では、MPU (Micro Processing Unit) と EEPROM 50

(またはフラッシュメモリ)とを内蔵したマイコンへのニーズが大きい。電気的に書き換え可能な不揮発性メモリとしては、通常のポリシリコンをフローティング電極としたEEPROMが主に使用されている。しかし、この構造のEEPROMでは、フローティングゲート電極を取り囲む酸化膜のどこか一部にでも欠陥があると、電荷蓄積層が導体であるため、異常リークにより蓄積ノードに貯えられた電荷がすべて抜けてしまう場合がある。特に今後、微細化が進み集積度が向上してくると、この問題がより顕著になってくると考えられる。

【0003】

そこで、近年は、窒化膜(Si_3N_4 等)を電荷蓄積層とするMNOS(Metal Nitride Oxide Semiconductor)構造またはMONOS(Metal Oxide Nitride Oxide Semiconductor)構造が注目されている。この場合、データ記憶に寄与する電荷は、絶縁体である窒化膜の離散トラップに蓄積されるため、蓄積ノードを取り巻く酸化膜のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることが可能である。

10

【0004】

メモリセルの構成としては、単一トランジスタ構造のメモリセルが提案されている。書込/消去方式としては、半導体基板からの全面FN(Fowler Nordheim)トンネリング注入による書き込み、半導体基板へのFNトンネリング電流による消去を行う方式の他、ホットエレクトロン注入による書き込み、半導体基板もしくはソース、ドレイン領域へのFNトンネリング電流による消去を行う方式が提案されている。さらに、MONOS型単一トランジスタセル構造の場合、EEPROMセル構造と比べてディスタープの影響を受け易いので、コントロールゲート電極を設けた2トランジスタ構成のスプリットゲート型メモリセル構造も提案されている。この種のスプリットゲート型メモリセル構造には、そのいずれかのゲート電極が他方のゲート電極に乗り上げるプロセスの違いにより、コントロールゲート電極乗り上げ型、メモリゲート電極乗り上げ型およびサイドウォール方式を用いたメモリゲート電極乗り上げ型等が実現可能である。

20

【0005】

なお、例えば特開平6-85251号公報には、メモリセルではないがMOS・FETのゲート電極を形成した後、そのゲート電極の両側に位置する半導体基板の表層部分をエッチングし、チャンネル領域とソース・ドレイン領域とで段差を形成する技術が開示されている(例えば特許文献1)。

30

【0006】

また、例えば特開平5-267250号公報には、フラッシュメモリの製造工程において隣接するゲート電極(フローティングゲート)の側面にサイドウォールを形成した後、そのゲート電極およびサイドウォールをマスクとして、下層のフィールド絶縁膜および半導体基板を部分的にエッチングし、溝を形成する技術が開示されている(例えば特許文献2)。

【0007】

また、例えば特開2000-91452号公報には、MONOS構造の不揮発性メモリの動作時に、選択されたメモリセルトランジスタに隣接する非選択のメモリセルトランジスタに対してデータの書き込みや読み出しが行われないように、メモリセルトランジスタのソースおよびドレイン用の埋込領域上の絶縁膜パターンのチャンネル側側面にオフセットサイドウォールを設け、メモリセルトランジスタのチャンネルが拡大し難いようにする構成が開示されている(例えば特許文献3)。

40

【0008】

また、例えば特開平6-125094号公報には、メモリセルトランジスタのONO膜およびゲート電極と、ソース領域との間にオフセット領域を設ける構成が開示されている(例えば特許文献4)。

【0009】

50

また、例えば特開 2001-168219 号公報には、MONOS 型のメモリセルトランジスタのチャンネルに段差を設け、この段差を通じてチャンネルホットエレクトロン注入を行う構成が開示されている。また、この公報の段落番号 0038 には、FN トンネル電流を用いて電荷を引き抜くことで消去を行うメモリセルトランジスタのゲート電極が、p 型または n 型の不純物が高濃度に導入されて導電化されたポリシリコンからなる旨が記載されている（例えば特許文献 5）。

【0010】

また、例えば特開 2002-298591 号公報には、EEPROM の読み出し動作を繰り返すことにより、非選択のメモリセルのしきい値電圧が上昇しデータが破壊されるのを抑制または防止するために、メモリセルのしきい値電圧を、データ読み出し時にソースおよびドレインに印加される電圧のうちの低い方の電圧よりも高くし、データ読み出し時にゲート電極に印加される電圧よりも低くする構成が開示されている（例えば特許文献 6）。

10

【0011】

【特許文献 1】

特開平 6-85251 号公報

【0012】

【特許文献 2】

特開平 5-267250 号公報

【0013】

【特許文献 3】

特開 2000-91452 号公報

【0014】

【特許文献 4】

特開平 6-125094 号公報

【0015】

【特許文献 5】

特開 2001-168219 号公報

【0016】

【特許文献 6】

特開 2002-298591 号公報

【0017】

【発明が解決しようとする課題】

ところが、上記のようにスプリットゲート型メモリセル構造を採用し、電荷蓄積層として窒化膜を用いる不揮発性メモリは新しい構造であり、その不揮発性メモリを有する半導体装置においては、如何にして電気的特性の向上を図るかが重要課題の一つとなっている。

【0018】

本発明の目的は、スプリットゲート型メモリセル構造を採用し、電荷蓄積層として窒化膜を用いる不揮発性メモリを有する半導体装置において電気的特性を向上させることのできる技術を提供することにある。

40

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】

すなわち、本発明は、互いに隣接するように配置された第 1、第 2 電界効果トランジスタを持つ不揮発性メモリセルを半導体基板に有するものにおいて、前記半導体基板に既に形

50

成されている前記第1電界効果トランジスタの第1導電型の第1半導体領域のうち、前記第2電界効果トランジスタの形成領域に配置されている部分をエッチングした後、そのエッチング領域に、前記第2電界効果トランジスタの第1導電型とは反対の第2導電型の第2半導体領域を形成するものである。

【0022】

また、本発明は、互いに隣接するように配置された第1、第2電界効果トランジスタを持つ不揮発性メモリセルを半導体基板に有するものにおいて、前記第1電界効果トランジスタの第1ゲート電極下の第1導電型の第1半導体領域のうち、前記第2電界効果トランジスタ側の端部が、前記第2電界効果トランジスタの第2ゲート電極下にはみ出すか、または第2ゲート電極端部に一致するように、前記第2電界効果トランジスタの第2ゲート電極下に第1導電型とは反対の第2導電型の第2半導体領域を形成するものである。

10

【0023】

また、本発明は、ゲート電極と、電荷蓄積層とを有する不揮発性メモリセルを有するものにおいて、前記ゲート電極を加工した後、前記電荷蓄積層の端部をその端部側面が前記ゲート電極の端部側面下に位置されるようにオーバーエッチングするものである。

【0024】

また、本発明は、互いに隣接するように配置された第1、第2電界効果トランジスタの第1、第2ゲート電極の一方のゲート電極が他方のゲート電極に乗り上げるような構造を持つ不揮発性メモリセルを半導体基板に有するものにおいて、前記一方のゲート電極形成用の導体膜を堆積する前に、前記他方のゲート電極の側面側であって、前記一方のゲート電極が乗り上げない側の半導体基板の主面上に、保護膜を形成しておくものである。

20

【0025】

また、本発明は、電荷蓄積層に蓄えられた電荷をn型のゲート電極側に引き抜くことでデータの消去を行う不揮発性メモリセルを有するものにおいて、前記n型のゲート電極中の前記電荷蓄積層側の第1領域のn型不純物の濃度を、前記n型のゲート電極中の前記第1領域以外の第2領域のn型不純物の濃度よりも低くするものである。

【0026】

また、本発明は、電荷蓄積層に蓄えられた電荷をゲート電極側に引き抜くことでデータの消去を行う不揮発性メモリセルを有するものにおいて、書き込みレベルの最も少ない状態が前記不揮発性メモリセルの初期のしきい値電圧よりも高い状態とするものである。

30

【0027】

【発明の実施の形態】

本願発明の実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

【0028】

窒化シリコン、窒化ケイ素またはシリコンナイトライドというときは、 Si_3N_4 は勿論であるが、そのみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値

40

50

および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするためにハッチングを付す場合もある。また、以下の実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。なお、MOS・FET (Metal Oxide Semiconductor FET) は、そのゲート絶縁膜が酸化シリコン (SiO_2 等) 膜からなる構造の電界効果トランジスタであり、上記MISの下位概念に含まれるものとする。

10

【0030】

(実施の形態1)

本発明者が検討したのは、EEPROMまたはフラッシュメモリ等のような不揮発性メモリを有する半導体装置であって、その不揮発性メモリの複数のメモリセルの各々が、例えば2トランジスタ構造のスプリットゲート電極構造を備え、かつ、その一方のトランジスタ側に、窒化膜(窒化シリコン膜等)をデータ記憶用の電荷蓄積層とするMONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を備える半導体装置である。MONOS構造とした場合、単一トランジスタメモリセルでは、EEPROM構造の場合に比べてディスターブの影響を受け易いので、これを防ぐべく、2トランジスタ構造のスプリットゲート電極構造を採用している。また、上述したスプリットゲート型のメモリセル構造はいずれも消去時に半導体基板から電荷蓄積層にホールを注入、もしくは電荷蓄積層から半導体基板に電子を引き抜くため、メモリゲート電極に負電圧を印加する負電源回路が必要となり、メモリ占有率が低下して製造歩留りが低下してしまう。また、FNTトンネリング電流で書き込みを行う場合、書き込みの高速化が難しいという問題もある。従って、データ書き込み時はホットエレクトロン注入により半導体基板から電荷蓄積用の窒化膜中に電子を注入することで書き込み時間の高速化を図る一方、データ消去時はメモリゲート電極側に正の電圧を印加して電荷蓄積用の窒化膜中の電子をメモリゲート電極側に引き抜く動作とすることで電源回路の簡素化が可能になる。しかし、これまで上記のような回路動作を行うメモリセル構造については詳細に検討されていない。そこで、本実施の形態では、上記のような回路動作を行うメモリセル構成に適用した場合について説明するが、以下の実施の形態は、上記のような回路動作のメモリセル構造に適用することに限定されるものではなく種々の回路動作のメモリセルに適用することができるものも含んでいる。

20

30

【0031】

図1は、上記メモリセルMCの回路図を示している。メモリセルMCは、メモリセルMCのドレイン電極Dと、ソース電極Sとの間に、例えばメモリセル選択用のnMISQnc (以下、単に選択用のnMISQncという) と、メモリ用のnMISQnmとの2つのトランジスタを有している。選択用のnMISQncはコントロールゲート電極CGを有し、メモリ用のnMISQnmはメモリゲート電極MGおよび上記電荷蓄積層CSLを有している。符号のVdはドレイン電圧、Vcgはコントロールゲート電圧、Vmgはメモリゲート電圧、Vsはソース電圧、Vsubは基板電圧を示している。

40

【0032】

図2は、上記メモリセルMCの基本的なデバイス断面の一例を示している。ここでは、コントロールゲート電極乗り上げ型のメモリセルMC1 (MC) を例示している。半導体基板(以下、単に基板という) 1Subは、例えばp型のシリコン(Si)単結晶からなり、その主面(デバイス形成面)にはメモリセルMC1の選択用のnMISQncと、メモリ用のnMISQnmとが配置されている。このメモリセルMC1のドレイン領域Drnおよびソース領域Srnは、例えばn⁻型の半導体領域2aと、その半導体領域2aよりも不純物濃度の高いn⁺型の半導体領域2bとを有している(LDD (Lightly Doped Drain) 構造)。n⁻型の半導体領域2aは、メモリセルMCのチャネ

50

ル領域側に配置され、 n^+ 型の半導体領域2bはメモリセルMCのチャネル領域側から n^- 型の半導体領域2a分だけ離れた位置に配置されている。このドレイン領域Dr_mとソース領域Sr_mとの間の基板1Subの主面上には、上記選択用のnMISQncのコントロールゲート電極CGと、上記メモリ用のnMISQnmのメモリゲート電極MGとが隣接して配置されている。

【0033】

コントロールゲート電極CGおよびメモリゲート電極MGは、例えばn型の低抵抗なポリシリコンからなる。コントロールゲート電極CGの一部はメモリゲート電極MG側に乗り上げている。コントロールゲート電極CGと基板1Subの主面との間には、例えば厚さ2~3nm程度の薄い酸化シリコン(SiO₂等)からなるゲート絶縁膜3が設けられている。このゲート絶縁膜3の下方の基板1Subの主面には、p型の半導体領域4が形成されている。この半導体領域4は、選択用のnMISQncのチャネル形成用の半導体領域であり、この半導体領域4により選択用のnMISQncのしきい値電圧が所定の値に設定されている。半導体領域4は、選択用のnMISQncのしきい値電圧を上げる機能を有している。半導体領域4には、ホウ素(B)が導入されている。

10

【0034】

一方、メモリゲート電極MGと基板1Subの主面との間には、上記電荷蓄積層CSLが、その上下の絶縁膜5t, 5bに挟まれた状態で設けられている。電荷蓄積層CSLは、例えば窒化シリコンからなり、その厚さは、例えば50nm以下である。ただし、電荷蓄積層CSLは窒化シリコンに限定されるものではなく種々変更可能であり、例えばアルミナ(Al₂O₃)等のように絶縁性のトラップ準位を形成できるような材料を用いることができる。絶縁膜5b, 5tは、例えば酸化シリコン等からなる。絶縁膜5bの厚さは、例えば2~6nm程度、絶縁膜5tの厚さは、例えば10~17nm程度である。絶縁膜5tを酸窒化シリコン(SiON)で形成しても良い。

20

【0035】

また、絶縁膜5b, 5tを、それぞれ窒素を含有した酸化シリコン膜として形成することもできる。これは、メモリ用のnMISQnmを形成した後に、選択用のnMISQncまたはメモリセル周辺のMIS形成領域に形成されるMISのゲート絶縁膜として酸化シリコン膜を形成する酸化工程において、シリコンからなる基板1Subと多結晶シリコンからなるメモリゲート電極MGが酸化され、それによって絶縁膜5b, 5tの端部における膜厚が増加してしまうという問題がある。本実施の形態のようなメモリ用のnMISQnmでは、基板1Subから電荷蓄積層CSLへ電子を注入して書き込み動作を行ない、電荷蓄積層CSLからメモリゲート電極MGへ電子を引き抜くことで消去動作を行なうため、このようなメモリゲート電極MG端部での絶縁膜5b, 5t膜厚の増加は、誤書き込み・誤消去の原因となる。したがって、絶縁膜5b, 5tを、それぞれ窒素を含有した酸化シリコン膜とすることで、絶縁膜5b, 5tの端部における過剰な酸化シリコン膜の形成を防止することが可能となる。

30

【0036】

具体的な実施方法としては、絶縁膜5b形成後に、例えば、酸窒化(NO)アニールを行ない、絶縁膜5bの基板1Sub側に窒素を導入する。これにより、他の酸化工程時に絶縁膜5b端部の膜厚の増加を防ぐことが可能となる。また、絶縁膜5t形成後に窒素プラズマ処理を行なうか、またはメモリゲート電極MGとなる導電膜の堆積後に酸窒化(NO)アニールを行なうことによって、絶縁膜5tの導電膜側に窒素を導入することができる。これにより、他の酸化工程時に絶縁膜5t端部の膜厚の増加を防ぐことが可能となる。

40

【0037】

更に、選択用のnMISQncまたはメモリセル周辺のMISのゲート絶縁膜(酸化シリコン膜)をCVD法によって形成することで、熱酸化工程に比べて成膜温度を低くすることができるので、絶縁膜5b, 5tの端部における過剰な酸化シリコン膜の形成を、より阻害することが可能となる。

【0038】

50

上記絶縁膜 5 b の下方、p 型の半導体領域 4 とソース領域 S_{rm} との間の基板 1_{Sub} の主面には、n 型の半導体領域 6 が形成されている。この半導体領域 6 は、メモリ用の n_{MISQnm} のチャネル形成用の半導体領域であり、この半導体領域 6 によりメモリ用の n_{MISQnm} のしきい値電圧が所定の値に設定されている。半導体領域 6 は、メモリ用の n_{MISQnm} のしきい値電圧を下げる機能を有している。半導体領域 6 には、例えばヒ素 (As) またはリン (P) が導入されている。メモリゲート電極 M_G の上面には、例えば酸化シリコンからなる絶縁膜 7 が設けられている。

【0039】

また、メモリゲート電極 M_G 、絶縁膜 5 t, 5 b および電荷蓄積層 CSL の側面には、例えば酸化シリコンからなるサイドウォール 8 が形成されており、メモリゲート電極 M_G とコントロールゲート電極 CG との絶縁がなされている。このようなメモリセル MC_1 のコントロールゲート電極 CG の両側面、絶縁膜 7 の上面一部およびソース領域 S_{rm} 側のサイドウォール 8 の表面には、これを覆うようにサイドウォール 9 が形成されている。このサイドウォール 9 は、例えば酸化シリコンからなり、主として上記 n 型の半導体領域 2 a を形成するための部材である。

10

【0040】

このようなメモリセル MC_1 において、データの記憶に寄与する電荷は、ホットエレクトロン注入により矢印 A で示す位置等で基板 1_{Sub} から電荷蓄積層 CSL 中のトラップ準位に注入される。この電荷は離散的に蓄積されるため、電荷蓄積層 CSL を取り囲む酸化膜 (絶縁膜 5 b, 5 t やサイドウォール 8) のどこか一部に欠陥が生じて異常リークがおきても、電荷蓄積層 CSL 中の電荷が全て抜けてしまうことがないため、データ保持の信頼度を向上させることができる。そして、このため、電荷蓄積層 CSL の上下の絶縁膜 5 b, 5 t を薄膜化できるので、書き込みおよび消去動作の低電圧化を図ることができる。また、データの書き込み時はホットエレクトロン注入により基板 1_{Sub} から電荷蓄積層 CSL 中に電子を注入するので、電子注入効率に優れ、高速、低電流の書き込みができる。一方、データの消去時はメモリゲート電極 M_G 側に正の電圧を印加して電荷蓄積層 CSL 中の電子をメモリゲート電極 M_G 側に引き抜く方式とするので、書き込みおよび消去動作の制御が容易であり、電源回路や周辺回路の簡素化 (小規模化) が可能である。

20

【0041】

図 3 は、図 1 および図 2 のメモリセル MC のデータの読み出し動作 Re 、消去動作 Er および書き込み動作 Wr 時の各部への印加電圧値の一例を示している。

30

【0042】

データの読み出し動作 Re に際しては、選択したメモリセル MC のドレイン電極 D (ドレイン領域 D_{rm}) に、例えば 1 V 程度、コントロールゲート電極 CG に、例えば 1.5 V 程度、選択したメモリセル MC のソース電極 S (ソース領域 S_{rm})、メモリゲート電極 M_G および基板 1_{Sub} に、例えば 0 (零) V を印加して、メモリセル MC の選択用の n_{MISQnc} をオンする。この時、メモリ用の n_{MISQnm} の電荷蓄積層 CSL 中の電子の有無によりメモリ用の n_{MISQnm} のしきい値電圧が変化し、ドレイン領域 D_{rm} とソース領域 S_{rm} との間に電流が流れたり、流れなかったりするので、これにより、記憶データを読み出す。

40

【0043】

また、データの消去動作 Er に際しては、選択したメモリセル MC のドレイン電極 D (ドレイン領域 D_{rm})、ソース電極 S (ソース領域 S_{rm}) および基板 1_{Sub} に、例えば 0 (零) V、コントロールゲート電極 CG に、例えば 1.5 V 程度、メモリゲート電極 M_G に、例えば 1.4 V 程度を印加する。これにより、電荷蓄積層 CSL 中の電子をトンネル放出によりメモリゲート電極 M_G 側に逃がし、データを消去する。

【0044】

さらに、データの書き込みは、ソースサイド・ホットエレクトロン注入方式を採用している。データの書き込み動作 Wr に際しては、選択したメモリセル MC のドレイン電極 D (ドレイン領域 D_{rm}) および基板 1_{Sub} に、例えば 0 (零) V、コントロールゲート電

50

極CGに、例えば1.5V程度、メモリゲート電極MGに、例えば12V程度、選択したメモリセルMCのソース電極S(ソース領域 S_{rm})に、例えば6V程度を印加する。これにより、メモリセルMCのチャンネルで発生したホットエレクトロンを電荷蓄積層CSLに注入し、データを書き込む。

【0045】

図4および図5は、スプリットゲート電極型のメモリセルMCの基本的なデバイス断面の他の例を示している。図4はメモリゲート電極乗り上げ型のメモリセルMC2(MC)を例示し、図5はサイドウォール方式メモリゲート電極乗り上げ型のメモリセルMC3(MC)を例示している。図4および図5のメモリセルMC2, MC3では、メモリゲート電極MGの一部がコントロールゲート電極CG側に乗り上げているが、コントロールゲート電極CG上面上の酸化シリコン等からなる絶縁膜10、絶縁膜5b, 5tおよび電荷蓄積層CSL等によりコントロールゲート電極CGとメモリゲート電極MGとの絶縁がなされている。この場合もデータの読み出し、書き込みおよび消去動作は上記したのと同じなので説明を省略する。以上のようなメモリセルを有する半導体装置は、例えばIC(Integrated circuit)カード(メモリカード)に使用されている。

10

【0046】

次に、上記図2、図4および図5に示したスプリットゲート型のメモリセルMC(MC1~MC3)について本発明者が初めて見出した課題を図6および図7により説明する。

【0047】

図6は上記図2のスプリットゲート電極型のメモリセルMC1の形成工程中の基板1Subの要部断面図を示している。この基板1Sub(この段階では平面略円形状のウエハ)の主面には、n型の半導体領域6が形成されている。また、この基板1Subの主面には、絶縁膜5b、電荷蓄積層CSL、絶縁膜5t、メモリゲート電極MGおよび絶縁膜7の積層パターンが形成されている。そして、その積層パターンの側面には、例えば酸化シリコンからなるサイドウォール8が形成されている。上記メモリセルMC1の形成工程では、まず、このような基板1Subの主面上に、図7に示すように、選択用のnMISQnc(図2参照)の形成領域が露出され、それ以外の領域が覆われるようなフォトレジストパターン(以下、単にレジストパターンという)PR1を形成する。続いて、そのレジストパターンPR1、サイドウォール8およびメモリゲート電極MGの一部をマスクとして、例えばホウ素(B)をイオン注入法により基板1Subの主面に導入する。これにより、基板1Subの主面にp型の半導体領域4をメモリゲート電極MGに対して自己整合的に形成する。この時、メモリセルMC1の動作安定性の観点からは選択用のnMISQncのしきい値電圧を高く保ちたいので、ホウ素の導入量を、既に基板1Subの主面に形成されている上記n型の半導体領域6の導電型が打ち消される程度に導入する必要がある。このため、p型の半導体領域4には多量の不純物が打ち込まれることになるので、その半導体領域4での総合の不純物濃度(半導体領域4, 6の各々の形成用の不純物濃度の和)が高くなる。

20

30

【0048】

このように、図2、図4および図5のスプリットゲート電極型のメモリセルMC1~MC3では、選択用のnMISQncとメモリ用のnMISQnmとが隣接しているため、nMISQnc, Qnmのチャンネル形成用の半導体領域を形成するには、そのいずれか一方のチャンネル形成用の半導体領域を形成するための不純物を基板1Subに打ち込んだ後に、それを打ち消すように反対導電型の不純物を打ち込むことにより他方のチャンネル形成用の半導体領域を形成する必要がある。このため、どちらかのチャンネル形成用の半導体領域には多量の不純物が打ち込まれることになるので、その多量の不純物が打ち込まれたチャンネル形成用の半導体領域の総合の不純物濃度が高くなる。その結果、キャリアの移動度の低下(ドレイン電流 I_{ds} の低下)やしきい値電圧のばらつきの増大等のような電気的特性の劣化が生じる。

40

【0049】

そこで、本実施の形態1では、選択用のMISとメモリ用のMISとの2つのMISを有

50

するスプリットゲート電極型のメモリセルMCの形成工程において、一方のMISのチャネル形成用の半導体領域をエッチングしてから、他方のMISのチャネル形成用の半導体領域を形成する。これにより、他方のMISのチャネル形成用の半導体領域の不純物濃度を下げることができるので、キャリアの移動度を向上させることができ、メモリセルMCでのドレイン電流 I_{ds} を増大させることができる。したがって、スプリットゲート電極型のメモリセルMCの動作速度(データの読み出し速度)を向上させることができる。また、しきい値電圧のパラッキを低減できるので、スプリットゲート型のメモリセルMCの動作信頼性を向上させることができる。

【0050】

この具体例を図8～図19の半導体装置の製造工程中におけるメモリ領域の基板1Subの要部断面図により説明する。ここでは、図2のメモリセルMC1への適用例を説明する。

【0051】

まず、図8に示すように、例えばp型のシリコン(Si)単結晶からなる基板1Sub(この段階では平面略円形状の半導体ウエハ)の主面に、例えばヒ素(As)をイオン注入法により導入する。これにより、基板1Subの主面に、メモリ用のnMISQnm(図2参照)のチャネル形成用のn型の半導体領域6を形成する。本実施の形態1では、後述する工程で基板1Subの主面を若干エッチングしてn型の半導体領域6を部分的に除去するエッチング工程があるが、上記半導体領域6を形成するための不純物イオンがあまり深い位置まで打ち込まれていると、上記エッチング工程時に基板1Subのエッチング量を大きくせざるを得なくなってしまうので、半導体領域6を形成するための不純物イオンの打ち込み深さを浅くした方が好ましい。この時の不純物イオンの打ち込みエネルギーは、例えば20～40keV程度である。また、この時の不純物イオンの打ち込み深さ(不純物濃度が最も高くなる深さ)は、例えば10～20nm程度である。また、不純物イオンのドーズ量は、例えば $1 \times 10^{14} / \text{cm}^2$ 程度である。不純物としてリンを用いることもできるが、ヒ素を用いたのは、リンよりも原子量(質量)の重いヒ素を用いることにより、同じ打ち込みエネルギーでも基板1Subの浅い位置に半導体領域6を形成でき、浅い位置に半導体領域6を形成するのが容易だからである。

【0052】

次いで、図9に示すように、基板1Subの主面上に、例えば酸化シリコンからなる絶縁膜5b、窒化シリコンからなる電荷蓄積層CSL、酸化シリコンからなる絶縁膜5t、低抵抗ポリシリコンからなるメモリゲート形成用の導体膜11および酸化シリコンからなる絶縁膜7を酸化、もしくはCVD(Chemical Vapor Deposition)法により下層から順に堆積した後、これら積層膜をフォトリソグラフィ(以下、単にリソグラフィという)技術およびエッチング技術によりパターンングすることにより、図10に示すように、絶縁膜5b、電荷蓄積層CSL、絶縁膜5t、メモリゲート電極MG(11)および絶縁膜7の積層パターンを形成する。続いて、基板1Subの主面上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチング法によりエッチバックすることにより、図11に示すように、上記積層パターンの側面にサイドウォール8を形成する。

【0053】

次いで、図12に示すように、基板1Subの主面上に、選択用のnMIS形成領域側が露出されるようなレジストパターンPR2を形成した後、レジストパターンPR2、サイドウォール8および絶縁膜8をエッチングマスクとして、サイドウォール8の材料と基板1Subの材料とのエッチング選択比が大きくなるような条件でエッチング処理を施すことにより、選択用のnMIS形成領域の基板1Subの主面を部分的にエッチングして窪み13を形成する。これにより、選択用のnMIS形成領域のn型の半導体領域6を除去する。この時、サイドウォール8をエッチングマスクとしているので、基板1Subの一部を位置合わせ良く選択的に除去することができる。この時のエッチング方法としては、例えばドライエッチング法を用いている。ただし、ウエットエッチング法を用いても良い

。ウエットエッチングを用いた場合、基板 1 S u b にあまり損傷を与えることなく基板 1 S u b の一部を除去できる。また、ドライエッチング処理を施した後、若干のウエットエッチング処理を施すことにより、ドライエッチング時に生じた基板 1 S u b の損傷層を除去しても良い。これにより、選択用の n M I S の電気的特性を向上させることができる。窪み 1 3 の深さは、あまり深いと段差の原因となるので、例えば 5 0 n m 以下が好ましく、具体的には、例えば 2 0 n m 程度とされている。

【 0 0 5 4 】

次いで、図 1 3 に示すように、レジストパターン P R 2、サイドウォール 8 およびメモリゲート電極 M G をマスクとして、基板 1 S u b の主面に、例えば二フッ化ホウ素 (B F ₂) をイオン注入することにより、選択用の n M I S のチャンネル形成用の p 型の半導体領域 4 を形成する。この時の不純物イオンの打ち込みエネルギーは、例えば 4 0 ~ 1 0 0 k e V 程度である。本実施の形態 1 では、選択用の n M I S 形成領域の基板 1 S u b の主面が削られ n 型の半導体領域 6 が除去されているので、窪み 1 3 を形成しない場合と比較して、選択用の n M I S のチャンネル形成用の p 型の半導体領域 4 の不純物濃度を下げることができる。このため、キャリア (電子) の移動度を向上させることができ、メモリセル M C 1 でのドレイン電流 I d s を増大させることができる。したがって、スプリットゲート電極型のメモリセル M C 1 の動作速度 (データの読み出し速度) を向上させることができる。また、選択用の n M I S のしきい値電圧のバラツキを低減できるので、スプリットゲート電極型のメモリセル M C 1 の動作信頼性を向上させることができる。

【 0 0 5 5 】

次いで、図 1 4 に示すように、基板 1 S u b に対して酸化処理を施すことにより、基板 1 S u b の主面上に、例えば酸化シリコンからなるゲート絶縁膜 3 を形成した後、その基板 1 S u b の主面上に、例えば低抵抗ポリシリコンからなる導体膜を C V D 法により堆積し、さらにその導体膜をリソグラフィ技術およびドライエッチング技術によりパターンングすることにより、コントロールゲート電極 C G を形成する。続いて、図 1 5 に示すように、コントロールゲート電極 C G およびメモリゲート電極 M G をマスクとして、例えばヒ素またはリンを基板 1 S u b の主面にイオン注入することにより、基板 1 S u b の主面に n 型の半導体領域 2 a をコントロールゲート電極 C G およびメモリゲート電極 M G に対して自己整合的に形成する。

【 0 0 5 6 】

次いで、基板 1 S u b の主面上に、例えば酸化シリコンからなる絶縁膜を C V D 法により堆積した後、これを異方性のドライエッチング法によりエッチバックすることにより、図 1 6 に示すように、コントロールゲート電極 C G の両側面、絶縁膜 7 上およびサイドウォール 8 の表面上に、サイドウォール 9 を形成する。続いて、図 1 7 に示すように、サイドウォール 9 およびコントロールゲート電極 C G をマスクとして、例えばヒ素またはリンを基板 1 S u b の主面にイオン注入することにより、基板 1 S u b の主面に n ⁺ 型の半導体領域 2 b をコントロールゲート電極 C G およびメモリゲート電極 M G に対して自己整合的に形成する。このようにしてメモリセル M C 1 のドレイン領域 D r m およびソース領域 S r m を形成し、選択用の n M I S Q n c およびメモリ用の n M I S Q n m を形成する。その後、図 1 8 に示すように、基板 1 S u b の主面部およびコントロールゲート電極 C G の上面部に、例えばコバルトシリサイド (C o S i _x) 等のようなシリサイド層 1 4 をシリサイド (S a l i c i d e : S e l f A l i g n s i l i c i d e) プロセスにより形成する。

【 0 0 5 7 】

次いで、図 1 9 に示すように、基板 1 S u b の主面上に、例えば酸化シリコンからなる絶縁膜 1 5 を C V D 法により堆積した後、絶縁膜 1 5 にコンタクトホール C N T を形成する。続いて、コンタクトホール C N T 内にプラグ P L G を形成する。プラグ P L G は、例えばチタン (T i) および窒化チタン (T i N) の積層膜からなる薄いバリア膜と、そのバリア膜に包まれるように形成されたタングステン (W) またはアルミニウム (A l) 等からなる相対的厚い導体膜とを有している。その後、絶縁膜 1 5 上に、例えばタングステン

10

20

30

40

50

またはアルミニウム (Al) 等からなる第 1 層配線 M 1 を形成する。これ以降は、通常の半導体装置の製造工程を経て不揮発性メモリを有する半導体装置を製造する。

【 0 0 5 8 】

(実施の形態 2)

本実施の形態 2 では、前記実施の形態 1 の変形例であって、メモリゲート電極の両側の基板 1 S u b 部分をエッチングする例を、図 2 0 ~ 図 2 2 の半導体装置の製造工程中の基板 1 S u b の要部断面図により説明する。

【 0 0 5 9 】

まず、前記実施の形態 1 の図 8 ~ 図 1 1 で説明した工程を経た後、前記図 1 2 で説明したのと同様のエッチング処理を基板 1 S u b に施すことにより、図 2 0 に示すように、メモリゲート電極 M G およびサイドウォール 8 の形成領域から露出される基板 1 S u b の主面に窪み 1 3 を形成する。ここでは、メモリゲート電極 M G およびサイドウォール 8 の形成領域の両側を除去する。すなわち、メモリセルのソース領域の形成部分の半導体領域 6 も除去してしまう。続いて、図 2 1 に示すように、基板 1 S u b の主面上に、選択用の n M I S 形成領域側が露出されるようなレジストパターン P R 2 を形成した後、レジストパターン P R 2 、サイドウォール 8 および絶縁膜 8 をマスクとして、基板 1 S u b の主面に、例えば二フッ化ホウ素 (B F ₂) をイオン注入することにより、選択用の n M I S のチャネル形成用の p 型の半導体領域 4 を形成する。この時の条件は、前記図 1 3 で説明したのと同じである。また、本実施の形態 2 でも、前記図 1 3 で説明したのと同様の効果を得ることができる。その後、前記実施の形態 1 と同様にして、図 2 2 に示すように、メモリセル M C 1 (M C) を形成する。

10

20

【 0 0 6 0 】

本実施の形態 2 では、メモリセル M C 1 のソース領域 S r m の形成部分でも窪み 1 3 を形成し、n 型の半導体領域 6 の層を除去しているため、ドレイン領域 D r m およびソース領域 S r m の n⁻ 型の半導体領域 2 a および n⁺ 型の半導体領域 2 b の不純物濃度も低減できる。また、窪み 1 3 を形成しない場合と比較して、n⁻ 型の半導体領域 2 a および n⁺ 型の半導体領域 2 b の濃度調整を容易にすることができる。

【 0 0 6 1 】

(実施の形態 3)

前記実施の形態 1 , 2 の方法は、前記図 4 および図 5 のメモリセル M C 2 , M C 3 にも適用できる。そこで、本実施の形態 3 では、前記図 4 のメモリセル M C 2 に前記実施の形態 2 の方法を適用した例を図 2 3 ~ 図 3 1 の半導体装置の製造工程中の要部断面図により説明する。

30

【 0 0 6 2 】

まず、図 2 3 に示すように、例えば p 型のシリコン (S i) 単結晶からなる基板 1 S u b (前記半導体ウエハ) の主面に、例えば二フッ化ホウ素 (B F ₂) をイオン注入法により導入する。これにより、基板 1 S u b の主面に、選択用の n M I S Q n c (図 4 参照) のチャネル形成用の p 型の半導体領域 4 を形成する。本実施の形態 3 では、後述する工程で基板 1 S u b の主面を若干エッチングして p 型の半導体領域 4 を部分的に除去するエッチング工程があるので、前記実施の形態 1 の n 型の半導体領域 6 と同様の理由から、p 型の半導体領域 4 を形成するための不純物イオンの打ち込み深さを浅くした方が好ましい。この時の不純物イオンの打ち込みエネルギーは、例えば 4 0 ~ 1 0 0 k e V 程度である。また、この時の不純物イオンの打ち込み深さ (不純物濃度が最も高くなる深さ) は、例えば 4 0 ~ 1 0 0 n m 程度である。また、不純物イオンのドーズ量は、例えば 1 × 1 0¹⁴ / c m² 程度である。不純物としてホウ素を用いることもできるが、二フッ化ホウ素を用いたのは、ホウ素よりも原子量 (質量) の重い二フッ化ホウ素を用いることにより、同じ打ち込みエネルギーでも基板 1 S u b の浅い位置に半導体領域 4 を形成でき、浅い位置に半導体領域 4 を形成するのが容易だからである。

40

【 0 0 6 3 】

続いて、図 2 4 に示すように、基板 1 S u b に対して酸化処理を施すことにより、基板 1

50

S u bの主面上に、例えば酸化シリコンからなるゲート絶縁膜3を形成した後、その基板1 S u bの主面上に、例えば低抵抗ポリシリコンからなる導体膜17をC V D法により堆積し、さらにその導体膜17上に、例えば酸化シリコンからなる絶縁膜10をC V D法により堆積する。その後、ゲート絶縁膜3、導体膜17および絶縁膜10の積層膜をリソグラフィ技術およびドライエッチング技術によりパターンングすることにより、図25に示すように、コントロールゲート電極C Gを形成する。

【0064】

次いで、前記図12で説明したのと同様のエッチング処理を基板1 S u bに施すことにより、図26に示すように、コントロールゲート電極C Gの形成領域から露出される基板1 S u bの主面に窪み13を形成する。ここでは、コントロールゲート電極C Gの形成領域の両側の基板1 S u bの表層を除去する。すなわち、メモリセルのメモリ用のn M I S形成領域、ソース領域およびドレイン領域の形成部分のp型の半導体領域4も除去してしまう。続いて、図27に示すように、コントロールゲート電極C Gをマスクとして、基板1 S u bの主面に、例えばヒ素またはリンをイオン注入することにより、メモリ用のn M I Sのチャネル形成用のn型の半導体領域6を形成する。この時の不純物イオンの打ち込みエネルギーは、例えば20~40 k e V程度である。本実施の形態3では、メモリ用のn M I S形成領域の基板1 S u bの主面が削られp型の半導体領域4が除去されているので、メモリ用のn M I Sのチャネル形成用のn型の半導体領域6の不純物濃度を下げることができる。このため、キャリア(電子)の移動度を向上させることができ、メモリセルM C 2でのドレイン電流I d sを増大させることができる。したがって、スプリットゲート電極型のメモリセルM C 2の動作速度(データの読み出し速度)を向上させることができる。また、窪み13を形成しない場合と比較して、メモリ用のn M I Sのしきい値電圧のバラツキを低減できるので、スプリットゲート型のメモリセルM C 2の動作信頼性を向上させることができる。

【0065】

次いで、図28に示すように、基板1 S u bの主面上に、前記絶縁膜5 b、電荷蓄積層C S L絶縁膜5 tおよびメモリゲート形成用の導体膜11をC V D法により下層から順に堆積した後、これら積層膜をリソグラフィ技術およびエッチング技術によりパターンングすることにより、図29に示すように、絶縁膜5 b、電荷蓄積層C S L、絶縁膜5 tおよびメモリゲート電極M G(11)の積層パターンを形成する。続いて、コントロールゲート電極C Gおよびメモリゲート電極M Gをマスクとして、例えばヒ素またはリンを基板1 S u bの主面にイオン注入することにより、基板1 S u bの主面にn⁻型の半導体領域2 aをコントロールゲート電極C Gおよびメモリゲート電極M Gに対して自己整合的に形成する。その後、基板1 S u bの主面上に、例えば酸化シリコンからなる絶縁膜をC V D法により堆積した後、これを異方性のドライエッチング法によりエッチバックすることにより、図30に示すように、コントロールゲート電極C Gの片側面、絶縁膜10上およびメモリゲート電極M Gの両側面に、サイドウォール9を形成する。続いて、サイドウォール9およびメモリゲート電極M Gをマスクとして、例えばヒ素またはリンを基板1 S u bの主面にイオン注入することにより、基板1 S u bの主面にn⁺型の半導体領域2 bをコントロールゲート電極C Gおよびメモリゲート電極M Gに対して自己整合的に形成する。このようにしてメモリセルM C 2のドレイン領域D r mおよびソース領域S r mを形成し、選択用のn M I S Q n cおよびメモリ用のn M I S Q n mを形成する。その後、図31に示すように、前記実施の形態1と同様に、サリサイドプロセスを経て基板1 S u bの主面およびコントロールゲート電極C Gの上面部にシリサイド層14を形成し、絶縁膜15を堆積し、コンタクトホールC N Tを形成し、プラグP L Gを形成し、第1層配線M 1を形成する。

【0066】

本実施の形態3では、メモリセルM C 2のドレイン領域D r mおよびソース領域S r mの形成部分でも窪み13を形成し、p型の半導体領域4の層を除去しているため、ドレイン領域D r mおよびソース領域S r mのn⁻型の半導体領域2 aおよびn⁺型の半導体領域

2 b の不純物濃度も低減できる。また、窪み 1 3 を形成しない場合と比較して、その n^- 型の半導体領域 2 a および n^+ 型の半導体領域 2 b の濃度調整を容易にすることができる。

【0067】

(実施の形態 4)

本実施の形態 4 は、前記スプリットゲート電極型のメモリセルについて本発明者が初めて見出した他の問題を解決するための一例を説明するものである。その問題は、メモリセルの選択用の M I S のソース・ドレイン用の半導体領域がコントロールゲート電極に対してオフセットになるという問題である。

【0068】

まず、その問題を図 3 2 および図 3 3 により説明する。図 3 2 はメモリセル M C 1 の要部断面図、図 3 3 は図 3 2 の破線で囲んだ領域 B の拡大断面図を示している。メモリセル M C 1 の場合、選択用の n M I S Q n c のチャネル形成用の p 型の半導体領域 4 を、メモリ用の n M I S Q n m のチャネル形成用の n 型の半導体領域 6 の形成後に形成するので、選択用の n M I S Q n m とメモリ用の n M I S Q n m との境界領域では、p 型の半導体領域 4 の一部が n 型の半導体領域 6 側に拡散する。その p 型の半導体領域 4 が n 型の半導体領域 6 側に拡散した領域 C では、本来、n 型であった領域が、p 型または p 型に近い導電型に変わってしまう場合がある。その結果、選択用の n M I S Q n c のコントロールゲート電極 C G から見ると、選択用の n M I S Q n c のソース・ドレイン領域となる n 型の半導体領域 6 が長さ L_1 だけ離れてしまったような形となる。すなわち、ドレイン電流 I_{ds} を律則するコントロールゲート電極 C G がゲート絶縁膜 3 を介して平面的に重ならない部分(領域 C)が生じる。このようなオフセット領域が生じると、ドレイン電流 I_{ds} が低下し、メモリセル M C 1 の動作速度が低下する問題が生じる。

【0069】

そこで、本実施の形態 4 では、選択用の M I S のチャネル形成用の半導体領域の端部が、メモリ用の M I S のメモリゲート電極の側面に形成されたサイドウォールの側面から離れるようなスペースを、メモリゲート電極の側面のサイドウォールの側面に形成した後に、選択用の M I S のチャネル形成用の半導体領域を形成するための不純物を基板 1 S u b に導入する。これにより、選択用の M I S のソース・ドレイン領域となる半導体領域(メモリ用の M I S のチャネル形成用の半導体領域)の端部がコントロールゲート電極下で確実に重なるようにすることができるので、スプリットゲート型のメモリセルのドレイン電流 I_{ds} を向上させることができる。したがって、スプリットゲート型のメモリセルの動作速度(データの読み出し速度)を向上させることができる。この具体例を図 3 4 ~ 図 3 9 の半導体装置の製造工程中におけるメモリ領域の基板 1 S u b の要部断面図により説明する。

【0070】

まず、前記実施の形態 1 の図 8 ~ 図 1 1 で説明した工程を経た後、図 3 4 に示すように、基板 1 S u b (半導体ウエハ)の主面上に、上記スペース用の絶縁膜 1 9 を堆積する。絶縁膜 1 9 は、例えば酸化シリコンからなり、その厚さは、例えば 3 0 n m 程度である。本実施の形態 4 では、この絶縁膜 1 9 を、例えば T E O S (T e t r a e t h o x y s i l a n e) と酸素 (O_2) との混合ガスを用いた C V D 法等により堆積した。また、下層の絶縁膜 7 およびサイドウォール 8 形成用の酸化シリコン膜は、例えばモノシラン ($S i H_4$) と酸素 (O_2) との混合ガスを用いた C V D 法により堆積した後、その酸化シリコン膜の緻密化のためにアニール処理を施すことで形成されている。このようにすることで、後述するように絶縁膜 1 9 をウエットエッチング処理により除去するとき、絶縁膜 1 9 のエッチングレートを、同じ酸化シリコンからなる絶縁膜 7 およびサイドウォール 8 の 2 倍程度にまでできるので、絶縁膜 1 9 を選択的に除去することができる。ただし、絶縁膜 1 9 の材料として窒化シリコンを用いても良い。この場合も絶縁膜 1 9 をエッチング除去するとき酸化シリコンとのエッチング選択比を高くとることができる。

【0071】

10

20

30

40

50

続いて、図35に示すように、基板1Subの主面上に、前記実施の形態1と同様にレジストパターンPR2を形成した後、前記実施の形態1の図13で説明したのと同様に、例えば二フッ化ホウ素(BF₂)またはホウ素(B)をイオン注入することにより、選択用のnMISのチャンネル形成用のp型の半導体領域4を形成する。この時、本実施の形態4では、選択用のnMIS形成領域側のサイドウォール8の側面に被着された絶縁膜19がマスクとなり、p型の半導体領域4のメモリゲート電極CG側の端部が、選択用のnMIS形成領域側のサイドウォール8の側面から絶縁膜19の厚さ分だけ離れたところに位置するようになる。

【0072】

その後、レジストパターンPR2を除去後、絶縁膜19を、図36に示すように、ウエットエッチング法により選択的に除去する。続いて、図37に示すように、前記実施の形態1と同様に、ゲート絶縁膜3およびコントロールゲート電極CGを形成した後、例えばヒ素またはリンを基板1Subにイオン注入してn⁻型の半導体領域2aを形成する。その後、図38および図39に示すように、前記実施の形態1と同様に、選択用のnMISQncおよびメモリ用のnMISQnmを形成し、スプリットゲート電極型のメモリセルMC1を形成する。

【0073】

本実施の形態4では、図39に示すように、n型の半導体領域6の端部がサイドウォール8の側面から長さL2だけコントロールゲート電極CG下側に突き出すように延在している。すなわち、メモリセルMC1の電流を律則するコントロールゲート電極CGがゲート絶縁膜3を介して確実にn型の半導体領域6(選択用のnMISQncのソース・ドレイン領域)の端部に重なるようにすることができる。したがって、スプリットゲート電極型のメモリセルMC1のドレイン電流Idsを向上させることができるので、スプリットゲート電極型のメモリセルMC1の動作速度(データの読み出し速度)を向上させることができる。長さL2は、上記絶縁膜19の厚さで制御できる。したがって、コントロールゲート電極CGがゲート絶縁膜3を介してn型の半導体領域6の端部に重なる重なり量を比較的容易に設定することができる。長さL3は絶縁膜19の厚さを示している。長さL3から長さL2を引いた長さL4は、p型の半導体領域4がn型の半導体領域6側に拡散した長さを示している。

【0074】

ただし、本実施の形態4では、n型の半導体領域6がコントロールゲート電極CG下に突き出しコントロールゲート電極CGがゲート絶縁膜3を介してn型の半導体領域6の端部に重なっている場合について説明したが、本実施の形態4は、選択用のnMISQncのソース・ドレイン領域であるn型の半導体領域6の端部がコントロールゲート電極CGの端部から離れていなければ良く、図40に示すように、コントロールゲート電極CGがゲート絶縁膜3を介してn型の半導体領域6の端部と重なっていないが、n型の半導体領域6の端部がサイドウォール8の側面位置とほぼ一致しており、コントロールゲート電極CGの端部から離れていない構造を排除するものではない。なお、図40の長さL5は、絶縁膜19の厚さであり、また、p型の半導体領域4がn型の半導体領域6側に拡散した長さでもある。

【0075】

また、本実施の形態4と前記実施の形態1,2とを組み合わせても良い。すなわち、基板1Subの主面に窪み13を形成した後、絶縁膜19を堆積し、その後、p型の半導体領域4を形成するための不純物を導入する。

【0076】

また、前記絶縁膜19を他の工程で用いる絶縁膜と兼用しても良い。この場合、工程の兼用ができるので、半導体装置の製造時間の短縮およびコストの低減が可能となる。

【0077】

(実施の形態5)

本実施の形態5は、前記スプリットゲート電極型のメモリセルについて本発明者が初めて

10

20

30

40

50

見出した他の問題を解決するための一例を説明するものである。その問題は、乗りに上げていない側のゲート電極をパターニングする工程で、乗りに上げていないゲート電極の側面に、乗りに上げていない側のゲート電極の一部が残され、それを除去する際に基板の主面をエッチングしてしまうという問題である。

【0078】

まず、その問題を図41～図43により説明する。図41～図43はコントロールゲート電極のパターニング工程中の基板1Subの要部断面図を示している。図41に示すように、基板1Subの主面にゲート絶縁膜3を形成した後、基板1Subの主面上に、コントロールゲート電極形成用の低抵抗ポリシリコン等からなる導体膜21をCVD法等によって堆積し、さらにその上にコントロールゲート電極形成用のレジストパターンPR3を形成する。続いて、レジストパターンPR3をエッチングマスクとして異方性のドライエッチング処理を施すことにより、図42に示すように、コントロールゲート電極CGを形成する。この時、メモリゲート電極MG側面のサイドウォール8の側面に導体膜21aが残される場合がある。そこで、その残された導体膜21aを除去するため、図43に示すように、導体膜21aが露出されるようなレジストパターンPR4を形成し、エッチング処理により導体膜21aを除去する。ところが、この時、導体膜21aはポリシリコンからなるので、下層のシリコンからなる基板1Subの主面も部分的にエッチングされ、基板1Subの主面が荒れてしまう結果、メモリセルのドレイン電流Idsが低下する場合がある。

10

【0079】

そこで、本実施の形態5では、ゲート電極が乗りに上げない側の基板上に保護膜を形成する工程を有するものである。これにより、乗りに上げる側のゲート電極の加工時に生じたエッチ残りを除去する際に、上記保護膜により基板1Subの主面が保護されるので、基板1Subの主面がエッチングされるのを防止できる。この具体例を図44～図52の半導体装置の製造工程におけるメモリ領域の基板1Subの要部断面図により説明する。

20

【0080】

まず、前記実施の形態1の図8～図11で説明した工程を経た後、図44に示すように、基板1Sub(半導体ウエハ)の主面上に、レジストパターンPR2を形成し、例えば二フッ化ホウ素(BF₂)またはホウ素(B)をイオン注入することにより、p型の半導体領域4を形成する。続いて、レジストパターンPR2を除去した後、図45に示すように、基板1Subの主面上に、例えば酸化シリコンまたは窒化シリコンからなる厚さ20nm程度の絶縁膜23を形成する。その後、絶縁膜23上に、上記p型の半導体領域4の形成時に用いたレジストパターン2と同じレジストパターンPR5を形成した後、これをエッチングマスクとして絶縁膜23をエッチングすることにより、図46に示すように、絶縁膜23のパターンを形成する。絶縁膜23のパターンは、絶縁膜7の上面の一部と片側のサイドウォール8の表面と、メモリセルのソース領域側の基板1Subの上面とを覆うように形成されている。

30

【0081】

次いで、図47に示すように、基板1Subの主面上に、上記ゲート絶縁膜3を形成した後、その上に、例えば低抵抗ポリシリコンからなる導体膜21をCVD法等によって堆積する。続いて、導体膜21上に、コントロールゲート電極形成用のレジストパターンPR3を形成した後、これをエッチングマスクとして、導体膜21をパターニングすることにより、図48に示すように、コントロールゲート電極CGを形成する。この時、メモリゲート電極MGの片側側面のサイドウォール8の側面下部側に導体膜21aが残される。本実施の形態5では、導体膜21aが上記絶縁膜23上に残される。そこで、基板1Subの主面上に、導体膜21aを除去するためのレジストパターンPR4をリソグラフィ技術により形成した後、これをエッチングマスクとして、エッチング処理を施すことにより、導体膜21aを図49に示すように除去する。この時、本実施の形態5では、ポリシリコンと絶縁膜23とのエッチング選択比を大きくとり、ポリシリコンの方が絶縁膜23よりもエッチングされ易い条件でエッチング処理を施す。この時、ポリシリコンからなるエッ

40

50

ち残りの導体膜 2 1 a の下層（導体膜 2 1 a と基板 1 S u b との間）に、ゲート絶縁膜 3 よりも厚い絶縁膜 2 3 が設けられているので、基板 1 S u b の主面が保護され、基板 1 S u b の主面がエッチングされないようにすることができる。すなわち、エッチ残りの導体膜 2 a の除去に起因する基板 1 S u b の荒れを防止できる。したがって、スプリットゲート電極型のメモリセルのドレイン電流 I_{ds} の低下を防止できるので、スプリットゲート電極型のメモリセルの高速動作（データの高速読み出し）を維持できる。

【 0 0 8 2 】

次いで、レジストパターン P R 4 を除去後、図 5 0 に示すように、基板 1 S u b に、例えばリンまたはヒ素等のような不純物をイオン注入して、 n^- 型の半導体領域 2 a をコントロールゲート電極 C G およびメモリゲート電極 M G に対して自己整合的に形成する。続いて、図 5 1 に示すように、前記実施の形態 1 と同様に、サイドウォール 9 を形成した後、基板 1 S u b の主面に n^+ 型の半導体領域 2 b をコントロールゲート電極 C G およびメモリゲート電極 M G に対して自己整合的に形成する。このようにしてメモリセル M C 1 のドレイン領域 D r m およびソース領域 S r m を形成し、選択用の $n M I S Q n c$ およびメモリ用の $n M I S Q n m$ を形成する。その後、図 5 2 に示すように、前記実施の形態 1 と同様に、サリサイドプロセスによりシリサイド層 1 4 を形成した後、絶縁膜 1 5 の堆積工程、コンタクトホール C N T の形成工程、プラグ P L G の形成工程、第 1 層配線 M 1 の形成工程を経て半導体装置を製造する。

10

【 0 0 8 3 】

本実施の形態 5 と前記実施の形態 1 , 2 とを組み合わせても良い。すなわち、基板 1 S u b の主面に窒素 1 3 を形成した後、p 型の半導体領域 4 を形成する。続いて、絶縁膜 2 3 を堆積した後、コントロールゲート電極 C G を形成する。

20

【 0 0 8 4 】

また、本実施の形態 5 と前記実施の形態 4 とを組み合わせても良い。この場合、絶縁膜 1 9 , 2 3 を別々に堆積して各々の目的を達成させるようにしても良いが、保護用の絶縁膜 2 3 を前記実施の形態 4 の p 型の半導体領域 4 を形成する際のスペーサ用の絶縁膜 1 9 として用いても良い。すなわち、図 8 ~ 図 1 1 の工程後、基板 1 S u b の主面上に絶縁膜 2 3 を堆積し、さらに、前記実施の形態 4 と同様に不純物を導入して p 型の半導体領域 4 を形成する。これ以降は上記図 4 5 以降で説明したのと同じである。この場合、保護用の絶縁膜 2 3 とスペーサ用の絶縁膜 1 9 とを別々に堆積する場合に比べて半導体装置の製造工程を低減でき、半導体装置の製造時間の短縮およびコストの低減が可能となる。

30

【 0 0 8 5 】

（実施の形態 6 ）

本実施の形態 6 は、前記実施の形態 5 の変形例であって、前記保護用の絶縁膜 2 3 を同一基板上の他の M I S のゲート絶縁膜により形成する場合の一例を説明する。本実施の形態 6 によれば、工程の兼用ができるので、半導体装置の製造時間の短縮およびコストの低減が可能となる。

【 0 0 8 6 】

図 5 3 ~ 図 6 1 は、本実施の形態 6 の半導体装置の製造工程中の基板 1 S u b の要部断面図であって、各図の左側はメモリ領域の要部断面図を示し、右側は周辺回路用の高耐圧 $n M I S$ 形成領域の要部断面図を示している。

40

【 0 0 8 7 】

図 5 3 は、前記図 8 ~ 図 1 1 で説明した工程後、前記図 4 4 で説明した工程を経た後の基板 1 S u b （半導体ウエハ）の要部断面図を示している。また、図 5 3 の右側において、基板 1 S u b の主面には、例えば S G I (S h a l l o w G r o o v e I s o l a t i o n) と称する溝型の分離部 2 5 が形成されている。この分離部 2 5 は、基板 1 S u b に掘られた溝内に、例えば酸化シリコン膜が埋め込まれることで形成されている。この分離部 2 5 により活性領域が規定されている。

【 0 0 8 8 】

まず、このような基板 1 S u b に対して酸化処理を施すことにより、図 5 4 に示すように

50

、高耐圧nMISのゲート絶縁膜23aを基板1Subの主面に形成する。ゲート絶縁膜23aは、例えば厚さ2~8nm程度の酸化シリコンからなり、高耐圧nMIS形成領域のみならず、メモリ領域の基板1Subの主面にも形成されている。続いて、図55に示すように、基板1Subの主面上に、例えば厚さ13nm程度の酸化シリコンからなる絶縁膜23bをCVD法等により堆積した後、絶縁膜23bの膜質を向上させるべくアニール処理を施す。絶縁膜23a, 23bは、高耐圧nMISのゲート絶縁膜となる。絶縁膜23bを堆積することにより、高耐圧nMISのゲート絶縁耐圧を向上させることができる。その後、基板1Subの主面上に、メモリ領域の選択用のnMIS形成領域が露出され、高耐圧nMIS形成領域を覆うようなレジストパターンPR6をリソグラフィ技術により形成した後、これをエッチングマスクとしてエッチング処理を施すことにより、図56に示すように、絶縁膜23a, 23bをパターニングする。メモリ領域の選択用のnMIS形成領域では、絶縁膜23aが除去され、基板1Subの主面が露出される。この後、前記実施の形態1のように選択用のnMIS形成領域の基板1Subの主面を部分的にエッチングして窪み13を形成してもよいのは勿論である。

10

【0089】

次いで、図57に示すように、基板1Subに対して酸化処理を施すことにより、基板1Subの主面上に、例えば酸化シリコンからなるゲート絶縁膜3を形成する。このゲート絶縁膜3は、選択用のnMIS等のような低耐圧のMISのゲート絶縁膜となる。ゲート絶縁膜3の厚さは、上記高耐圧nMISのゲート絶縁膜23a, 23bよりも薄く、例えば2~5nm程度である。続いて、基板1Subの主面上に、例えば低抵抗ポリシリコンからなる導体膜21をCVD法等により堆積した後、その上にレジストパターンPR7をリソグラフィ技術により形成する。レジストパターンPR7は、メモリ領域のコントロールゲート電極形成領域と、高耐圧nMIS形成領域のゲート電極形成領域を覆い、それ以外が露出されるようなパターンとされている。その後、レジストパターンPR7をエッチングマスクとして、エッチング処理により導体膜21をパターニングすることにより、図58に示すように、メモリセルの選択用のnMISのコントロールゲート電極CGおよび周辺回路の高耐圧nMISのゲート電極HGを形成する。この時、メモリゲート電極MGの片側側面のサイドウォール8の側面下部側に導体膜21aが残される。本実施の形態5では、導体膜21aが上記絶縁膜23a, 23b上に残される。そこで、導体膜21aを除去するため、基板1Subの主面上に、導体膜21aが露出され、それ以外の領域が覆われるようなレジストパターンPR8を形成した後、これをエッチングマスクとして、前記実施の形態5の導体膜21aの除去処理と同様のエッチング処理を施すことにより、導体膜21aを図59に示すように除去する。これにより、ポリシリコンからなるエッチ残りの導体膜21aの下層(導体膜21aと基板1Subとの間)にゲート絶縁膜3よりも厚い絶縁膜23a, 23bの積層膜が設けられているので、基板1Subの主面が保護され、基板1Subの主面がエッチングされないようにすることができる。したがって、スプリットゲート電極型のメモリセルのドレイン電流Idsの低下を防止できるので、スプリットゲート電極型のメモリセルの高速動作(データの高速読み出し)を維持できる。

20

30

【0090】

次いで、レジストパターンPR8を除去した後、図60に示すように、絶縁膜23a, 23bは残したまま、例えばヒ素をイオン注入法等により基板1Subに導入することにより、メモリセル用および高耐圧nMIS用のn⁻型の半導体領域2aを同時に形成する。続いて、基板1Subの主面上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチング法によりエッチバックすることにより、図61に示すように、コントロールゲート電極CGおよびメモリゲート電極MGの側面側と、高耐圧nMISのゲート電極HGの側面にサイドウォール9を同時に形成する。この時、サイドウォール9から露出する絶縁膜23a, 23bも除去してしまう。その後、例えばリンをイオン注入法等により基板1Subに導入することにより、メモリセル用および高耐圧nMIS用のn⁺型の半導体領域2bを同時に形成する。このようにしてメモリセルMC1のドレイン領域Dr_mおよびソース領域Sr_mと、高耐圧nMISQn_hの

40

50

ドレイン領域 $D r h$ およびソース領域 $S r h$ とを同時に形成する。

【0091】

このように本実施の形態6では、保護用の絶縁膜23a, 23bを高耐圧 $n M I S Q n h$ のゲート絶縁膜23a, 23bで形成することにより、工程の兼用が可能となるので、半導体装置の製造時間の短縮およびコストの低減が可能となる。

【0092】

上記本実施の形態6では、エッチ残りの導体膜21aを除去する時の保護用の絶縁膜を酸化法で形成された絶縁膜23aとCVD法で形成された絶縁膜23bとの積層膜で形成した場合について説明したが、保護用の絶縁膜を、絶縁膜23a, 23bのいずれか一方

10

【0093】

(実施の形態7)

前記実施の形態5, 6の保護用の絶縁膜をCVD法で形成する場合は、メモリセルの最初に形成されるゲート電極上が保護用の絶縁膜で覆われるので、そのゲート電極上にシリサイド層を形成することができない。

【0094】

そこで、本実施の形態7では、最初に形成されるゲート電極のうち、第1層配線等のような配線が接触し接続されるコンタクトホール部分にシリサイド層を形成する。これにより、最初に形成されるゲート電極と第1層配線等の配線との接触抵抗を低減できる。

【0095】

図62は、本実施の形態7の具体的な一例のメモリ領域の要部平面図を示している。図62のX1-X1線の断面図に相当する箇所が、前記実施の形態5の図44~図52または前記実施の形態6の図53~図61の左側の断面図である。コントロールゲート電極CGおよびメモリゲート電極MGの上面において、シリサイドプロセスによりシリサイド層14が形成された箇所に斜線のハッチングを付す。後から形成されるコントロールゲート電極CGの上面には全てシリサイド層14が形成されている。一方、最初に形成されるメモリゲート電極MGの上面は、コンタクトホールCNTが配置される領域のみにシリサイド層14が形成されている。これにより、コンタクトホールCNT内のプラグPLGとメモリゲート電極MGとの接触抵抗を低減できる。なお、コンタクトホールCNTは第1層配線と電氣的に接続されている。

20

【0096】

このような構成を形成するには、前記図45および図46で説明した工程の中で、図45のレジストパターンPR5のパターン形状を、メモリゲート電極MGの上記コンタクトホールCNTが配置される領域の保護用の絶縁膜23部分も露出されるようなパターン形状とし、エッチング処理により、そのメモリゲート電極MGの上記コンタクトホールCNTが配置される領域の保護用の絶縁膜23部分および絶縁膜7部分も除去しておく。そして、前記図51で説明した工程後、コントロールゲート電極CGの上面と、メモリゲート電極MGの上記コンタクトホールCNTが配置される領域とが露出された状態でシリサイドプロセスを施すことにより、コントロールゲート電極CGの上面全ておよびメモリゲート電極MGの上面の上記コンタクトホールCNTが配置される領域にシリサイド層14を形成する。なお、このような方法は前記実施の形態6に本実施の形態7を適用する場合も同様である。

30

40

【0097】

なお、シリサイド層14の形成方法としては、基板1Subの主面上の全面に、例えば、コバルト(Co)膜、チタン(Ti)膜またはニッケル(Ni)等の高融点金属膜をスパッタ法で形成し、その後、熱処理を施してコントロールゲート電極CGおよびメモリゲート電極MGの多結晶シリコン膜と高融点金属膜とを反応させる。その後、未反応の高融点金属膜を除去し、金属・半導体反応層であるシリサイド層14が形成される。

【0098】

また、本実施の形態7および前記実施の形態5, 6は、前記図4および図5のスプリット

50

ゲート型のメモリセルにも適用できる。

【0099】

(実施の形態8)

本実施の形態8は、前記スプリットゲート電極型のメモリセルについて本発明者が初めて見出した他の問題を解決するための一例を説明するものである。その問題は、電荷蓄積層CSLの幅(短方向寸法)がメモリゲート電極の幅(短方向寸法)よりも大きくなる結果、消去動作が困難になる、という問題である。

【0100】

まず、その問題を図63~図65により説明する。図63は、メモリゲート電極MGの形成工程後の基板1Subの要部断面図を示している。この工程では、通常、低抵抗ポリシリコン等からなるメモリゲート電極MGをドライエッチング法で形成した後、電荷蓄積層CSLをウエットエッチングで選択的にエッチングして形成している。ここでは、メモリゲート電極MGの幅方向(基板1Subの主面に沿う方向、短方向)端部と、電荷蓄積層CSLの幅方向端部とが一致またはほぼ一致するような状態でエッチングが行われている。しかし、このような状態でその後の酸化工程を経ると、図64および図65に示すように、メモリゲート電極MGの幅方向両端部が酸化されてしまう(図65の矢印参照)一方で電荷蓄積層CSLは窒化シリコンからなるので酸化されず残される結果、メモリゲート電極MGの実質的な幅(短方向寸法)が電荷蓄積層CSLの幅よりも短くなり、電荷蓄積層CSLの幅方向両端部がメモリゲート電極MGの幅方向外側にはみ出したような形になる。このような電荷蓄積層CSLの両端のはみ出し部分Eは、メモリゲート電極MGからの物理的な距離が遠くなるので、メモリゲート電極MGからの電界の影響を受け難くなる。このため、メモリセルMCの消去動作の際、電荷蓄積層CSLの両端のはみ出し部分Eに蓄積された電荷を引き抜き難くなる、という問題が生じる。この問題は、メモリセルMCの消去動作に際して、電荷蓄積層CSLの電荷を引き抜く方向によらない。すなわち、本実施の形態においてはメモリゲート電極MGに電子を引き抜くことで消去動作を行なっているが、基板1Subに電子を引き抜くようなメモリセルにおいても同様の問題が発生する。なお、この問題は、前記図4および図5のメモリセルでも生じる。

10

20

【0101】

そこで、本実施の形態8では、上記電荷蓄積層をオーバーエッチングして上部のメモリゲート電極よりも小さくする工程を有するものである。これにより、最終的にメモリゲート電極の外側に電荷蓄積層の一部がはみ出さないようにすることができる。すなわち、データの消去(電荷の引き抜き)が難しくなるような部分が電荷蓄積層に形成されないようにすることができる。したがって、スプリットゲート電極型のメモリセルの動作速度(データの消去速度)を向上させることができる。また、消去動作不良の発生率を低減できるので、半導体装置の歩留りを向上させることができる。この具体例を図66~図70の半導体装置の製造工程中におけるメモリ領域の基板1Subの要部断面図により説明する。

30

【0102】

まず、メモリセルのメモリゲート電極の形成工程では、電荷蓄積層(窒化シリコン)とメモリゲート電極(ポリシリコン)とを同時にエッチングするのが難しいので、2段階でエッチング処理を行う。すなわち、前記実施の形態1の図8および図9で説明した工程を経た後、図66に示すように、レジストパターンPR9をエッチングマスクとしたドライエッチング法により、メモリゲート電極MGおよび絶縁膜5tをパターンニングする。この時は、ポリシリコンと窒化シリコンとのエッチング選択比を大きくとり、ポリシリコンの方がエッチングされ易い条件でエッチング処理を行う。

40

【0103】

続いて、レジストパターンPR9を除去した後、基板1Subに対して熱りん酸等を用いたウエットエッチング処理を施すことにより、図67に示すように、電荷蓄積層CSLを選択的にエッチングする。この時、本実施の形態8では、電荷蓄積層CSLの幅方向両端の露出側面が、メモリゲート電極MGの幅方向両端の露出側面よりも内側に位置するようにオーバーエッチング処理を施す。これにより、その後の酸化処理工程でメモリゲート電

50

極MGの幅方向両端の側面部分が酸化されることに起因して電荷蓄積層CSLの幅方向両端部の側面がメモリゲート電極の幅方向両端の側面の外側に位置してしまうような不具合を防止することができる。このような電荷蓄積層CSLのサイドエッチング量(アンダーカット量またはオーバーエッチング量)は、熱りん酸によるウエットエッチング時間を調節ことで変えることができる。

【0104】

その後、前記実施の形態1で説明したのと同様の工程を経て、図68および図69に示すように、スプリットゲート型のメモリセルMC1を形成する。図69は、図68の要部拡大断面図を示している。本実施の形態8の場合も、図68および図69に示すように、電荷蓄積層CSLのパターニング後の酸化処理によりメモリゲート電極MGの側面部分が酸化され、メモリゲート電極MGの幅方向寸法が設計値より若干小さくなっている。上記のように本実施の形態8では、メモリゲート電極MGが酸化により小さくなってしまふのを見越して電荷蓄積層CSLの幅方向寸法を小さくしてあるので、最終的に、電荷蓄積層CSLの幅方向両端部の側面が、メモリゲート電極MGの幅方向両端部の側面とほぼ一致しており、メモリゲート電極MGの外側に、はみ出さないようにされている。このため、スプリットゲート型のメモリセルMC1の消去動作に際して、電荷の引き抜き難い箇所が電荷蓄積層CSLに存在しないので、データの消去速度を向上させることができる。また、電荷の引き抜き難い箇所が電荷蓄積層CSLに存在しないので、消去動作不良の発生率を低減でき、半導体装置の歩留りを向上させることができる。

10

【0105】

以上の説明では、最終的に電荷蓄積層CSLの幅方向両端部が、メモリゲート電極MGの幅方向両端部とほぼ一致している場合について説明したが、本実施の形態8は、電荷蓄積層CSLがメモリゲート電極MGの外側にはみ出していなければ良く、図70のメモリセルの要部拡大断面図に示すように、最終的に電荷蓄積層CSLの幅がメモリゲート電極MGの幅よりも小さく、電荷蓄積層CSLの幅方向両端部が、メモリゲート電極MGの幅方向両端部よりも内側に位置している構造を排除するものではない。この構造の場合は、電荷蓄積層CSLの平面全域が、メモリゲート電極MGの平面全域に内包されるようになる。このため、消去時の電荷の引き抜きの確実性を向上させることができる。

20

【0106】

(実施の形態9)

本実施の形態9は、前記実施の形態8の変形例であって、前記図4のスプリットゲート電極型のメモリセルMC2の形成方法に前記実施の形態8の方法を適用した場合の一例を説明する。

30

【0107】

まず、前記図23~図25で説明した工程を経た後、図71に示すように、コントロール電極CGをマスクとして自己整合的にn型の半導体領域6を基板1Subに形成する。続いて、絶縁膜5b、電荷蓄積層CSL、絶縁膜5tおよび導体膜11をCVD法等により下層から順に基板1Sub上に堆積した後、その上に、メモリゲート電極形成用のレジストパターンPR10をリソグラフィ技術により形成する。その後、そのレジストパターンPR10をエッチングマスクとして、そこから露出する導体膜11および絶縁膜5tを前記実施の形態8と同様にエッチングした後、レジストパターンPR10を除去し、図72に示すように、メモリゲート電極MGおよび絶縁膜5tをパターニングする。

40

【0108】

次いで、前記実施の形態8と同様に、電荷蓄積層CSLをウエットエッチング処理により選択的にエッチングすることにより、図73に示すように、電荷蓄積層CSLをパターニングする。この時、本実施の形態9でも、電荷蓄積層CSLの露出両側面が、メモリゲート電極MGの露出側面よりも内側に位置するようにオーバーエッチング処理を施す。これにより、電荷蓄積層CSLの幅方向両端部の側面がメモリゲート電極MGの幅方向両端部の側面の外側に位置してしまうような不具合を前記実施の形態8と同様に防止することができる。

50

【 0 1 0 9 】

その後、前記実施の形態 3 で説明したのと同様の工程を経て、図 7 4 に示すように、スプリットゲート電極型のメモリセル M C 2 を形成する。本実施の形態 9 の場合も、図 7 4 に示すように、電荷蓄積層 C S L のパターンニング後の酸化処理によりメモリゲート電極 M G の側面部分が酸化され、メモリゲート電極 M G の幅方向寸法が設計値より若干小さくなっているが、上記のように本実施の形態 9 でも、それを見越して電荷蓄積層 C S L の幅方向寸法を小さくしてあるので、最終的に、電荷蓄積層 C S L の幅方向両端部の側面が、メモリゲート電極 M G の幅方向両端部の側面とほぼ一致しており、メモリゲート電極 M G の外側に、はみ出さないようにされている。これにより、スプリットゲート型のメモリセル M C 2 の消去動作に際して、前記実施の形態 8 と同様にデータの消去速度を向上させることができる。また、消去動作不良の発生率を低減でき、半導体装置の歩留りを向上させることができる。もちろん本実施の形態 9 でも図 7 0 で説明したように最終的に電荷蓄積層 C S L の両端部が、メモリゲート電極 M G の両端部よりも内側に位置するようにしても良い。

10

【 0 1 1 0 】

(実施の形態 1 0)

本実施の形態 1 0 は、前記実施の形態 8 の変形例であって、前記図 5 のスプリットゲート電極型のメモリセル M C 3 の形成方法に前記実施の形態 8 の方法を適用した場合の一例を説明する。

【 0 1 1 1 】

まず、前記実施の形態 9 と同様に前記図 7 1 の導体膜 1 1 の堆積工程までを経た後、その導体膜 1 1 を異方性のドライエッチング処理によりエッチバックすることにより、図 7 5 に示すように、コントロールゲート電極 C G の側面側に、導体膜 1 1 のサイドウォール 1 1 a を形成する。続いて、図 7 6 に示すように、基板 1 S u b の主面上に、メモリゲート電極 M G 形成用のレジストパターン P R 1 1 をリソグラフィ技術により形成する。その後、そのレジストパターン P R 1 1 をエッチングマスクとして、そこから露出する導体膜 1 1 a および絶縁膜 5 t を前記実施の形態 8 , 9 と同様にエッチングしてメモリゲート電極 M G (1 1 a) および絶縁膜 5 t をパターンニングする。

20

【 0 1 1 2 】

次いで、レジストパターン P R 1 1 を除去した後、前記実施の形態 8 , 9 と同様に、電荷蓄積層 C S L をウェットエッチング処理により選択的にエッチングすることにより、図 7 7 に示すように、電荷蓄積層 C S L をパターンニングする。この時、本実施の形態 1 0 では、電荷蓄積層 C S L の露出両側面が、絶縁膜 5 t の下に入り込み窪むようにオーバーエッチング処理を施す。これにより、電荷蓄積層 C S L の幅方向片端部の側面がメモリゲート電極 M G の幅方向片端部の側面の外側に位置してしまうような不具合を前記実施の形態 8 , 9 と同様に防止することができる。

30

【 0 1 1 3 】

その後、前記実施の形態 3 で説明したのと同様の工程を経て、図 7 8 に示すように、スプリットゲート型のメモリセル M C 3 を形成する。本実施の形態 1 0 の場合も、図 7 8 に示すように、電荷蓄積層 C S L のパターンニング後の酸化処理によりメモリゲート電極 M G の表面部分が酸化され、メモリゲート電極 M G の幅方向寸法が設計値より若干小さくなっているが、上記のように本実施の形態 1 0 でも、それを見越して電荷蓄積層 C S L の幅方向寸法を小さくしてあるので、最終的に、電荷蓄積層 C S L の幅方向片端部の側面が、メモリゲート電極 M G の幅方向片端部の側面とほぼ一致しており、メモリゲート電極 M G の外側に、はみ出さないようにされている。これにより、スプリットゲート型のメモリセル M C 3 の消去動作に際して、前記実施の形態 8 , 9 と同様にデータの消去速度を向上させることができる。また、消去動作不良の発生率を低減でき、半導体装置の歩留りを向上させることができる。もちろん本実施の形態 1 0 でも図 7 0 で説明したように最終的に電荷蓄積層 C S L の片端部の側面が、メモリゲート電極 M G の片端部の側面よりも内側に位置するようにしても良い。

40

50

【0114】

(実施の形態11)

本実施の形態11は、前記スプリットゲート型のメモリセルについて本発明者が初めて見出した他の問題を解決するための一例を説明するものである。その問題は、メモリゲート電極の不純物濃度が高いとデータの消去時間が遅くなる、という問題である。

【0115】

図79は、スプリットゲート電極型のメモリセルの消去特性がメモリゲート電極の不純物濃度にどのように依存するかを示している。メモリゲート電極材料は、例えばn型の低抵抗ポリシリコンを用いた。また、データ記憶に寄与する電荷は電子とされている。図79中の矢印で示すように、メモリゲート電極への不純物イオンの打ち込み濃度を増加していくと、消去速度が遅くなるのが分かる。これは、メモリゲート電極側にデータ記憶に寄与する電子を引き抜く消去方式の場合、電子の引き抜きによる効果と、メモリゲート電極側から注入された正孔との再結合による効果との両方が消去動作に影響を与えているためと想定される。図80にエネルギーバンド図を例示する。白丸が正孔、黒丸が電子を示している。消去速度が変わるのは、メモリゲート電極MGから注入される正孔が電荷蓄積層CSLから引き抜かれた電子と再結合して電子・正孔対を生成したり、電荷蓄積層CSL中の電子がメモリゲート電極MGの近傍の絶縁膜5t中の欠陥準位を介してメモリゲート電極MG側に流れたり(トンネル現象)すること等に起因すると考えられる。したがって、メモリゲート電極MGの絶縁膜5tとの界面を空乏化させることにより消去速度を制御することが可能である。

【0116】

具体例として前記実施の形態1~10のメモリセルMCのメモリゲート電極MGをn型のポリシリコンで形成し、そのメモリゲート電極MG中のn型の不純物の濃度を下げる。または、前記実施の形態1~10のメモリセルMCのメモリゲート電極MGをn型のポリシリコンで形成し、メモリゲート電極MGの絶縁膜5tとの界面領域の不純物濃度を、同じメモリゲート電極MGの他の領域の不純物濃度よりも低くする。すなわち、同じメモリゲート電極MG中に意図的に不純物濃度差が形成されており、そのメモリゲート電極MGの電荷蓄積層CSL側の一領域(第1領域)の不純物濃度がそれ以外の領域(第2領域)に比較して相対的に低くなっている。このような構成にすることにより、電荷蓄積層CSL中の電子の引き抜きと、メモリゲート電極MG側からの正孔の注入が生じてデータ記憶に寄与する電子と再結合することとの両方の作用によりデータ消去が進められるので、消去速度を速くすることが可能となる。また、この場合も消去動作不良の発生率を低減できるので、半導体装置の歩留りを向上させることができる。

【0117】

本発明者の検討によれば、メモリゲート電極MGの全体または上記絶縁膜5tとの界面領域のn型不純物の濃度は、例えば $1 \times 10^{18} / \text{cm}^3 \sim 2 \times 10^{20} / \text{cm}^3$ 程度、好ましくは $8 \times 10^{19} / \text{cm}^3 \sim 1.5 \times 10^{20} / \text{cm}^3$ 程度とされている。この下限値より低いと空乏化したり、メモリゲート電極MGの抵抗値が増えたりして、消去を含めた他の動作上の問題が生じるためであり、上記上限値よりも高いと上記消去動作上の問題が生じるからである。

【0118】

また、本発明者が検討した一般的なスプリットゲート電極型のMONOS構造のメモリセルでは、そのメモリゲート電極を、周辺回路等を構成する他のMISのゲート電極と同工程で形成しているので、そのメモリゲート電極中に含まれるn型不純物の濃度が、例えば $2.5 \times 10^{20} / \text{cm}^3$ 以上であり本実施の形態11よりも高くなっている。これに対して、本実施の形態11では、メモリゲート電極MGと上記他のMISのゲート電極とを別々に形成する。そして、メモリゲート電極MGの不純物濃度を上記のように低くする。具体的にはメモリゲート電極MGとなる相対的に低濃度のn型の不純物が導入された多結晶シリコン膜と、上記他のMISのゲート電極となる相対的に高濃度のn型の不純物が導入された多結晶シリコン膜とを別々にCVD法によって形成し、その後、パターンニングす

10

20

30

40

50

ることによって形成する。もちろん、メモリゲート電極MGと同一基板上の上記他のMISのゲート電極とを同時にパターンニングし、後ほどの工程でイオン注入法等により他のMISのゲート電極側にn型不純物を導入し、その他のMISのゲート電極中のn型不純物の濃度を相対的に高くするようにしても良い。このイオン注入法による形成法の方が、上述の別々にCVD法で形成するよりも、上記他のMISのゲート電極の不純物濃度の制御が容易であるというメリットがある。いずれにしても、本実施の形態11では、メモリセルMCのメモリゲート電極MGのn型不純物の濃度と、同一基板上に形成された上記他のMISのゲート電極のn型不純物の濃度が意図的に異なっており、メモリゲート電極MGのn型不純物の濃度の方が、上記他のMISのゲート電極のn型不純物の濃度よりも意図的に低くなっている。

10

【0119】

また、同様の考えから、前記実施の形態1~10のメモリセルMCのメモリゲート電極MGをp型にすることにより、上記と同様の作用により消去速度を速くすることが可能となる。本発明者の検討によれば、メモリゲート電極MGをp型とした場合、メモリゲート電極MGのp型不純物の濃度は、例えば $1 \times 10^{18} / \text{cm}^3$ 程度以上とすることが好ましい。したがって、この場合も同一基板上に形成された他のMISにp型のゲート電極を持つMISがある場合に、メモリセルMCのメモリゲート電極MG中のp型不純物の濃度の方が、上記他のMISのp型のゲート電極中のp型不純物の濃度よりも意図的に高くなるような場合もある。

【0120】

20

(実施の形態12)

本実施の形態12では、前記実施の形態11で説明した、同じメモリゲート電極MG中に意図的に不純物濃度差が形成されており、そのメモリゲート電極MGの電荷蓄積層CSL側の一領域の不純物濃度が相対的に低くなっている場合を説明する。

【0121】

図81は、本実施の形態12のメモリセルMC1の要部断面図の一例を示している。ここでは、メモリゲート電極MGが、導体層11a, 11bの積層構成を有している。導体層11a, 11bはいずれもn型の低抵抗ポリシリコンからなるが、その不純物濃度が意図的に異なっており、下層側、すなわち、絶縁膜5tに接する側の導体層(第1領域)11aのn型不純物の濃度の方が、その上の導体層(第2領域)11bのn型不純物の濃度よりも低くなっている。これにより、前記実施の形態11と同様に消去速度を速くすることができる。また、半導体装置の歩留りを向上させることができる。さらに、本実施の形態12によれば、前記実施の形態11ではメモリゲート電極MG全体が低濃度のn型不純物からなる導電膜で構成されている場合も例示したが、メモリゲート電極MGに不純物濃度の高い導体層11bが設けられているので、メモリゲート電極MGの抵抗や配線との接触抵抗を低減できる。

30

【0122】

このような導体層11a, 11bを形成するには、例えば次の第1、第2の方法を挙げることができる。第1の方法は、導体膜11a, 11bをCVD法により別々に堆積する方法である。すなわち、図9等で説明した導体膜11の堆積工程の時に、導体膜11a, 11bを下層から順に堆積する。この時、導体膜11a, 11b中の各々のn型不純物の濃度を調節する。その後、導体膜11b上に絶縁膜7を堆積後、その積層膜を前記と同様にパターンニングすることにより、メモリゲート電極MGを形成する。第2の方法は、イオン注入法により不純物濃度分布を形成する方法である。すなわち、図9等で説明したように導体膜11を堆積した後、その導体膜11にイオン注入法等によりn型不純物を導入する際に、そのイオン打ち込みエネルギーおよびドーズ量等の条件を変えて導入することにより、導体膜11中にn型不純物濃度の異なる導体層11a, 11bを形成する。その後、導体膜11上に絶縁膜7を堆積後、その積層膜を前記と同様にパターンニングすることにより、メモリゲート電極MGを形成する。このイオン注入法を採用した場合、各々の導体層11a, 11bの不純物濃度や形成位置を制御し易いので、導体層11a, 11bを、よ

40

50

り狙いに近い状態で形成することができる。

【0123】

本実施の形態12も導体層11a, 11bをp型の低抵抗ポリシリコンで形成しても良い。この場合、絶縁膜5tに接する下層側の導体膜11aのp型不純物の濃度の方が、上層側の導体膜11bのp型不純物の濃度よりも高くされている。

【0124】

(実施の形態13)

本実施の形態13では、前記実施の形態12の変形例を説明する。

【0125】

図82は、本実施の形態13のメモリセルMC1の要部断面図の一例を示している。ここでは、メモリゲート電極MGが、導体層11a, 11b, 11cの3層の積層構成を有している。導体層11a, 11b, 11cはいずれもn型の低抵抗ポリシリコンからなるが、その不純物濃度が意図的に異なっており、最下層(すなわち、絶縁膜5tに接する側)の導体層(第1領域)11aと、最上層の導体層11cのn型不純物の濃度の方が、中間の導体層(第2領域)11bのn型不純物の濃度よりも低くなっている。導体膜11a, 11cのn型不純物の濃度は同じでも異なっても良い。これにより、前記実施の形態11, 12と同様に消去速度を速くすることができる。また、半導体装置の歩留りを向上させることができる。

【0126】

最上の導体層11cの濃度を低減した理由は、最上に高濃度のポリシリコン層が存在すると、洗浄処理後に高濃度のポリシリコン層の表面にウォーターマークが残ったり、高濃度のポリシリコン層に異常酸化が生じたりする場合があるので、それを回避するためである。すなわち、本実施の形態13によれば、最上の導体層11cの不純物濃度を低くしたことにより、半導体装置の製造工程中の不具合を回避できるので、半導体装置の信頼性および歩留りを向上させることができる。

【0127】

上記導体層11a, 11b, 11cの形成方法は、前記実施の形態12と同じなので説明を省略する。

【0128】

本実施の形態13も導体層11a, 11b, 11cをp型の低抵抗ポリシリコンで形成しても良い。この場合、絶縁膜5tに接する下層側の導体膜11aのp型不純物の濃度の方が、上層側の導体膜11b, 11cのp型不純物の濃度よりも高くされている。

【0129】

(実施の形態14)

本実施の形態14では、前記実施の形態12の変形例を説明する。

【0130】

図83は、本実施の形態14のメモリセルMC1の要部断面図の一例を示している。ここでは、メモリゲート電極MGが、導体層11とシリサイド層14との積層構成を有している。導体膜11は、例えばn型の低抵抗ポリシリコンからなり、そのn型不純物の濃度が前記実施の形態11, 12で説明したように低くされている。シリサイド層14は、例えばコバルトシリサイドまたはタングステンシリサイド等からなる。このように、導体膜11中のn型不純物の濃度を前記実施の形態11, 12に記載したように低くしたとしても、導体膜11上に低抵抗なシリサイド層14を設けることにより、メモリゲート電極MGの総抵抗を低く抑えることができる。ただし、本実施の形態14でも、導体膜11をp型のポリシリコンで形成し、その上にシリサイド層14を設ける構造としても良い。

【0131】

(実施の形態15)

本実施の形態15では、前記実施の形態12のさらに他の変形例を説明する。

【0132】

図84は、本実施の形態15のメモリセルMC1の要部断面図の一例を示している。ここ

では、メモリゲート電極MGが、導体層11と、バリアメタル層28と、メタル層29との3層の積層構成を有している。導体膜11は、例えばn型の低抵抗ポリシリコンからなり、そのn型不純物の濃度が前記実施の形態11, 12で説明したように低くされている。バリアメタル層28は、例えば窒化タングステン(WN)等からなる。また、メタル層29は、例えばタングステン等からなる。このように、導体膜11中のn型不純物の濃度を前記実施の形態11, 12で記載したように低くしたとしても、導体膜11上に低抵抗なメタル層29を設けることにより、メモリゲート電極MGの総抵抗を大幅に低くすることができる。ただし、本実施の形態15でも、導体膜11をp型のポリシリコンで形成し、その上にバリアメタル層28を介してメタル層29を設ける構造としても良い。

【0133】

10

(実施の形態16)

本実施の形態16は、前記スプリットゲート電極型のメモリセルについて本発明者が初めて見出したさらに他の問題を解決するための一例を説明するものである。その問題は、メモリセルのドレイン電流の劣化が生じ易い、という問題である。

【0134】

電荷蓄積層CSLまたは絶縁膜5tの材料として特に酸窒化シリコン(SiON)を使用するMONOS構造のメモリセルでは、消去動作により界面準位が形成された書き換え動作を行うとメモリセルのドレイン電流Idsが低下する場合がある。このため、メモリセルがオン状態となる時の電流劣化を考慮してメモリセルを設計する必要がある。

【0135】

20

すなわち、本実施の形態16では、電荷蓄積層に蓄えられた電荷をメモリゲート電極側に引き抜く動作によりデータの消去を行うスプリットゲート電極型のメモリセルにおいて、書き込みレベルの最も少ない状態が、メモリセルの初期しきい値電圧Vthよりも高い状態となるようにする。これにより、データの書込および消去に伴うドレイン電流の劣化を許容できる。したがって、メモリセルのデータの書き換え補償回数を向上でき、メモリセルの寿命を向上させることが可能となる。

【0136】

本実施の形態16のメモリセルの構造(読み出し、書き込みおよび消去動作を含む)は、前記実施の形態1~15で説明したのと同じである。図85は、本実施の形態16のメモリセルの書き込みおよび消去状態を示している。初期状態Inは、しきい値電圧Vthが低い状態であるが、一度書き込んだ後の消去状態を初期状態Inと同じ状態にせず、それよりも高い状態とする。多値記憶の場合には、最も書き込みレベルの低い状態が、初期状態Inよりも高い状態とする方式である。この方式の場合、書き換え等の劣化によりドレイン電流Idsが減少した場合でも、深く消し込む余裕があるために、半導体装置の動作上の劣化が見えない状態とすることができる。

30

【0137】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0138】

40

例えば前記実施の形態1~16では、MONOS構造のメモリセルに適用した場合について説明したが、例えば基板上に、酸化シリコン膜、電荷蓄積用の窒化シリコン膜(または酸窒化シリコン膜)および低抵抗ポリシリコン膜(または上記と同様のポリサイドやポリメタル構造の膜)を下層から順に積層した構成を有する、MNOS(Metal Nitride Oxide Semiconductor)構造のメモリセルに適用することもできる。

【0139】

また、前記実施の形態1~10は、消去動作に際してデータ記憶に寄与する電荷をメモリゲート電極に引き抜くメモリセル構造とした場合について説明したが、これに限定されるものではなく、消去動作に際してデータ記憶に寄与する電荷を基板側に引き抜くメモリセ

50

ル構造のものにも適用できる。

【0140】

また、前記実施の形態1～16では、電荷蓄積層を窒化膜で形成した場合について説明したが、これに限定されるものではなく、例えば酸化シリコン膜中にドット状に形成された複数のナノ結晶を有する構成としても良い。上記ナノ結晶は、一般的な不揮発性メモリの浮遊ゲート電極と同様に、データに寄与する電荷が捕獲される部分である。各ナノ結晶は、例えばCVD法により形成されている。各ナノ結晶は、物理的に離れた状態で形成されている（すなわち、離散的なトラップ準位を有する）ので、データの保持時にリークパスがあっても一部の電荷しか失われず、データ保持特性に優れている。また、データの消去および書き込み時においても、特性が多くくのナノ結晶間で平均化されるので、ナノ結晶の直径や絶縁膜などの構造ばらつき、あるいは確率的振る舞いの影響を受け難いため、このメモリセルを有する半導体装置の歩留まりを向上させることができる。

10

【0141】

また、前記実施の形態1～16の各々を、他の実施の形態の一つまたは2つ以上の複数個と組み合わせてもよいのは勿論である。

【0142】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるICカードに適用した場合について説明したが、これに限定されるものではなく、例えば携帯電話等のような移動体通信機器やパーソナルコンピュータ等のような情報処理装置に内蔵されるメモリにも適用できる。

20

【0143】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0144】

すなわち、互いに隣接するように配置された第1、第2電界効果トランジスタを持つ不揮発性メモリセルを半導体基板に有する半導体装置の電気的特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置のメモリセルの回路図である。

30

【図2】図1のメモリセルのデバイス基本構造例の要部断面図である。

【図3】図1および図2のメモリセルのデータの読み出し動作、消去動作および書き込み動作時の各部への印加電圧値の一例の説明図である。

【図4】図1のメモリセルのデバイス基本構造の他の例の要部断面図である。

【図5】図1のメモリセルのデバイス基本構造のさらに他の例の要部断面図である。

【図6】図1のメモリセルの形成工程で生じる不具合を説明するための半導体装置の製造工程中の要部断面図である。

【図7】図1のメモリセルの形成工程で生じる不具合を説明するための半導体装置の製造工程中の要部断面図である。

【図8】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

40

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】図16に続く半導体装置の製造工程中の要部断面図である。

【図18】図17に続く半導体装置の製造工程中の要部断面図である。

50

- 【図 19】図 18 に続く半導体装置の製造工程中の要部断面図である。
- 【図 20】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 21】図 20 に続く半導体装置の製造工程中の要部断面図である。
- 【図 22】図 21 に続く半導体装置の製造工程中の要部断面図である。
- 【図 23】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 24】図 23 に続く半導体装置の製造工程中の要部断面図である。
- 【図 25】図 24 に続く半導体装置の製造工程中の要部断面図である。
- 【図 26】図 25 に続く半導体装置の製造工程中の要部断面図である。
- 【図 27】図 26 に続く半導体装置の製造工程中の要部断面図である。
- 【図 28】図 27 に続く半導体装置の製造工程中の要部断面図である。 10
- 【図 29】図 28 に続く半導体装置の製造工程中の要部断面図である。
- 【図 30】図 29 に続く半導体装置の製造工程中の要部断面図である。
- 【図 31】図 30 に続く半導体装置の製造工程中の要部断面図である。
- 【図 32】図 1 のメモリセルの形成工程で生じる他の不具合を説明するための半導体装置の製造工程中の要部断面図である。
- 【図 33】図 32 の領域 B の拡大断面図である。
- 【図 34】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 35】図 34 に続く半導体装置の製造工程中の要部断面図である。
- 【図 36】図 35 に続く半導体装置の製造工程中の要部断面図である。
- 【図 37】図 36 に続く半導体装置の製造工程中の要部断面図である。 20
- 【図 38】図 37 に続く半導体装置の製造工程中の要部断面図である。
- 【図 39】図 38 の領域 D の拡大断面図である。
- 【図 40】本発明の他の実施の形態である半導体装置の要部拡大断面図である。
- 【図 41】図 1 のメモリセルの形成工程で生じる他の不具合を説明するための半導体装置の製造工程中の要部断面図である。
- 【図 42】図 41 に続く半導体装置の製造工程中の要部断面図である。
- 【図 43】図 42 に続く半導体装置の製造工程中の要部断面図である。
- 【図 44】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 45】図 44 に続く半導体装置の製造工程中の要部断面図である。
- 【図 46】図 45 に続く半導体装置の製造工程中の要部断面図である。 30
- 【図 47】図 46 に続く半導体装置の製造工程中の要部断面図である。
- 【図 48】図 47 に続く半導体装置の製造工程中の要部断面図である。
- 【図 49】図 48 に続く半導体装置の製造工程中の要部断面図である。
- 【図 50】図 49 に続く半導体装置の製造工程中の要部断面図である。
- 【図 51】図 50 に続く半導体装置の製造工程中の要部断面図である。
- 【図 52】図 51 に続く半導体装置の製造工程中の要部断面図である。
- 【図 53】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。
- 【図 54】図 53 に続く半導体装置の製造工程中の要部断面図である。
- 【図 55】図 54 に続く半導体装置の製造工程中の要部断面図である。
- 【図 56】図 55 に続く半導体装置の製造工程中の要部断面図である。 40
- 【図 57】図 56 に続く半導体装置の製造工程中の要部断面図である。
- 【図 58】図 57 に続く半導体装置の製造工程中の要部断面図である。
- 【図 59】図 58 に続く半導体装置の製造工程中の要部断面図である。
- 【図 60】図 59 に続く半導体装置の製造工程中の要部断面図である。
- 【図 61】図 60 に続く半導体装置の製造工程中の要部断面図である。
- 【図 62】本発明の他の実施の形態である半導体装置のメモリ領域の一例の要部平面図である。
- 【図 63】図 1 のメモリセルの形成工程で生じる他の不具合を説明するための半導体装置の製造工程中の要部断面図である。
- 【図 64】図 63 に続く半導体装置の製造工程中の要部断面図である。 50

【図 6 5】図 6 4 の要部拡大断面図である。

【図 6 6】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 6 7】図 6 6 に続く半導体装置の製造工程中の要部断面図である。

【図 6 8】図 6 7 に続く半導体装置の製造工程中の要部断面図である。

【図 6 9】図 6 8 の半導体装置のメモリセルの要部拡大断面図である。

【図 7 0】本発明の他の実施の形態である半導体装置のメモリセルの要部拡大断面図である。

【図 7 1】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 7 2】図 7 1 に続く半導体装置の製造工程中の要部断面図である。

【図 7 3】図 7 2 に続く半導体装置の製造工程中の要部断面図である。

【図 7 4】図 7 3 に続く半導体装置の製造工程中の要部断面図である。

【図 7 5】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図 7 6】図 7 5 に続く半導体装置の製造工程中の要部断面図である。

【図 7 7】図 7 6 に続く半導体装置の製造工程中の要部断面図である。

【図 7 8】図 7 7 に続く半導体装置の製造工程中の要部断面図である。

【図 7 9】図 1 のメモリセルの形成工程で生じる他の不具合を説明するための図であり、消去動作のメモリゲート電極中の不純物濃度依存性を示すグラフ図である。

【図 8 0】メモリゲート電極およびその近傍の電荷蓄積層のエネルギーバンド図である。

【図 8 1】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 8 2】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 8 3】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 8 4】本発明の他の実施の形態である半導体装置の要部断面図である。

【図 8 5】本発明のさらに他の実施の形態である半導体装置の書き込みおよび消去状態の説明図である。

【符号の説明】

1 S u b 半導体基板

2 a 半導体領域

2 b 半導体領域

3 ゲート絶縁膜

4 半導体領域

5 b , 5 t 絶縁膜

6 半導体領域

7 絶縁膜

8 サイドウォール

9 サイドウォール

1 0 絶縁膜

1 1 導体膜

1 1 a 導体層

1 1 b 導体層

1 3 窪み

1 4 シリサイド層

1 5 絶縁膜

1 7 導体膜

1 9 絶縁膜

2 1 導体膜

2 1 a 導体膜

2 3 絶縁膜

2 3 a , 2 3 b 絶縁膜

2 5 分離部

2 8 バリアメタル層

10

20

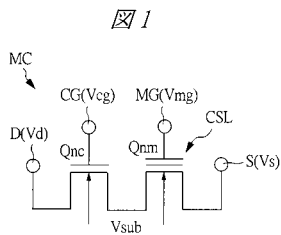
30

40

50

- 29 メタル層
- MC, MC1 ~ MC3 メモリセル
- D ドレイン電極
- Drm ドレイン領域
- S ソース電極
- Srm ソース領域
- CG コントロールゲート電極
- MG メモリゲート電極
- CSL 電荷蓄積層
- Qnc nチャネル型のMIS・FET
- Qnm nチャネル型のMIS・FET
- PR1 ~ PR11 フォトリジストパターン
- CNT コンタクトホール
- PLG プラグ
- M1 第1層配線
- HG ゲート電極

【図1】

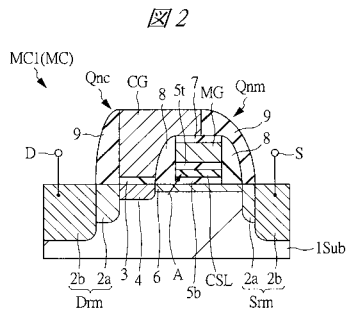


【図3】

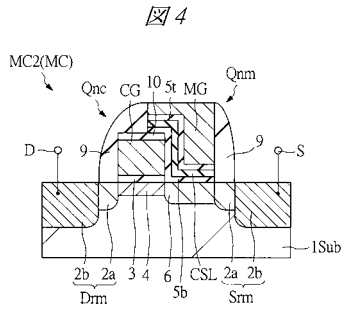
図3

	Vd(V)	Vcg(V)	Vmg(V)	Vs(V)	Vsub(V)
Re	1	1.5	0	0	0
Er	0	1.5	14	0	0
Wr	0	1.5	12	6	0

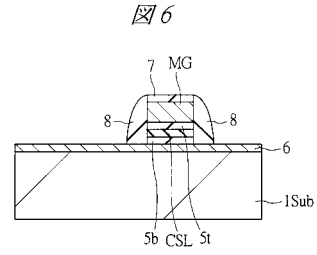
【図2】



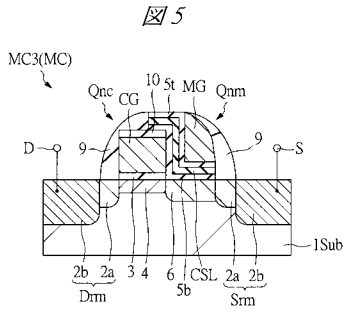
【 図 4 】



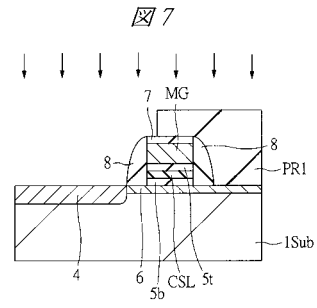
【 図 6 】



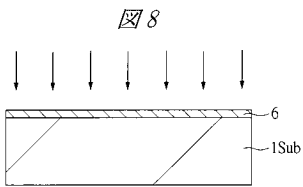
【 図 5 】



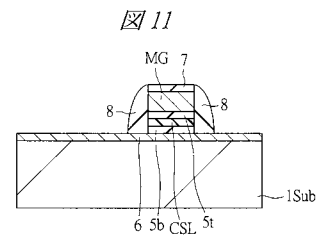
【 図 7 】



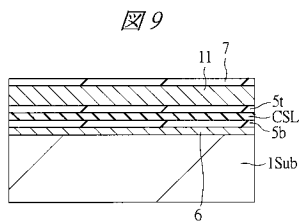
【 図 8 】



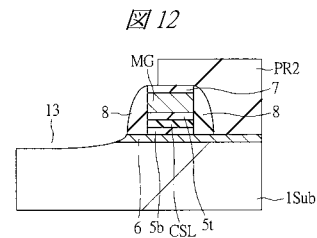
【 図 1 1 】



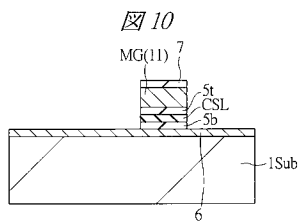
【 図 9 】



【 図 1 2 】

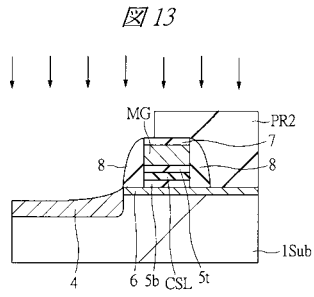


【 図 1 0 】

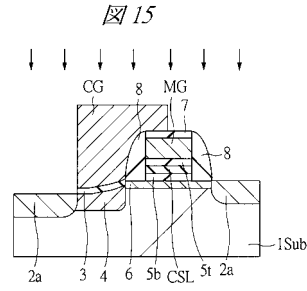


- 1Sub: 半導体基板
- 6: n型の半導体領域
- 8: サイドウォール
- CSL: 電荷蓄積層
- MG: メモリゲート電極
- 13: 窪み

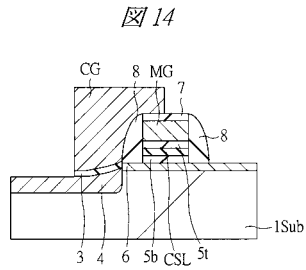
【 図 1 3 】



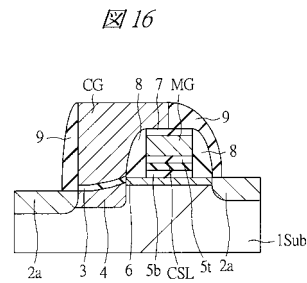
【 図 1 5 】



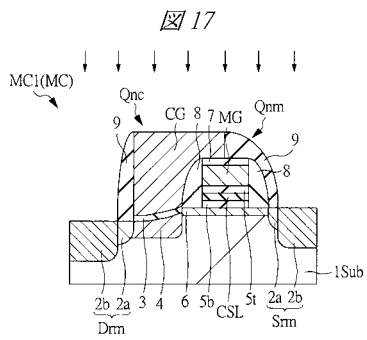
【 図 1 4 】



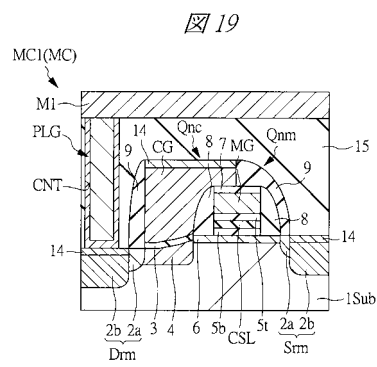
【 図 1 6 】



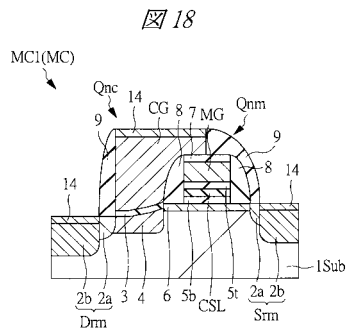
【 図 1 7 】



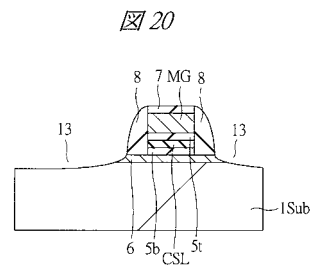
【 図 1 9 】



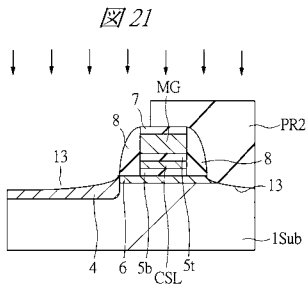
【 図 1 8 】



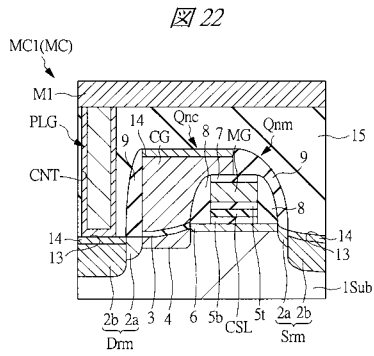
【 図 2 0 】



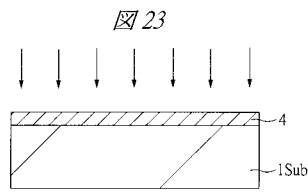
【 図 2 1 】



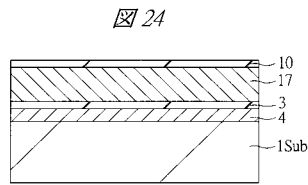
【 図 2 2 】



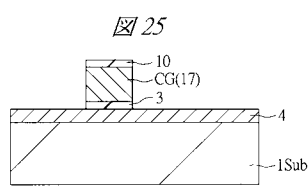
【 図 2 3 】



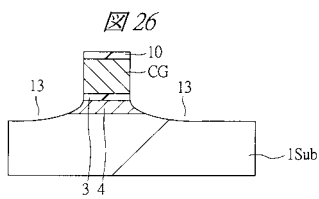
【 図 2 4 】



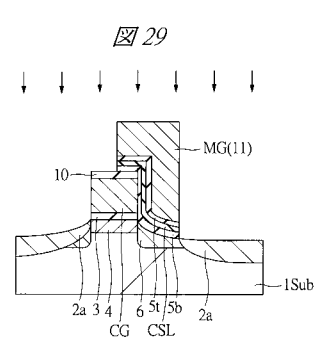
【 図 2 5 】



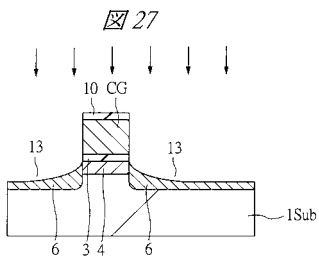
【 図 2 6 】



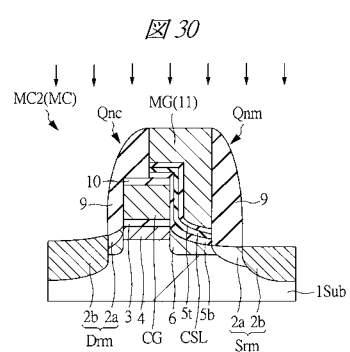
【 図 2 9 】



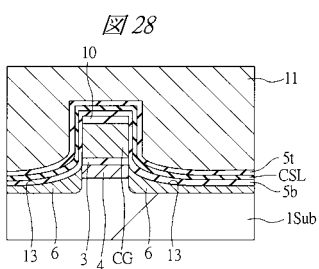
【 図 2 7 】



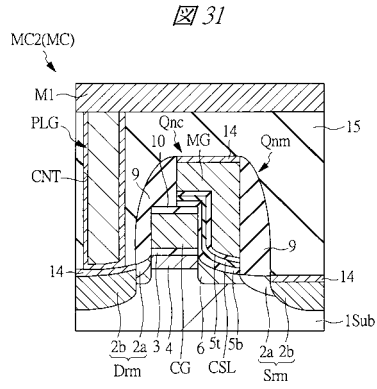
【 図 3 0 】



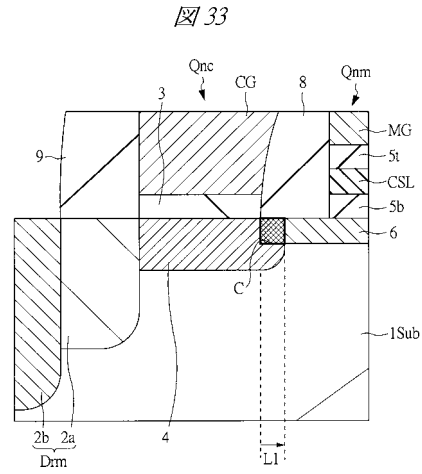
【 図 2 8 】



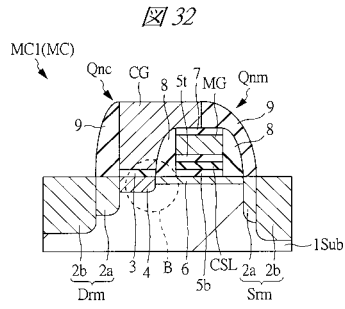
【 図 3 1 】



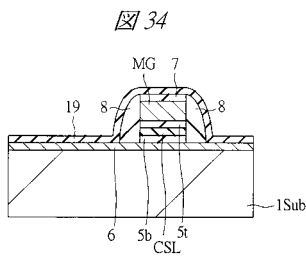
【 図 3 3 】



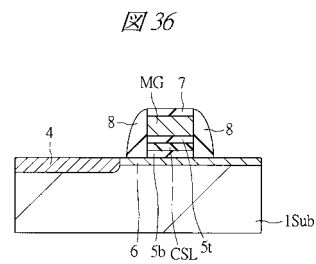
【 図 3 2 】



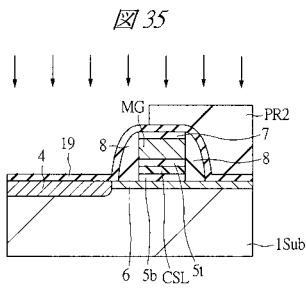
【 図 3 4 】



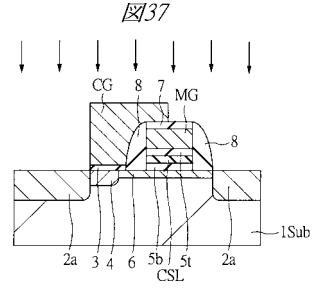
【 図 3 6 】



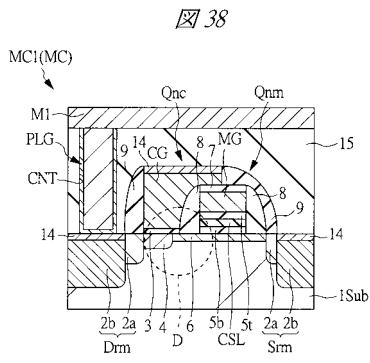
【 図 3 5 】



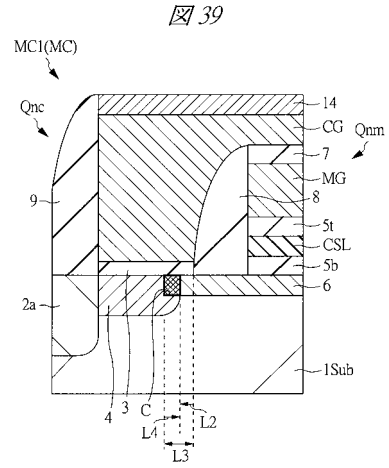
【 図 3 7 】



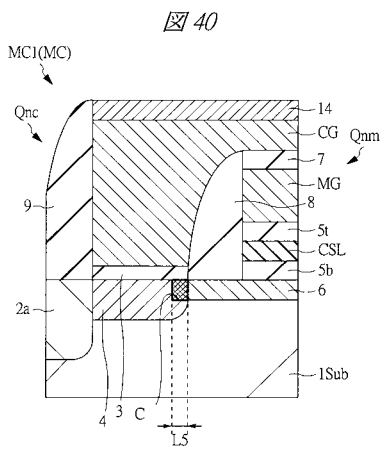
【 図 3 8 】



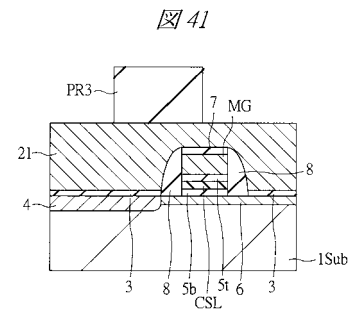
【 図 3 9 】



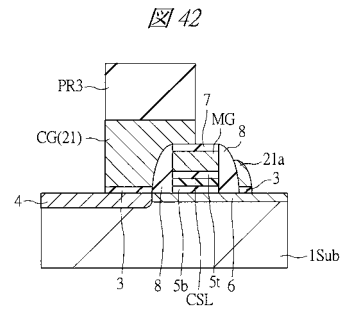
【 図 4 0 】



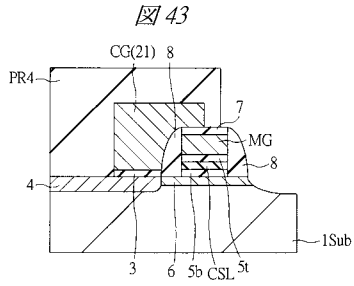
【 図 4 1 】



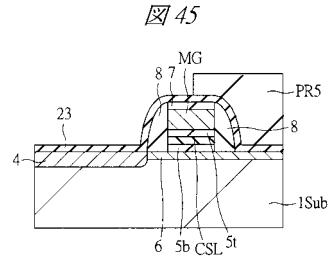
【 図 4 2 】



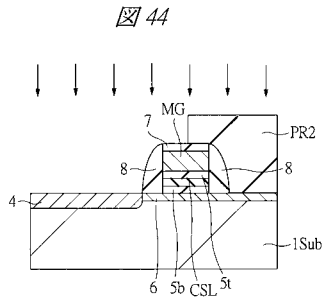
【 図 4 3 】



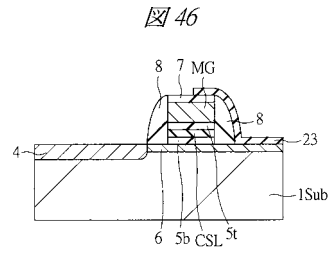
【 図 4 5 】



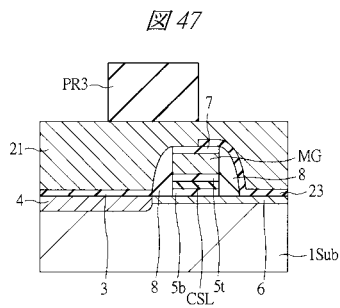
【 図 4 4 】



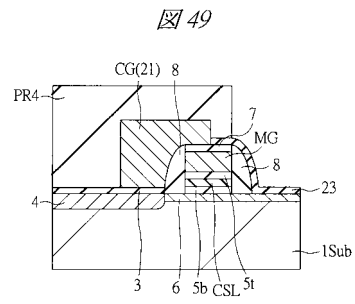
【 図 4 6 】



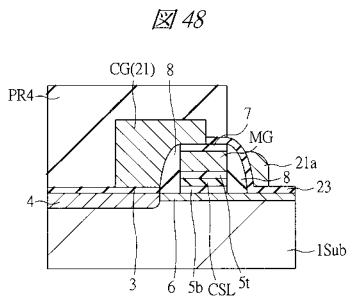
【 図 4 7 】



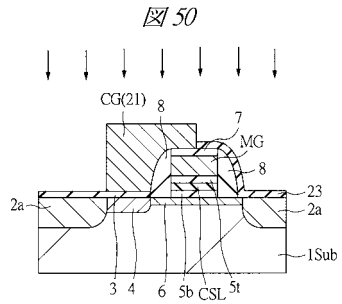
【 図 4 9 】



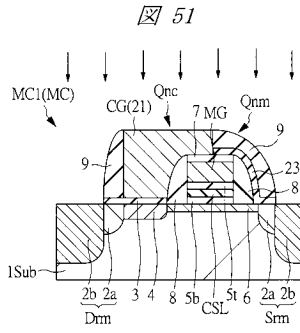
【 図 4 8 】



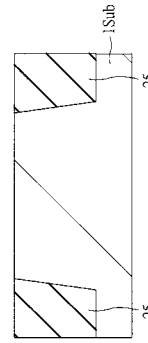
【 図 5 0 】



【 図 5 1 】



【 図 5 3 】



【 図 5 2 】

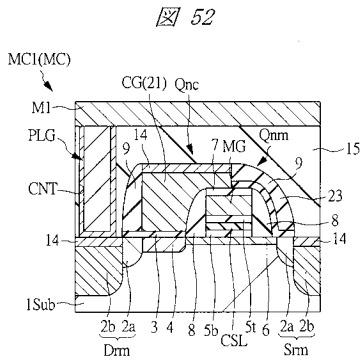
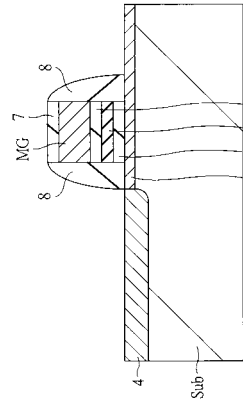


図 53



【 図 5 4 】

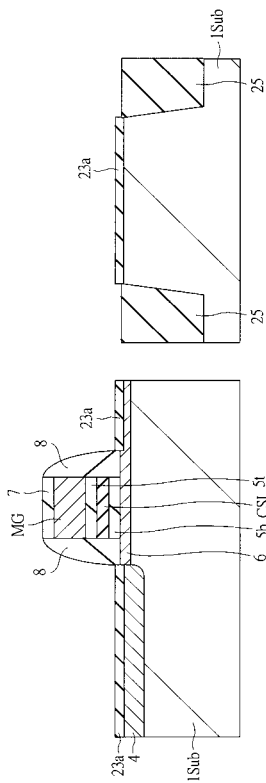


図 54

【 図 5 5 】

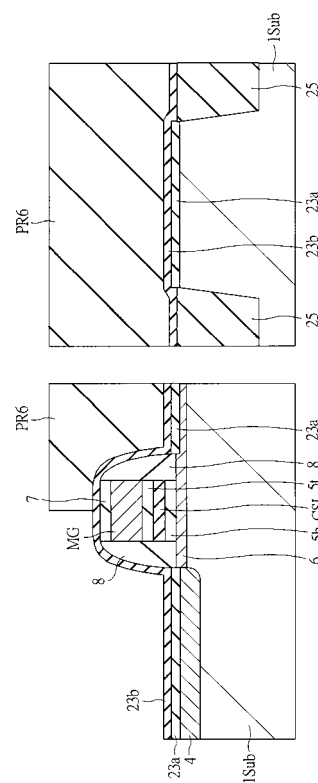


図 55

【 図 5 6 】

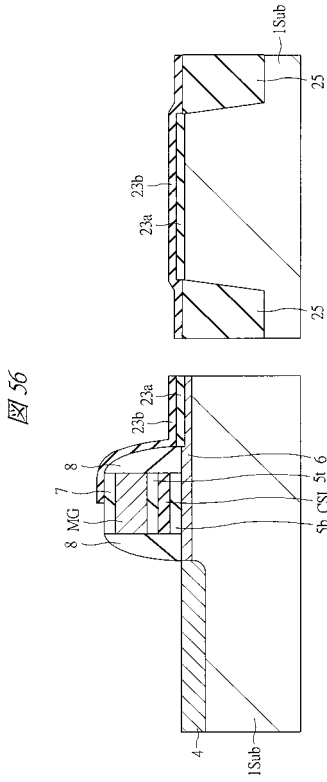


図 56

【 図 5 7 】

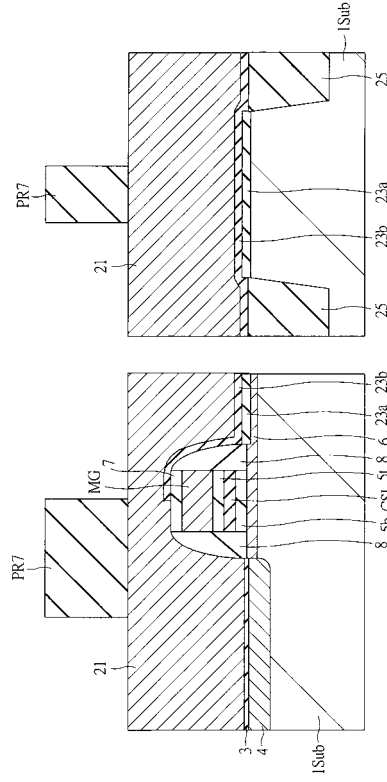


図 57

【 図 5 8 】

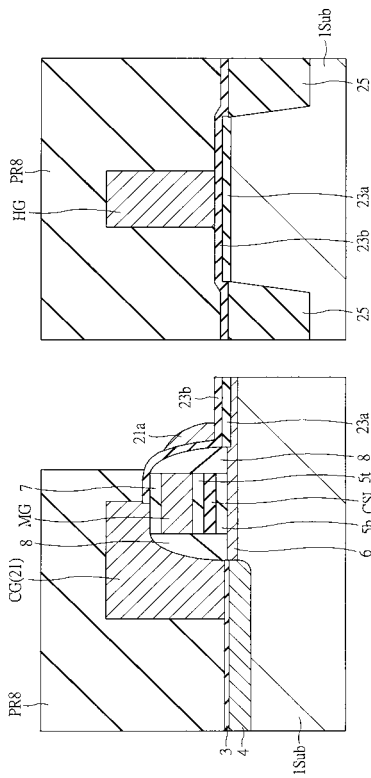


図 58

【 図 5 9 】

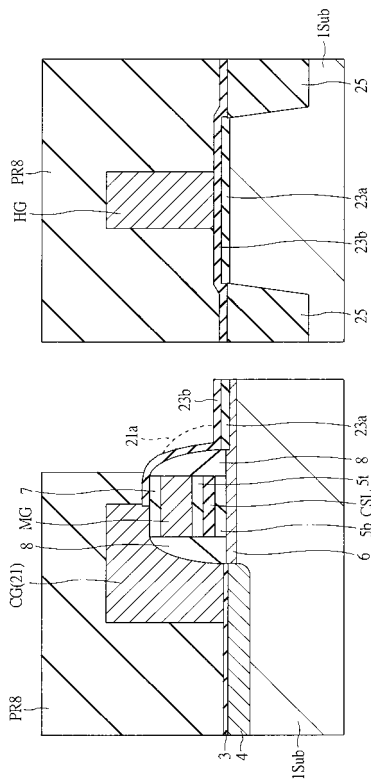
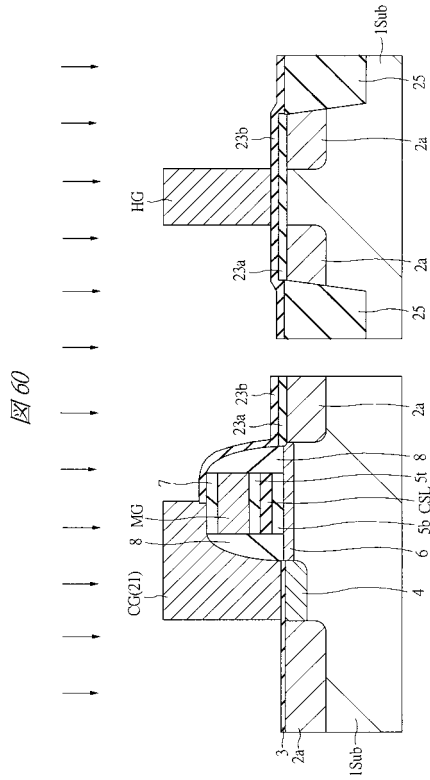
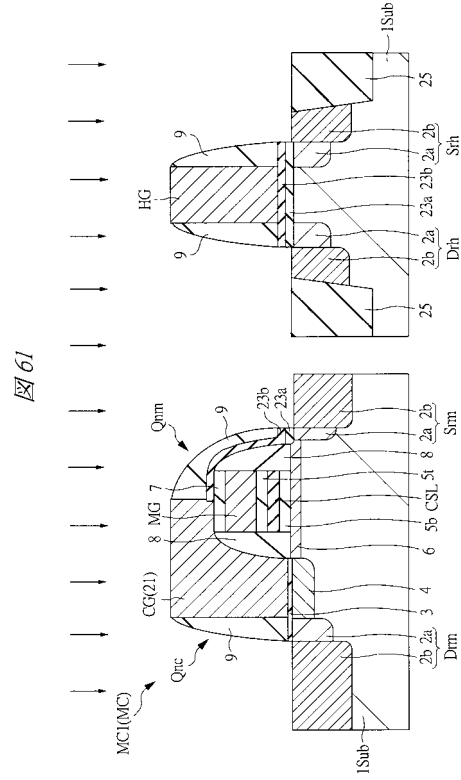


図 59

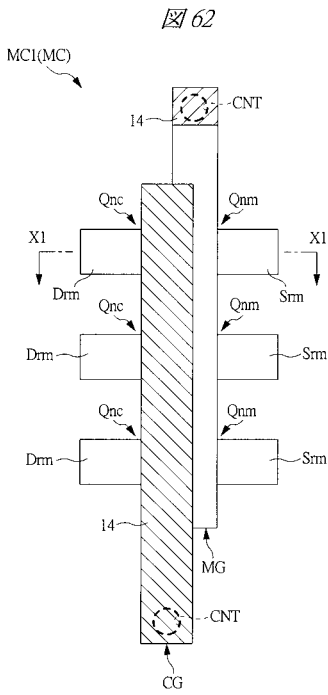
【 図 6 0 】



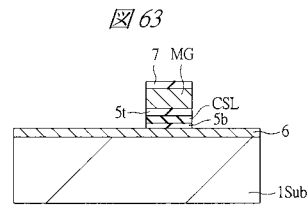
【 図 6 1 】



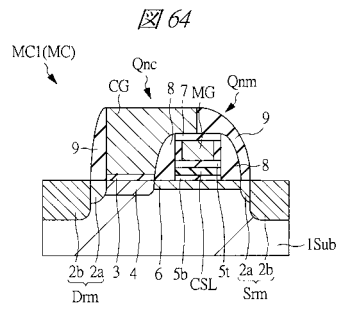
【 図 6 2 】



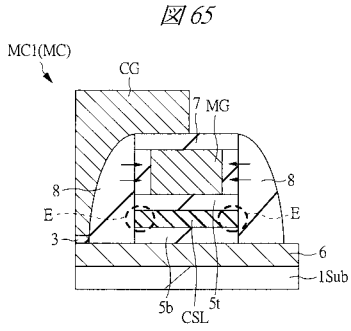
【 図 6 3 】



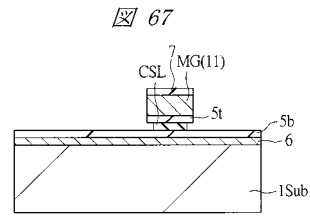
【 図 6 4 】



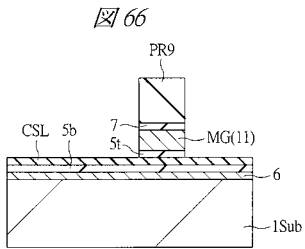
【 図 6 5 】



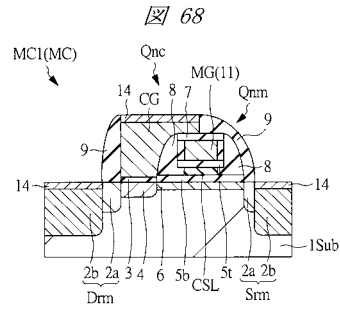
【 図 6 7 】



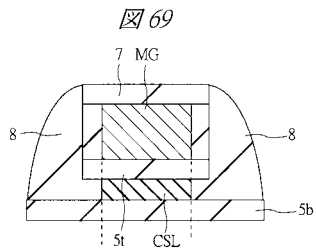
【 図 6 6 】



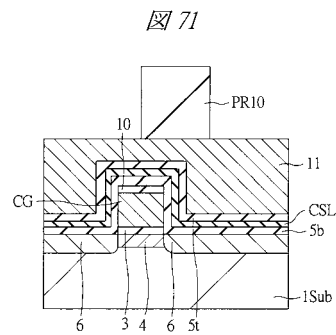
【 図 6 8 】



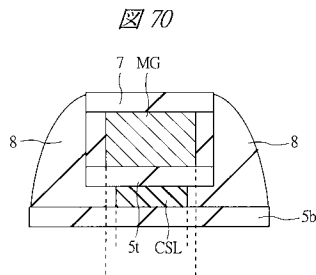
【 図 6 9 】



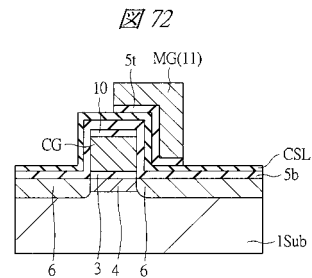
【 図 7 1 】



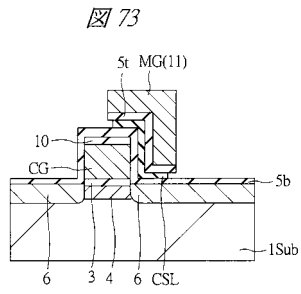
【 図 7 0 】



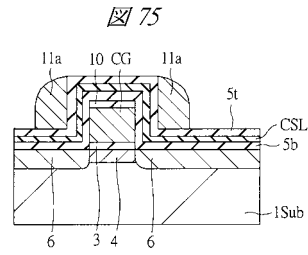
【 図 7 2 】



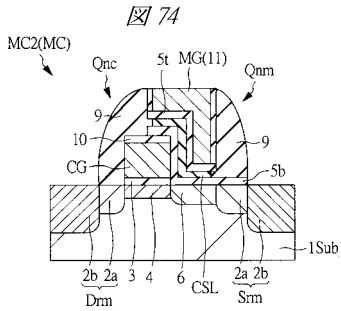
【 図 7 3 】



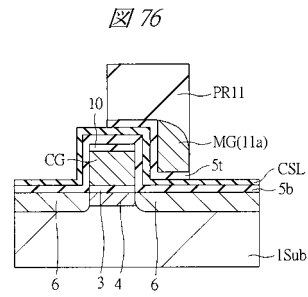
【 図 7 5 】



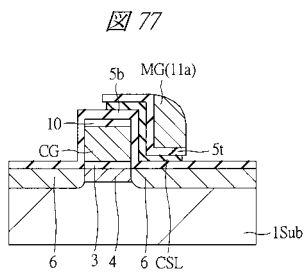
【 図 7 4 】



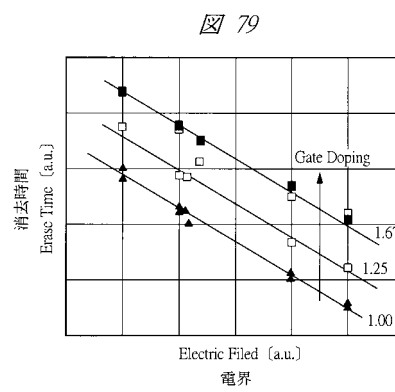
【 図 7 6 】



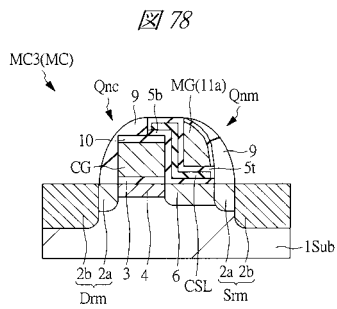
【 図 7 7 】



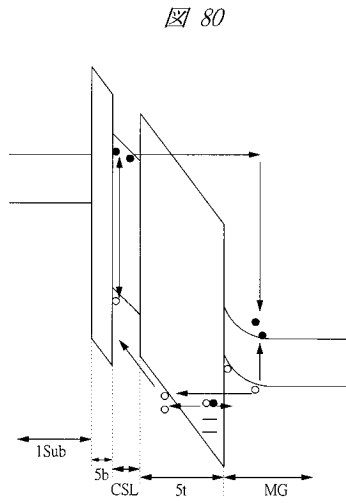
【 図 7 9 】



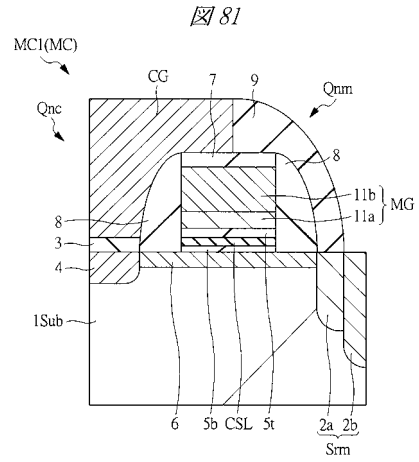
【 図 7 8 】



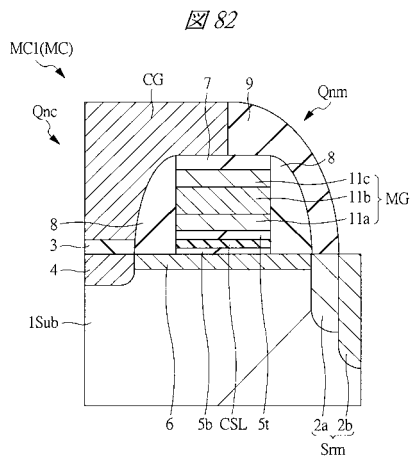
【 図 8 0 】



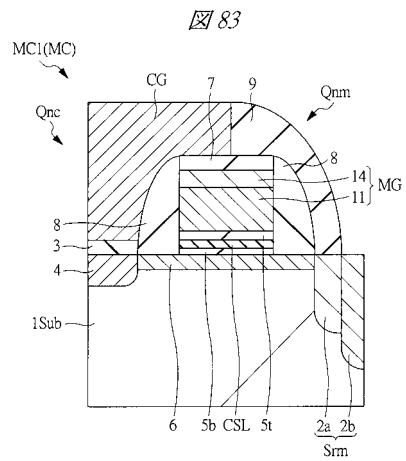
【 図 8 1 】



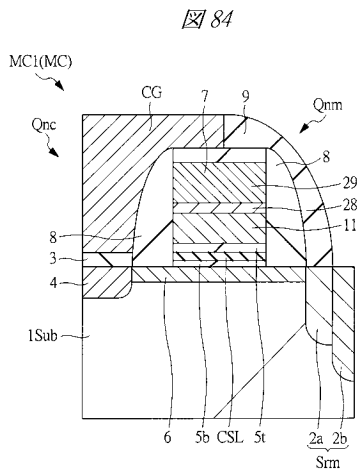
【 図 8 2 】



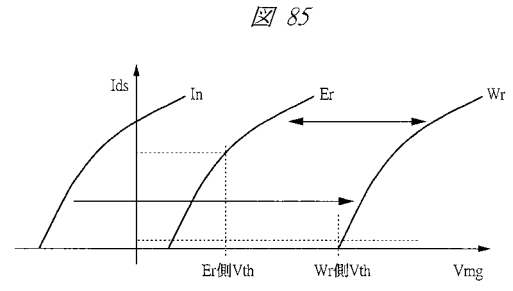
【 図 8 3 】



【 図 8 4 】



【 図 8 5 】



フロントページの続き

- (72)発明者 石井 泰之
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 金丸 恭弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 橋本 孝司
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 水野 真
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 奥山 幸祐
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

F ターム(参考) 5F083 EP17 EP18 EP24 EP25 EP26 EP27 EP28 EP30 EP63 EP64
EP68 EP69 ER02 ER09 ER22 JA02 JA04 JA05 JA19 JA35
JA36 JA39 JA40 JA53 NA01 PR05 PR09 PR29 PR33 PR36
PR43 PR45 PR53 PR55 ZA04 ZA05 ZA06 ZA07 ZA08
5F101 BA45 BA46 BA47 BB03 BB04 BC11 BD05 BD07 BD14 BD15
BD22 BD35 BE05 BE07 BH09 BH16 BH19 BH21