

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3797697号

(P3797697)

(45) 発行日 平成18年7月19日(2006.7.19)

(24) 登録日 平成18年4月28日(2006.4.28)

(51) Int. Cl.

F I

G 1 1 C 29/04 (2006.01)

G 1 1 C 29/00 6 0 3 F

G 1 1 C 11/401 (2006.01)

G 1 1 C 11/34 3 7 1 D

請求項の数 4 (全 15 頁)

(21) 出願番号	特願平8-16947	(73) 特許権者	000005821
(22) 出願日	平成8年2月2日(1996.2.2)		松下電器産業株式会社
(65) 公開番号	特開平9-213096		大阪府門真市大字門真1006番地
(43) 公開日	平成9年8月15日(1997.8.15)	(74) 代理人	100077931
審査請求日	平成15年1月31日(2003.1.31)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(72) 発明者	内藤 康志
			大阪府高槻市幸町1番1号 松下電子工業株式会社内
		審査官	小松 正
		(56) 参考文献	特開平07-220494 (JP, A)
			特開平06-203593 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

階層型ワード線構造をとるアドレスマルチプレクス入力型の半導体記憶装置であって、各々データを記憶するためのLロウ(Lは整数)の通常メモリセルをそれぞれ有するJ×K個(J, Kは整数)の通常サブアレイで構成されるように、J行K列のブロックに分割された通常メモリアレイと、

各々前記通常メモリアレイのうちの1個の行ブロックを構成するK個の通常サブアレイに対して共通に1本ずつ設けられたJ本の通常主ワード線と、

各々前記通常メモリアレイのうちの1個の列ブロックを構成するJ個の通常サブアレイに対して共通にL本ずつ設けられたK組の通常副ワード選択線と、

前記J×K個の通常サブアレイの各々が有するLロウの通常メモリセルに接続されるように、前記J×K個の通常サブアレイの各々にL本ずつ設けられたJ×K組の通常副ワード線と、

与えられたロウアドレスの一部からなる主ワードアドレスに応じて、前記J本の通常主ワード線のうちの1本を選択するための通常主ワードデコーダ手段と、

各々前記与えられたロウアドレスの他の部分からなる副ワードアドレスに応じて、前記K組の通常副ワード選択線のうちの対応する1組を構成するL本の通常副ワード選択線のうちの1本をそれぞれ選択するためのK個の通常副ワードデコーダと、

各々前記通常主ワード線の選択及び前記通常副ワード選択線の選択に応じて、前記J×K組の通常副ワード線のうちの対応する1組を構成するL本の通常副ワード線のうちの1

10

20

本をそれぞれ選択的に駆動するための $J \times K$ 個の通常副ワード線ドライバと、

各々データを記憶するための N 口ウ (N は整数) の冗長メモリセルをそれぞれ有する $M \times K$ 個 (M は整数) の冗長サブアレイで構成されるように、 M 行 K 列のブロックに分割された冗長メモリアレイと、

各々前記冗長メモリアレイのうちの 1 個の行ブロックを構成する K 個の冗長サブアレイに対して共通に 1 本ずつ設けられた M 本の冗長主ワード線と、

各々前記冗長メモリアレイのうちの 1 個の列ブロックを構成する M 個の冗長サブアレイに対して共通に N 本ずつ設けられた K 組の冗長副ワード選択線と、

前記 $M \times K$ 個の冗長サブアレイの各々が有する N 口ウの冗長メモリセルに接続されるように、前記 $M \times K$ 個の冗長サブアレイの各々に N 本ずつ設けられた $M \times K$ 組の通常副ワード線と、

前記通常メモリアレイ中の欠陥口ウの位置を示す欠陥口ウアドレスと、該欠陥口ウアドレスに対応した冗長主ワードアドレスと、前記欠陥口ウアドレスに対応した冗長副ワードアドレスと、前記欠陥口ウアドレスに係る通常副ワード線の欠陥位置に対応して少なくとも 1 個の列ブロックの位置を指定するための少なくとも 1 つの分割位置アドレスとを記憶し、かつ前記与えられた口ウアドレスが前記記憶された欠陥口ウアドレスと一致した場合には前記記憶された冗長主ワードアドレス及び冗長副ワードアドレスを供給するとともに、前記与えられた口ウアドレスが前記記憶された欠陥口ウアドレスと一致しかつ与えられたコラムアドレスのうちの列ブロック位置指定部分が前記記憶された分割位置アドレスのうちの 1 つと一致した場合には救済が必要であることを示し、その他の場合には救済が必要でないことを示す切替信号を供給するための冗長制御回路と、

前記冗長制御回路から供給された冗長主ワードアドレスに応じて、前記 M 本の冗長主ワード線のうちの 1 本を選択するための冗長主ワードデコーダ手段と、

各々前記冗長制御回路から供給された冗長副ワードアドレスに応じて、前記 K 組の冗長副ワード選択線のうちの対応する 1 組を構成する N 本の冗長副ワード選択線のうちの 1 本をそれぞれ選択するための K 個の冗長副ワードデコーダと、

各々前記冗長主ワード線の選択及び前記冗長副ワード選択線の選択に応じて、前記 $M \times K$ 組の冗長副ワード線のうちの対応する 1 組を構成する N 本の冗長副ワード線のうちの 1 本をそれぞれ選択的に駆動するための $M \times K$ 個の冗長副ワード線ドライバと、

前記与えられたコラムアドレスに応じて、前記通常メモリアレイ中の前記主ワードアドレス及び前記副ワードアドレスで選択された 1 口ウの通常メモリセルの中から 1 個の通常メモリセルを、前記冗長メモリアレイ中の前記冗長主ワードアドレス及び前記冗長副ワードアドレスで選択された 1 口ウの冗長メモリセルの中から 1 個の冗長メモリセルをそれぞれ選択するためのコラムデコーダ手段と、

前記コラムデコーダ手段により選択された 1 個の通常メモリセルの記憶データを読み出すための手段と、

前記コラムデコーダ手段により選択された 1 個の冗長メモリセルの記憶データを読み出すための手段と、

救済が必要でないことを前記冗長制御回路から供給された切替信号が示す場合には前記読み出された通常メモリセルの記憶データを、救済が必要であることを前記冗長制御回路から供給された切替信号が示す場合には前記読み出された冗長メモリセルの記憶データをそれぞれ選択して出力するためのセレクトとを備えたことを特徴とする半導体記憶装置。

【請求項 2】

請求項 1 記載の半導体記憶装置において、

前記冗長制御回路は、

各々欠陥口ウアドレスを記憶するためのヒューズを有し、かつ各々前記与えられた口ウアドレスが前記ヒューズに記憶された欠陥口ウアドレスと一致した場合には欠陥口ウ検知信号を生成するための複数の欠陥口ウアドレス検知ヒューズ回路と、

各々冗長主ワードアドレスを記憶するためのヒューズを有し、かつ各々前記複数の欠陥口ウアドレス検知ヒューズ回路のうちの対応する欠陥口ウアドレス検知ヒューズ回路が欠

10

20

30

40

50

陥ロウ検知信号を生成した場合には前記ヒューズに記憶された冗長主ワードアドレスを供給するための複数の冗長主ワードアドレスヒューズ回路と、

各々冗長副ワードアドレスを記憶するためのヒューズを有し、かつ各々前記複数の欠陥ロウアドレス検知ヒューズ回路のうちの対応する欠陥ロウアドレス検知ヒューズ回路が欠陥ロウ検知信号を生成した場合には前記ヒューズに記憶された冗長副ワードアドレスを供給するための複数の冗長副ワードアドレスヒューズ回路と、

各々分割位置アドレスを記憶するためのヒューズを有し、かつ各々前記複数の欠陥ロウアドレス検知ヒューズ回路のうちの対応する欠陥ロウアドレス検知ヒューズ回路が欠陥ロウ検知信号を生成した場合には前記ヒューズに記憶された分割位置アドレスを供給するための複数の分割位置アドレスヒューズ回路と、

前記複数の欠陥ロウアドレス検知ヒューズ回路のうちのいずれかが欠陥ロウ検知信号を生成し、かつ前記複数の分割位置アドレスヒューズ回路のうちのいずれかから供給された分割位置アドレスと、前記与えられたコラムアドレスのうちの列ブロック位置指定部分とが一致した場合には救済が必要であることを示し、その他の場合には救済が必要でないことを示す切替信号を供給するための比較器とを備えたことを特徴とする半導体記憶装置。

【請求項 3】

請求項 2 記載の半導体記憶装置において、

前記冗長制御回路は、前記複数の分割位置アドレスヒューズ回路のうちのいずれかから供給された分割位置アドレスに応じて、前記 K 個の冗長副ワードデコーダのうちの前記供給された分割位置アドレスで指定された位置の列ブロックに対応した冗長副ワードデコーダのみが動作するように、前記 K 個の冗長副ワードデコーダの各々を制御するための副ワードデコーダ制御回路を更に備えたことを特徴とする半導体記憶装置。

【請求項 4】

請求項 3 記載の半導体記憶装置において、

前記副ワードデコーダ制御回路は、前記 K 個の通常副ワードデコーダのうちの前記供給された分割位置アドレスで指定された位置の列ブロックに対応した通常副ワードデコーダのみが動作しないように、前記 K 個の通常副ワードデコーダの各々を制御する機能を更に備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、階層型ワード線構造をとるアドレスマルチプレクス入力型の半導体記憶装置における冗長救済効率の改善に関するものである。

【0002】

【従来の技術】

半導体記憶装置の 1 つである DRAM (ダイナミック・ランダムアクセスメモリ) では、記憶容量がますます増大する傾向にある。これに呼応して、端子数の低減のために、アドレスをロウアドレスとコラムアドレスとに分けて入力するマルチプレクス方式が採用されている。このような従来のアドレスマルチプレクス入力型の DRAM では、歩留まりの向上のために、与えられたロウアドレスが欠陥ロウの位置を指定するアドレスである場合には該欠陥ロウに係る 1 本の通常ワード線をこれに対応した 1 本の冗長ワード線に置換するという冗長救済方式が採用されていた。

【0003】

最近、DRAM 中の配線ピッチの緩和のために、階層型ワード線構造が提案されている (特開平 6 - 195964 参照)。これは、ワード線を主ワード線と副ワード線との 2 つの階層で構成したものである。データを記憶するためのメモリアレイは複数個のサブアレイブロックに分割され、該複数個のサブアレイブロックに対して共通に主ワード線が設けられる。そして、複数個のサブアレイブロックの各々に対して複数本ずつ、副ワード線と副ワード線とがそれぞれ設けられる。与えられたロウアドレスの一部からなる主ワードアドレスに応じて 1 本の主ワード線が選択され、該与えられたロウアドレスの他の部分が

10

20

30

40

50

らなる副ワードアドレスに応じて各サブアレイブロックに対して1本の副ワード選択線がそれぞれ選択されて、該主ワード線の選択及び副ワード選択線の選択に応じて各サブアレイブロックに対して1本の副ワード線がそれぞれ選択される。そして、メモリアレイの中の主ワードアドレス及び副ワードアドレスで選択された1ロウのメモリセルの中から、続いて与えられたコラムアドレスに応じて、1個のメモリセルが選択されるようになっている。このような階層型ワード線構造をとるDRAMでも、従来は、上記の冗長救済方式が踏襲されていた。つまり、与えられたロウアドレスが欠陥ロウの位置を指定するアドレスである場合には、該欠陥ロウに係る1本の通常主ワード線をこれに対応した1本の冗長主ワード線に置換していたのである（特開平6-196656参照）。

【0004】

10

【発明が解決しようとする課題】

与えられたロウアドレスが欠陥ロウの位置を指定するアドレスであっても、主ワードアドレス及び副ワードアドレスで選択された1ロウのメモリセルの全てが欠陥を有するわけではなく、欠陥を有するメモリセルは少数である。つまり、欠陥ロウであっても、その中には、欠陥を有するメモリセルに係る副ワード線と、欠陥を有するメモリセルに係らない副ワード線とが混在している。

【0005】

しかしながら、従来のDRAMでは、上記のとおり主ワード線単位でロウの置換が行なわれていたので、無欠陥の副ワード線も欠陥副ワード線と同時に救済されてしまい、冗長救済効率が上がらないという問題があった。

20

【0006】

本発明の目的は、階層型ワード線構造をとるアドレスマルチプレクス入力型の半導体記憶装置における冗長救済効率を改善することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明は、階層型ワード線構造をとるアドレスマルチプレクス入力型の半導体記憶装置において、副ワード線単位でロウの置換を行なうこととしたものである。すなわち、与えられたロウアドレスが欠陥ロウの位置を指定するアドレスである場合には、与えられたコラムアドレスに応じて、欠陥ロウの中の欠陥のない副ワード線はそのまま使用し、かつ欠陥ロウの中の欠陥のある副ワード線のみを冗長副ワード線に置換

30

【0008】

具体的には、本発明は、次のような通常メモリブロックと、冗長メモリブロックと、セレクトとを備えた構成を採用したものである。すなわち、通常メモリブロックは、与えられたロウアドレスに応じた通常メモリセルから読み出した記憶データを供給するものである。冗長メモリブロックは、通常メモリブロック中の欠陥ロウの位置を示す欠陥ロウアドレスと、該欠陥ロウアドレスに対応して少なくとも1個の列ブロックの位置を指定するための少なくとも1つの分割位置アドレスとを記憶し、かつ、与えられたロウアドレスが前記記憶された欠陥ロウアドレスと一致しかつ与えられたコラムアドレスのうちの列ブロック位置指定部分が前記記憶された分割位置アドレスのうちの1つと一致した場合には、欠陥のある通常副ワード線と同一分割位置にある冗長副ワード線で指定された冗長メモリセルから読み出した記憶データを供給するものである。セレクトは、通常メモリセルから読み出された記憶データと、冗長メモリセルから読み出された記憶データとのいずれかを選択的に出力するものである。

40

【0009】

【発明の実施の形態】

以下、本発明に係る半導体記憶装置の具体例について、図面を参照しながら説明する。

【0010】

図1は、本発明に係るDRAMの概略構成を示している。ただし、記憶データの読み出しに係る部分のみが図示されている。図1において、11はロウアドレスバッファ、12は

50

コラムアドレスバッファ、13は4Mビットの記憶容量を持つ2048口×2048コラムの通常メモリアレイを備えた通常メモリブロック、14は32Kビットの記憶容量を持つ16口×2048コラムの冗長メモリアレイを備えた冗長メモリブロック、15はセクタである。PREは、冗長メモリブロック14へ与えられるプリチャージ信号である。

【0011】

ロウアドレスバッファ11は、外部から与えられた11ビットのアドレス信号 $A_0 \sim A_{10}$ をロウアドレスRAとして入力し、該ロウアドレスRAのうちの9ビットからなる主ワードアドレスMWAと、残り2ビットからなる副ワードアドレスSWAとを、通常メモリブロック13及び冗長メモリブロック14へ供給するものである。コラムアドレスバッファ12は、続いて外部から与えられた11ビットのアドレス信号 $A_0 \sim A_{10}$ をコラムアドレスCAとして入力し、該コラムアドレスCAのうちの9ビットからなる主ビットアドレスMBAと、残り2ビットからなる副ビットアドレスSBAとを、通常メモリブロック13の中のコラムデコーダへ供給する。このコラムデコーダによって1本が選択駆動される512本×4組のコラム選択線CS1～CS4は、通常メモリブロック13と冗長メモリブロック14とに共用される。また、副ビットアドレスSBAは、冗長メモリブロック14へも供給される。セクタ15は、通常メモリブロック13から出力された通常データ信号NDTと、冗長メモリブロック14から出力された冗長データ信号RDT及び切替信号N/Rとを受け取り、切替信号N/Rに応じて、通常データ信号NDTと冗長データ信号RDTとのいずれかをデータ信号DTとして選択的に出力するものである。

【0012】

図2は、図1中の通常メモリブロック13の内部構成を示している。図2において、21は512個の通常主ワードデコーダ(MWD1～MWD512)、22は512本の通常主ワード線、23は4個の通常副ワードデコーダ(SWD1～SWD4)、24は4本×4組の通常副ワード選択線、25は512×4個の通常副ワード線ドライバ、26は4本×2048組の通常副ワード線、27は512×4個の通常サブアレイ、28はコラムデコーダ、29は4組の通常コラムスイッチ・センスアンプ列(CS/SA列)、30は次段通常アンプである。

【0013】

512×4個の通常サブアレイ27は、4Mビットの記憶容量を持つ通常メモリアレイを構成するものである。すなわち、通常メモリアレイは、512行×4列のブロックに分割されている。個々の通常サブアレイ27は、各々1ビットのデータを記憶するための4口×512コラムの通常メモリセルを有している。通常主ワード線22は、1個の行ブロックを構成する4個の通常サブアレイ27に対して共通に1本ずつ設けられている。通常副ワード選択線24は、1個の列ブロックを構成する512個の通常サブアレイ27に対して共通に4本ずつ設けられている。通常副ワード線26は、512×4個の通常サブアレイ27の各々が有する4口の通常メモリセルに接続されるように、該512×4個の通常サブアレイ27の各々に4本ずつ設けられている。個々の通常主ワードデコーダ21は、主ワードアドレスMWAに応じて、512本の通常主ワード線22のうちの対応する1本を選択するものである。個々の通常副ワードデコーダ23は、副ワードアドレスSWAに応じて、対応する4本の通常副ワード選択線24のうちの1本を選択するものである。個々の通常副ワード線ドライバ25は、図3に示すように4個のANDゲートで構成され、通常主ワード線22の選択及び通常副ワード選択線24の選択に応じて、対応する4本の通常副ワード線26のうちの1本を選択的に駆動するものである。この結果、主ワードアドレスMWA及び副ワードアドレスSWAからなるロウアドレスRAに応じて、通常メモリアレイの中の1口を構成する512×4個の通常メモリセルの各々から1ビットの記憶データがビット線上に読み出される。このようにして読み出された512×4ビットの記憶データは、通常コラムスイッチ・センスアンプ列29へ供給される。コラムデコーダ28は、主ビットアドレスMBA及び副ビットアドレスSBAからなるコラムアドレスCAに応じた1ビットの記憶データが通常コラムスイッチ・センスアンプ列29から次

段通常アンブ30へ供給されるように、512本×4組のコラム選択線CS1～CS4のうちの本を選択するものである。次段通常アンブ30は、通常データ信号NDTを図1のセクタ15へ供給するものである。なお、図2中の4組の通常コラムスイッチ・センスアンブ列29は、実際には、接続可能なビット線長に限界があるので、それぞれビット線方向に分割配置される。

【0014】

図4は、図1中の冗長メモリブロック14の内部構成を示している。図4において、40は冗長制御回路、41は4個の冗長主ワードデコーダ(MWD1～MWD4)、42は4本の冗長主ワード線、43は4個の冗長副ワードデコーダ(SWD1～SWD4)、44は4本×4組の冗長副ワード選択線、45は4×4個の冗長副ワード線ドライバ、46は4本×16組の冗長副ワード線、47は4×4個の冗長サブアレイ、49は4組の冗長コラムスイッチ・センスアンブ列(CS/SA列)、50は次段冗長アンブである。

10

【0015】

4×4個の冗長サブアレイ47は、32Kビットの記憶容量を持つ冗長メモリアレイを構成するものである。すなわち、冗長メモリアレイは、4行×4列のブロックに分割されている。個々の冗長サブアレイ47は、各々1ビットのデータを記憶するための4ロウ×512コラムの冗長メモリセルを有している。冗長主ワード線42は、1個の行ブロックを構成する4個の冗長サブアレイ47に対して共通に1本ずつ設けられている。冗長副ワード選択線44は、1個の列ブロックを構成する4個の冗長サブアレイ47に対して共通に4本ずつ設けられている。冗長副ワード線46は、4×4個の冗長サブアレイ47の各々が有する4冗長ロウの冗長メモリセルに接続されるように、該4×4個の冗長サブアレイ47の各々に4本ずつ設けられている。冗長制御回路40は、主ワードアドレスMWA、副ワードアドレスSWA、副ビットアドレスSBA及びプリチャージ信号PREを受け取り、2ビットの冗長主ワードアドレスMWA、2ビットの冗長副ワードアドレスSWA、4つのイネーブル信号EN1～EN4及び切替信号N/Rを供給するものである。切替信号N/Rは、図1のセクタ15へ供給される。個々の冗長主ワードデコーダ41は、冗長制御回路40から供給された冗長主ワードアドレスMWAに応じて、4本の冗長主ワード線42のうちの対応する1本を選択するものである。個々の冗長副ワードデコーダ43は、冗長制御回路40から供給された冗長副ワードアドレスSWAに応じて、対応する4本の冗長副ワード選択線44のうちの本を選択するものである。同一の分割位置(同一の列ブロック位置)にある通常副ワードデコーダ23と冗長副ワードデコーダ43とは、独立に動作させることができるようになっている。しかも、イネーブル信号EN1～EN4に応じて、4個の冗長副ワードデコーダ43のうちの本のみが動作するようになっている。個々の冗長副ワード線ドライバ45は、図3の通常副ワード線ドライバ25と同様の4個のANDゲートで構成され、冗長主ワード線42の選択及び冗長副ワード選択線44の選択に応じて、対応する4本の冗長副ワード線46のうちの本を選択的に駆動するものである。この結果、冗長制御回路40からそれぞれ供給された冗長主ワードアドレスMWA及び冗長副ワードアドレスSWAに応じて、冗長メモリアレイの中の1冗長ロウの4分の1を構成する512個の冗長メモリセルの各々から1ビットの記憶データが読み出される。このようにして読み出された512ビットの記憶データは、対応する冗長コラムスイッチ・センスアンブ列49へ供給される。そして、図2のコラムデコーダ28によって512本×4組のコラム選択線CS1～CS4の中からいずれのコラム選択線が選択されたかに応じて、与えられたコラムアドレスCAに応じた1ビットの記憶データが冗長コラムスイッチ・センスアンブ列49から次段冗長アンブ50へ供給される。次段通常アンブ50は、冗長データ信号RDTを図1のセクタ15へ供給するものである。

20

30

40

【0016】

図5は、図4中の冗長制御回路40の内部構成を示している。図5において、61は欠陥ロウアドレス検知ヒューズ回路、62は冗長主ワードアドレスヒューズ回路、63は冗長副ワードアドレスヒューズ回路、64は分割位置アドレスヒューズ回路、65は副ワード

50

デコーダ制御回路、66は比較器である。欠陥ロウアドレス検知ヒューズ回路61と、冗長主ワードアドレスヒューズ回路62と、冗長副ワードアドレスヒューズ回路63と、分割位置アドレスヒューズ回路64とは、1組の冗長ヒューズ回路を構成している。この冗長ヒューズ回路を構成する4個のヒューズ回路61, 62, 63, 64には、それぞれプリチャージ信号PREが供給される。図5の冗長制御回路40は、4本×2048組の通常副ワード線26のうちの予測欠陥数に応じた数の冗長ヒューズ回路を備えている。

【0017】

個々の欠陥ロウアドレス検知ヒューズ回路61は、通常メモリアレイ中の欠陥ロウの位置を示す11ビットの欠陥ロウアドレスを記憶するためのヒューズを有し、与えられたロウアドレスRAすなわち主ワードアドレスMWAと副ワードアドレスSWAとからなる11ビットのアドレスがヒューズに記憶された欠陥ロウアドレスと一致した場合には“H”レベルの欠陥ロウ検知信号REDを生成するものである。個々の冗長主ワードアドレスヒューズ回路62は、欠陥ロウアドレスに対応した2ビットの冗長主ワードアドレスMWAを記憶するためのヒューズを有し、対応する欠陥ロウアドレス検知ヒューズ回路61が“H”レベルの欠陥ロウ検知信号REDを生成した場合にはヒューズに記憶された冗長主ワードアドレスMWAを供給するものである。個々の冗長副ワードアドレスヒューズ回路63は、欠陥ロウアドレスに対応した2ビットの冗長副ワードアドレスSWAを記憶するためのヒューズを有し、対応する欠陥ロウアドレス検知ヒューズ回路61が“H”レベルの欠陥ロウ検知信号REDを生成した場合にはヒューズに記憶された冗長副ワードアドレスSWAを供給するものである。個々の分割位置アドレスヒューズ回路64は、欠陥ロウアドレスに係る通常副ワード線の欠陥位置に対応して1個の列ブロックの位置を指定するように2ビットの分割位置アドレスDPAを記憶するためのヒューズを有し、対応する欠陥ロウアドレス検知ヒューズ回路61が“H”レベルの欠陥ロウ検知信号REDを生成した場合にはヒューズに記憶された分割位置アドレスDPAを供給するものである。副ワードデコーダ制御回路65は、複数の分割位置アドレスヒューズ回路64のうちのいずれかから供給された分割位置アドレスDPAに応じて、4個の冗長副ワードデコーダ43のうちの分割位置アドレスDPAで指定された位置の1個の列ブロックに対応した1個の冗長副ワードデコーダのみを動作させるように、イネーブル信号EN1~EN4を供給するものである。比較器66は、複数の欠陥ロウアドレス検知ヒューズ回路61のうちのいずれかが欠陥ロウ検知信号REDを生成し、かつ複数の分割位置アドレスヒューズ回路64のうちのいずれかから供給された分割位置アドレスDPAと、与えられたコラムアドレスCAのうちの列ブロック位置指定部分すなわち副ビットアドレスSBAとが一致した場合には救済が必要であることを示す“H”レベルの切替信号N/Rを、その他の場合には救済が必要でないことを示す“L”レベルの切替信号N/Rをそれぞれ供給するものである。

【0018】

図6は、図5中の欠陥ロウアドレス検知ヒューズ回路61の内部構成を示している。図6において、71は22本のヒューズからなるヒューズ列、72はNMOSトランジスタ列、73はインバータ列、74及び77はPMOSトランジスタ、75及び76はインバータである。ヒューズ列71は、22本のヒューズの切断パターンに応じて、11ビットの欠陥ロウアドレスを相補形式で記憶するものである。プリチャージ信号PREが与えられると、PMOSトランジスタ74がターンオンする結果、ノードN1が“H”レベルにプリチャージされる。与えられたロウアドレスRAすなわち主ワードアドレスMWAと副ワードアドレスSWAとからなる11ビットのアドレスがヒューズ列71に記憶された欠陥ロウアドレスと一致した場合には、ノードN1が“H”レベルに保持されるので、欠陥ロウ検知信号REDの論理レベルが“H”となる。一致しない場合には、NMOSトランジスタ列72の中のいずれかのトランジスタを通してノードN1の電荷がグラウンドに引き抜かれる結果、欠陥ロウ検知信号REDの論理レベルが“L”となる。

【0019】

図7は、図5中の冗長主ワードアドレスヒューズ回路62の内部構成を示している。図7

において、101及び102は単位ヒューズ回路、103はインバータ、104及び105はCMOSトランスファゲートである。単位ヒューズ回路101、102の各々は、1本のヒューズ81と、1個のNMOSトランジスタ82と、2個のPMOSトランジスタ84、87と、1個のインバータ85とで構成される。CMOSトランスファゲート104、105の各々は、NMOSトランジスタ91と、PMOSトランジスタ92とで構成される。2本のヒューズ81は、2ビットの冗長主ワードアドレスMWAを記憶するものである。プリチャージ信号PREが与えられると、個々の単位ヒューズ回路101、102の中のPMOSトランジスタ84がターンオンする結果、ノードN2及びN3がいずれも“H”レベルにプリチャージされる。そして、対応する欠陥口ウアドレス検知ヒューズ回路61から“H”レベルの欠陥口ウ検知信号REDが供給されると、2本のヒューズ81の切断パターンに応じた2ビットの冗長主ワードアドレスMWAがCMOSトランスファゲート104、105に与えられる。CMOSトランスファゲート104、105は、“H”レベルの欠陥口ウ検知信号REDに应答してターンオンし、与えられた冗長主ワードアドレスMWAを出力する。なお、図5中の冗長副ワードアドレスヒューズ回路63と、分割位置アドレスヒューズ回路64とは、図7の冗長主ワードアドレスヒューズ回路62と同一の内部構成を備えている。

10

【0020】

次に、上記構成を備えたDRAMの読み出し動作について説明する。ここで、図2の通常メモリアレイ中の2048口のうち通常副ワード線P1、P2、P3、P4で示された口ウが欠陥口ウであり、このうち実際に欠陥があるのは通常副ワード線P3のみであって、他の通常副ワード線P1、P2、P4には欠陥がないものとする。また、通常副ワード線Q1、Q2、Q3、Q4で示された口ウが欠陥口ウであり、このうち実際に欠陥があるのは通常副ワード線Q2のみであって、他の通常副ワード線Q1、Q3、Q4には欠陥がないものとする。図4の冗長メモリアレイ中の16冗長口のうちの冗長副ワード線R1、R2、R3、R4で示された冗長口ウは、欠陥のある通常副ワード線P3及びQ2の救済に用いられる口ウである。すなわち、冗長副ワード線R3は列ブロック位置(分割位置)を同じくする通常副ワード線P3の救済に、冗長副ワード線R2は列ブロック位置(分割位置)を同じくする通常副ワード線Q2の救済にそれぞれ用いられるものとする。

20

【0021】

まず、欠陥のある通常副ワード線P3の置換先が冗長副ワード線R3になるように、図5中の1組の冗長ヒューズ回路が予めプログラムされる。具体的には、通常副ワード線P1、P2、P3、P4に係る11ビットの欠陥口ウアドレスが欠陥口ウアドレス検知ヒューズ回路61に記憶され、冗長副ワード線R1、R2、R3、R4に対応した冗長主ワード線42に係る2ビットの冗長主ワードアドレスMWAが冗長主ワードアドレスヒューズ回路62に記憶され、4本の冗長副ワード選択線44のうちの冗長副ワード線R1、R2、R3、R4に対応した1本の副ワード選択線に係る2ビットの冗長副ワードアドレスSWAが冗長副ワードアドレスヒューズ回路63に記憶され、通常副ワード線P3及び冗長副ワード線R3の列ブロック位置を示す2ビットの分割位置アドレスDPAすなわち“11(2進数)”が分割位置アドレスヒューズ回路64に記憶される。また、欠陥のある通常副ワード線Q2の置換先が冗長副ワード線R2になるように、図5中の他の1組の冗長ヒューズ回路が予めプログラムされる。具体的には、通常副ワード線Q2及び冗長副ワード線R2の列ブロック位置を示す2ビットのアドレス“10(2進数)”が分割位置アドレスヒューズ回路64に記憶される点を除いて、通常副ワード線P3及び冗長副ワード線R3に係るプログラミングと同様のプログラミングが行なわれる。

30

40

【0022】

通常副ワード線P1、P2、P3、P4に係る欠陥口ウアドレスと一致する口ウアドレスRAが、11ビットのアドレス信号A₀～A₁₀として、図1のDRAMに与えられたものとする。続いて、コラムアドレスCAが11ビットのアドレス信号A₀～A₁₀として同DRAMに与えられる。

【0023】

50

通常メモリブロック13では、主ワードアドレスMWAに対応した1本の通常主ワード線22が通常主ワードデコーダ21により選択され、各々4本の通常副ワード選択線24のうち副ワードアドレスSWAに応じた1本の通常副ワード選択線が4個の通常副ワードデコーダ23(SWD1~SWD4)によりそれぞれ選択され、通常副ワード線P1, P2, P3, P4が4個の通常副ワード線ドライバ25により駆動される。この結果、通常副ワード線P1, P2, P3, P4に係る欠陥口ウに属する512×4個の通常メモリセルの各々から1ビットの記憶データが読み出される。通常コラムスイッチ・センスアンプ列29は、コラムデコーダ28と協働して、コラムアドレスCAに応じた1ビットの記憶データを次段通常アンプ30へ供給する。この結果、通常データ信号NDTがセクタ15へ供給される。この際、コラムアドレスCAが欠陥のない通常副ワード線P1, P2, P4に係る列ブロックの位置を指定するアドレスである場合には例外なく正しい通常データ信号NDTがセクタ15へ供給されるが、コラムアドレスCAが欠陥のある通常副ワード線P3に係る列ブロックの位置を指定するアドレスである場合には不正の通常データ信号NDTがセクタ15へ供給されることがある。

10

【0024】

一方、冗長メモリブロック14では、冗長制御回路40が冗長主ワードアドレスMWA、冗長副ワードアドレスSWA、イネーブル信号EN1~EN4及び切替信号N/Rを供給する。詳細には、通常副ワード線P1, P2, P3, P4に係る欠陥口ウアドレスを記憶した欠陥口ウアドレス検知ヒューズ回路61が“H”レベルの欠陥口ウ検知信号REDを生成し、これに対応した冗長主ワードアドレスヒューズ回路62と、冗長副ワードアドレスヒューズ回路63と、分割位置アドレスヒューズ回路64とがそれぞれヒューズに記憶された冗長主ワードアドレスMWAと、冗長副ワードアドレスSWAと、“11(2進数)”の分割位置アドレスDPAとを供給する。副ワードデコーダ制御回路65は、“11(2進数)”の分割位置アドレスDPAに応じて、4つのイネーブル信号EN1~EN4のうち1つのイネーブル信号EN3のみをアサートする。比較器66は、分割位置アドレスヒューズ回路64から供給された分割位置アドレスDPAと、与えられたコラムアドレスCAのうち副ビットアドレスSBAとが一致した場合には救済が必要であることを示す“H”レベルの切替信号N/Rを、その他の場合には救済が必要でないことを示す“L”レベルの切替信号N/Rをそれぞれセクタ15へ供給する。

20

【0025】

更に、冗長メモリブロック14では、冗長制御回路40から供給された冗長主ワードアドレスMWAに対応した1本の冗長主ワード線42が冗長主ワードデコーダ41により選択される。また、4個の冗長副ワードデコーダ43(SWD1~SWD4)のうちアサートされたイネーブル信号EN3を受け取った1個の冗長副ワードデコーダ(SWD3)のみが動作して、対応する4本の冗長副ワード選択線44のうち冗長制御回路40から供給された副ワードアドレスSWAに応じた1本の冗長副ワード選択線が選択される。この結果、1冗長口ウを構成する4本の冗長副ワード線R1, R2, R3, R4のうち1本の冗長副ワード線R3のみが冗長副ワード線ドライバ45により駆動され、該駆動された冗長副ワード線R3に係る512個の冗長メモリセルの各々から1ビットの記憶データが読み出される。冗長コラムスイッチ・センスアンプ列49は、コラムデコーダ28と協働して、コラムアドレスCAに応じた1ビットの記憶データを次段冗長アンプ50へ供給する。この際、コラムアドレスCAが冗長副ワード線R3に係る列ブロックの位置を指定するアドレスである場合には、例外なく正しい冗長データ信号RDTがセクタ15へ供給される。

30

40

【0026】

以上のようにして通常データ信号NDTと、冗長データ信号RDTと、切替信号N/Rとがセクタ15へ供給されると、セクタ15は、切替信号N/Rに応じて、通常データ信号NDTと冗長データ信号RDTとのいずれかをデータ信号DTとして選択的に出力する。詳細には、コラムアドレスCAが欠陥のない通常副ワード線P1, P2, P4に係る列ブロックの位置を指定するアドレスである場合には、救済が必要でないことを示す“L

50

”レベルの切替信号N/Rが供給される結果、通常データ信号NDTがデータ信号DTとして選択される。また、コラムアドレスCAが欠陥のある通常副ワード線P3に係る列ブロックの位置を指定するアドレスである場合には、救済が必要であることを示す“H”レベルの切替信号N/Rが供給される結果、冗長データ信号RDTがデータ信号DTとして選択される。つまり、与えられたロウアドレスRAが欠陥ロウの位置を指定するアドレスである場合には、続いて与えられたコラムアドレスCAに応じて、欠陥ロウの中の欠陥のない通常副ワード線P1, P2, P4はそのまま使用され、欠陥ロウの中の欠陥のある通常副ワード線P3のみが冗長副ワード線R3に置換されるのである。

【0027】

通常副ワード線Q1, Q2, Q3, Q4に係る欠陥ロウアドレスと一致するロウアドレスRAが図1のDRAMに与えられたときには、続いて与えられたコラムアドレスCAに応じて、欠陥ロウの中の欠陥のない通常副ワード線Q1, Q3, Q4はそのまま使用され、欠陥ロウの中の欠陥のある通常副ワード線Q2のみが冗長副ワード線R2に置換される。これから容易に類推できるように、最大4欠陥ロウを1冗長ロウで救済できる。

10

【0028】

なお、与えられたロウアドレスRAが無欠陥ロウの位置を指定するアドレスである場合には、いずれの欠陥ロウアドレス検知ヒューズ回路61も“H”レベルの欠陥ロウ検知信号REDを生成しないので、比較器66は、分割位置アドレスヒューズ回路64のプログラミング内容にかかわらず、救済が必要でないことを示す“L”レベルの切替信号N/Rをセクタ15へ供給する。したがって、セクタ15は、ロウアドレスRA及びコラムアドレスCAに応じて通常メモリブロック13から供給された通常データ信号NDTを、データ信号DTとして選択する。

20

【0029】

以上説明してきたとおり、上記DRAMによれば、欠陥ロウの中の実際に欠陥を持つ通常副ワード線のみを同一分割位置(同一の列ブロック位置)にある冗長副ワード線に置換することとしたので、副ワード線単位でロウの置換を行なえる結果、冗長救済効率が改善される。従来は主ワード線単位でロウの置換が行なわれていたことを考えると、Kを列ブロック数(上記の例ではK=4)とすると、冗長救済効率が最大K倍に改善される。

【0030】

しかも、上記DRAMによれば、記憶された分割位置アドレスDPAに応じて4個の冗長副ワードデコーダ43(SWD1~SWD4)のうちの所要の1個(例えば欠陥のある通常副ワード線P3の置換先である冗長副ワード線R3に係る冗長副ワードデコーダSWD3)のみが動作するように該4個の冗長副ワードデコーダ43を制御するための副ワードデコーダ制御回路65を備えた構成を採用したので、冗長副ワード選択線44及び冗長副ワード線46の駆動電流が低減される。なお、記憶された分割位置アドレスDPAに応じて4個の通常副ワードデコーダ23(SWD1~SWD4)のうちの1個(例えば欠陥のある通常副ワード線P3に係る通常副ワードデコーダSWD3)のみが動作しないように該4個の通常副ワードデコーダ23を副ワードデコーダ制御回路65で更に制御するようにすれば、冗長メモリブロック14を備えない場合と同程度までワード線駆動電流が低減される。ただし、副ワードデコーダ制御回路65の配設を省略しても、冗長救済効率の改善効果に変わりはない。

30

40

【0031】

また、上記DRAMによれば、個々の冗長ヒューズ回路において、欠陥ロウアドレス検知ヒューズ回路61の出力すなわち欠陥ロウ検知信号REDに基づいて、冗長主ワードアドレスヒューズ回路62、冗長副ワードアドレスヒューズ回路63及び分割位置アドレスヒューズ回路64の各々の記憶情報を読み出すこととしたので、欠陥の多い分割位置に多数組の冗長ヒューズ回路を割り当てるなど、柔軟なヒューズ・プログラミングが可能になる。つまり、冗長制御回路40の中のヒューズを有効に利用できる。ただし、冗長ヒューズ回路と冗長主ワード線との対応関係が固定されるという制約が生じるけれども、冗長主ワードアドレスヒューズ回路62の配設を省略することにより冗長制御回路40の中のヒューズ

50

ーズの数を低減してもよい。冗長副ワードアドレスヒューズ回路63についても同様である。

【0032】

なお、1欠陥ロウ中の複数の通常副ワード線に欠陥がある場合に対応するためには、分割位置アドレスヒューズ回路64の中のヒューズを増やせばよい。例えば、4本のヒューズの各々が異なる分割位置アドレスを表わすこととすれば、図2中の通常副ワード線P1, P2, P3, P4で示されたロウの中の複数の通常副ワード線(例えばP3及びP4)に欠陥がある場合でも、副ワード線単位のロウの置換が可能になる。

【0033】

【発明の効果】

以上説明してきたとおり、本発明によれば、階層型ワード線構造をとるアドレスマルチプレクス入力型の半導体記憶装置において副ワード線単位でロウの置換を行なうこととしたので、該半導体記憶装置の冗長救済効率が改善される。

【図面の簡単な説明】

【図1】本発明に係るDRAMの概略構成を示すブロック図である。

【図2】図1中の通常メモリブロックの内部構成を示すブロック図である。

【図3】図2中の通常副ワード線ドライバの内部構成を示す図である。

【図4】図1中の冗長メモリブロックの内部構成を示すブロック図である。

【図5】図4中の冗長制御回路の内部構成を示すブロック図である。

【図6】図5中の欠陥ロウアドレス検知ヒューズ回路の内部構成を示す図である。

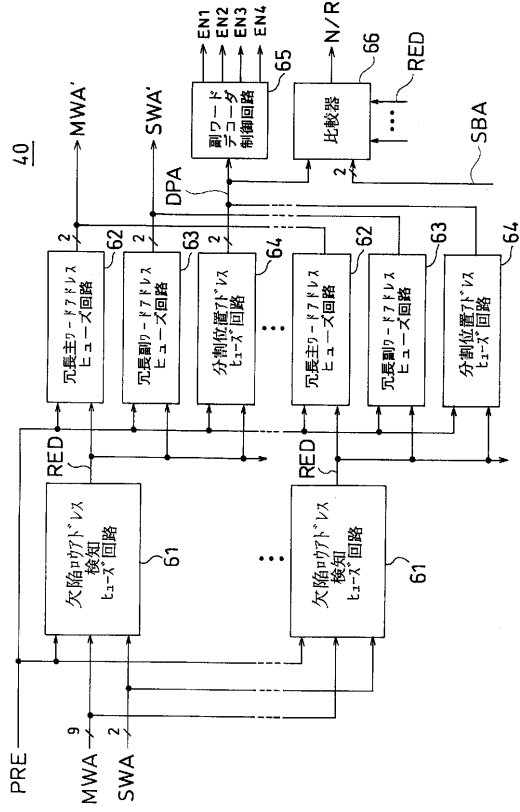
【図7】図5中の冗長主ワードアドレスヒューズ回路の内部構成を示す図である。

【符号の説明】

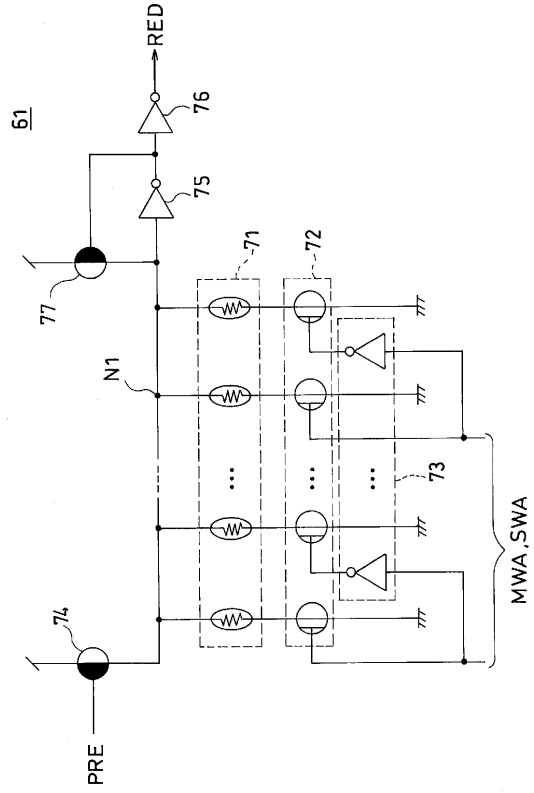
- | | | |
|----|-------------------|----|
| 11 | ロウアドレスバッファ | |
| 12 | コラムアドレスバッファ | |
| 13 | 通常メモリブロック | |
| 14 | 冗長メモリブロック | |
| 15 | セレクタ | |
| 21 | 通常主ワードデコーダ | |
| 22 | 通常主ワード線 | |
| 23 | 通常副ワードデコーダ | 30 |
| 24 | 通常副ワード選択線 | |
| 25 | 通常副ワード線ドライバ | |
| 26 | 通常副ワード線 | |
| 27 | 通常サブアレイ | |
| 28 | コラムデコーダ | |
| 29 | 通常コラムスイッチ・センスアンプ列 | |
| 30 | 次段通常アンプ | |
| 40 | 冗長制御回路 | |
| 41 | 冗長主ワードデコーダ | |
| 42 | 冗長主ワード線 | 40 |
| 43 | 冗長副ワードデコーダ | |
| 44 | 冗長副ワード選択線 | |
| 45 | 冗長副ワード線ドライバ | |
| 46 | 冗長副ワード線 | |
| 47 | 冗長サブアレイ | |
| 49 | 冗長コラムスイッチ・センスアンプ列 | |
| 50 | 次段冗長アンプ | |
| 61 | 欠陥ロウアドレス検知ヒューズ回路 | |
| 62 | 冗長主ワードアドレスヒューズ回路 | |
| 63 | 冗長副ワードアドレスヒューズ回路 | 50 |

6 4	分割位置アドレスヒューズ回路	
6 5	副ワードデコーダ制御回路	
6 6	比較器	
7 1	ヒューズ列	
7 2	NMOSトランジスタ列	
7 3	インバータ列	
7 4 , 7 7	PMOSトランジスタ	
7 5 , 7 6	インバータ	
8 1	ヒューズ	
8 2	NMOSトランジスタ	10
8 4 , 8 7	PMOSトランジスタ	
8 5	インバータ	
9 1	NMOSトランジスタ	
9 2	PMOSトランジスタ	
1 0 1 , 1 0 2	単位ヒューズ回路	
1 0 3	インバータ	
1 0 4 , 1 0 5	CMOSトランスファゲート	
A ₀ ~ A ₁₀	アドレス信号	
CA	コラムアドレス	
CS 1 ~ CS 4	コラム選択線	20
DT	データ信号	
DPA	分割位置アドレス	
EN 1 ~ EN 4	イネーブル信号	
MBA	主ビットアドレス	
MWA	主ワードアドレス	
MWA	冗長主ワードアドレス	
N 1 ~ N 3	ノード	
NDT	通常データ信号	
N/R	切替信号	
P 1 ~ P 4	欠陥ロウの通常副ワード線	30
PRE	プリチャージ信号	
Q 1 ~ Q 4	欠陥ロウの通常副ワード線	
R 1 ~ R 4	置換先の冗長副ワード線	
RA	ロウアドレス	
RDT	冗長データ信号	
RED	欠陥ロウ検知信号	
SBA	副ビットアドレス	
SWA	副ワードアドレス	
SWA	冗長副ワードアドレス	

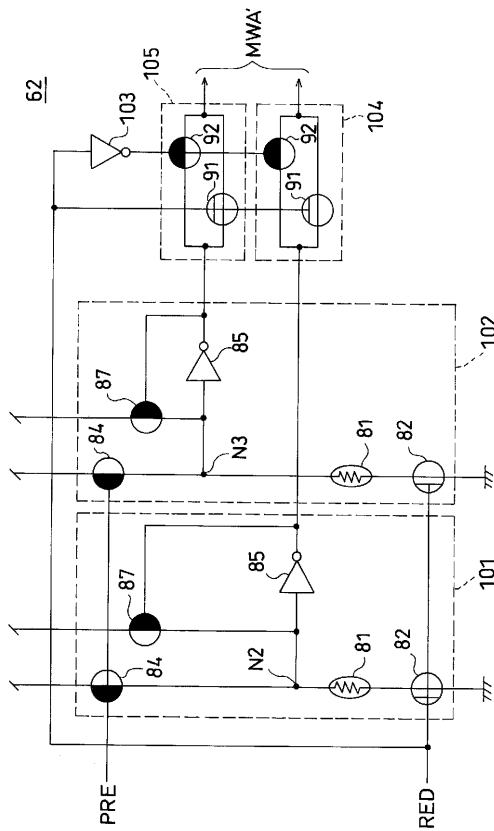
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G11C 29/00

G11C 11/401-11/4099