



(12) 发明专利申请

(10) 申请公布号 CN 105137873 A

(43) 申请公布日 2015. 12. 09

(21) 申请号 201510517576. X

(22) 申请日 2015. 08. 22

(71) 申请人 哈尔滨工业大学

地址 150000 黑龙江省哈尔滨市南岗区西大直街 92 号

(72) 发明人 陈兴林 刘洋 王一光 宋法质
陈震宇 何良辰 张常江 宋跃

(74) 专利代理机构 哈尔滨龙科专利代理有限公司 23206

代理人 高媛

(51) Int. Cl.

G05B 19/042(2006. 01)

权利要求书2页 说明书4页 附图1页

(54) 发明名称

多板卡同步顺序读取多路传感器数据的方法

(57) 摘要

多板卡同步顺序读取多路传感器数据的方法。它属于半导体制造装备的信号采集与数据通信的技术领域。其方法步骤一:将数据赋予不同的地址编码后存储在 RAM 内;二: DSP 模块每隔 200us 发出一次读数请求;三:光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序将 VME 总线上的数据锁存信号置高;四:光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序发送要读取数据的地址编码;五:将数据读写到 RAM 中;六:重复执行步骤四和五,将所有路数据依次读完;七: RAM 内的数据传送到 DSP 模块内。本发明地址线和信号线的更改权仅由主卡拥有,不会发生多卡之间的总线竞争;各卡以地址线发生变化触发读数,保证了读数的同步性。

1. 多板卡同步顺序读取多路传感器数据的方法,其特征在于它的方法步骤为:

步骤一:运动控制卡主卡(1)、多块运动控制卡从卡(2)、多路激光干涉仪数据采集卡(3)和多路光栅数据采集卡(4)都连接在VME总线(7)上;上电启动,多路激光干涉仪数据采集卡(3)按10MHz的频率更新采集到的多个激光干涉仪(5)发来的数据,并将这些数据赋予不同的地址编码后存储在多路激光干涉仪数据采集卡(3)的RAM内;多路光栅数据采集卡(4)按10MHz的频率更新采集到的多个光栅传感器(6)发来的数据,并将这些数据赋予不同的地址编码后存储在多路光栅数据采集卡(4)的RAM内;

步骤二:运动控制卡主卡(1)中的DSP模块每隔200us发出一次读数请求,所述这个读数请求分别同步发送到运动控制卡主卡(1)中的FPGA模块内和多块运动控制卡从卡(2)中的FPGA模块内;运动控制卡主卡(1)中的FPGA模块在接收到上述读数请求后先执行完光栅数据地址编码发送模块子程序,再执行激光干涉仪数据地址编码发送模块子程序,同时执行其内的读数模块子程序;所有运动控制卡从卡(2)中的FPGA模块在接收到上述读数请求后执行读数模块子程序;

步骤三:光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡(1)中的CPLD模块将VME总线(7)上的数据锁存信号置高,而使多路激光干涉仪数据采集卡(3)中的RAM内的数据和多路光栅数据采集卡(4)中的RAM内的数据被锁存不再更新;同时所有运动控制卡从卡(2)中的读数模块子程序通过运动控制卡从卡(2)中的CPLD模块检测VME总线(7)上的地址线地址是否更新;运动控制卡主卡(1)中的读数模块子程序通过运动控制卡主卡(1)中的CPLD模块检测VME总线(7)上的地址线地址是否更新;

步骤四:光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡(1)中的CPLD模块、VME总线(7)向多路激光干涉仪数据采集卡(3)和多路光栅数据采集卡(4)上发送要读取数据的地址编码,多路激光干涉仪数据采集卡(3)和多路光栅数据采集卡(4)将自行检测自己的RAM内是否存储有相对应地址编码的数据,如有,则将此数据和对应的地址编码发送到VME总线(7)上;

步骤五:当所有运动控制卡从卡(2)中的读数模块子程序通过运动控制卡从卡(2)中的CPLD模块检测到VME总线(7)上的地址线地址更新后,则再延时几个时钟的时间,然后所述读数模块子程序将读使能信号置低,而控制FPGA模块通过CPLD模块将VME总线(7)上的数据读写到自身的RAM中;同时运动控制卡主卡(1)中的读数模块子程序通过运动控制卡主卡(1)中的CPLD模块检测到VME总线(7)上的地址线地址更新后,则再延时几个时钟的时间,然后所述读数模块子程序将读使能信号置低,控制FPGA模块通过CPLD模块将VME总线(7)上的数据读写到自身的RAM中,并在光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序中生成读数完成标志;

步骤六:重复循环执行步骤四和步骤五,直到将多路激光干涉仪数据采集卡(3)的RAM内中所有路数据和多路光栅数据采集卡(4)的RAM内中所有路数据依次读取完;然后光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡(1)中的CPLD模块将VME总线(7)上的数据锁存信号置低,使多路激光干涉仪数据采集卡(3)中的RAM内的数据和多路光栅数据采集卡(4)中的RAM内的数据解锁存继续更新;

步骤七:运动控制卡主卡(1)中的 CPLD 模块的 RAM 内的数据传送到运动控制卡主卡(1)中的 DSP 模块内;所有运动控制卡从卡(2)中的 CPLD 模块的 RAM 内的数据传送到各自的 DSP 模块内;实现多板卡同步顺序读取多路传感器数据。

2. 根据权利要求 1 所述的多板卡同步顺序读取多路传感器数据的方法,其特征在于所述光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序的地址输出按照时序协议递增切换,其余时刻输出为高阻状态。

多板卡同步顺序读取多路传感器数据的方法

技术领域

[0001] 本发明属于半导体制造装备的信号采集与数据通信的技术领域。

背景技术

[0002] 光刻机作为集成芯片制造设备,需要达到极高的测量精度和控制精度,其中在测量装置中,光栅和激光干涉仪属于核心测量元件,光栅的测量精度可以达到微米级,而激光干涉仪则能达到纳米级。在光刻机系统中有很多宏微协调控制的方案,通常采用光栅作为宏动系统的测量元件,激光干涉仪则用在精度要求更高的微动系统中,当进行宏微控制的时候,需要用到多块运动控制卡,每块卡都需要将光栅和激光干涉仪的数据同时获取到控制单元,而且获得的必须是同一时刻双传感器的测量值,才能保证还原该时刻被测物体的实际运动情况,这就涉及到了双传感器读数的同步与整合以及排除多板卡读数时的竞争。

发明内容

[0003] 本发明的目的是提供一种多板卡同步顺序读取多路传感器数据的方法,是为了解决当前技术无法同时读取激光干涉仪和光栅两组传感器数据,同时多板卡读取 VME 总线数据时存在竞争现象的问题。

[0004] 所述的目的是通过以下方案实现的:所述的一种多板卡同步顺序读取多路传感器数据的方法,它的方法步骤为:

步骤一:运动控制卡主卡 1、多块运动控制卡从卡 2、多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 都连接在 VME 总线 7 上;上电启动,多路激光干涉仪数据采集卡 3 按 10MHz 的频率更新采集到的多个激光干涉仪 5 发来的数据,并将这些数据赋予不同的地址编码后存储在多路激光干涉仪数据采集卡 3 的 RAM 内;多路光栅数据采集卡 4 按 10MHz 的频率更新采集到的多个光栅传感器 6 发来的数据,并将这些数据赋予不同的地址编码后存储在多路光栅数据采集卡 4 的 RAM 内;

步骤二:运动控制卡主卡 1 中的 DSP 模块每隔 200us 发出一次读数请求,所述这个读数请求分别同步发送到运动控制卡主卡 1 中的 FPGA 模块内和多块运动控制卡从卡 2 中的 FPGA 模块内;运动控制卡主卡 1 中的 FPGA 模块在接收到上述读数请求后先执行完光栅数据地址编码发送模块子程序,再执行激光干涉仪数据地址编码发送模块子程序,同时执行其内的读数模块子程序;所有运动控制卡从卡 2 中的 FPGA 模块在接收到上述读数请求后执行读数模块子程序;

步骤三:光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块将 VME 总线 7 上的数据锁存信号置高,而使多路激光干涉仪数据采集卡 3 中的 RAM 内的数据和多路光栅数据采集卡 4 中的 RAM 内的数据被锁存不再更新;同时所有运动控制卡从卡 2 中的读数模块子程序通过运动控制卡从卡 2 中的 CPLD 模块检测 VME 总线 7 上的地址线地址是否更新;运动控制卡主卡 1 中的读数模块子程序通过运动控制卡主卡 1 中的 CPLD 模块检测 VME 总线 7 上的地址线地址是否更新;

步骤四：光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块、VME 总线 7 向多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 上发送要读取数据的地址编码，多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 将自行检测自己的 RAM 内是否存储有相对应地址编码的数据，如有，则将此数据和对应的地址编码发送到 VME 总线 7 上；

步骤五：当所有运动控制卡从卡 2 中的读数模块子程序通过运动控制卡从卡 2 中的 CPLD 模块检测到 VME 总线 7 上的地址线地址更新后，则再延时几个时钟的时间，然后所述读数模块子程序将读使能信号置低，而控制 FPGA 模块通过 CPLD 模块将 VME 总线 7 上的数据读写到自身的 RAM 中；同时运动控制卡主卡 1 中的读数模块子程序通过运动控制卡主卡 1 中的 CPLD 模块检测到 VME 总线 7 上的地址线地址更新后，则再延时几个时钟的时间，然后所述读数模块子程序将读使能信号置低，控制 FPGA 模块通过 CPLD 模块将 VME 总线 7 上的数据读写到自身的 RAM 中，并在光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序中生成读数完成标志；

步骤六：重复循环执行步骤四和步骤五，直到将多路激光干涉仪数据采集卡 3 的 RAM 内中所有路数据和多路光栅数据采集卡 4 的 RAM 内中所有路数据依次读取完；然后光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块将 VME 总线 7 上的数据锁存信号置低，使多路激光干涉仪数据采集卡 3 中的 RAM 内的数据和多路光栅数据采集卡 4 中的 RAM 内的数据解锁存继续更新；

步骤七：运动控制卡主卡 1 中的 CPLD 模块的 RAM 内的数据传送到运动控制卡主卡 1 中的 DSP 模块内；所有运动控制卡从卡 2 中的 CPLD 模块的 RAM 内的数据传送到各自的 DSP 模块内；实现多板卡同步顺序读取多路传感器数据。

[0005] 本发明的主从卡的设计方案，是指在多个板卡中选取一个作为主卡，而其余的作为从卡，主卡使用一套程序，而从卡使用另外一套程序。其中主卡按照协议传输信号、改变地址线和读取数据，而从卡则只拥有读取数据的功能，没有对信号线和地址线的占有和更改权，这样就不会与主卡发生总线竞争；于此同时，各个板卡读数时不再能够依靠主动使能读信号来触发读数，而是不断循环扫描地址线，当地址线发生变化时再做适当延时使能读信号来触发读数，由于地址线仅受主卡控制，所以此触发读数的条件相同，从而能保证各卡读数的同步性，而做适当延时保证读到数据线上稳定的数据。

附图说明

[0006] 图 1 是本发明方法涉及的装置的简要结构示意图。

具体实施方式

[0007] 具体实施方式一：结合图 1 所示，说明本实施方式的技术方案，它的方法步骤为：

步骤一：运动控制卡主卡 1、多块运动控制卡从卡 2、多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 都连接在 VME 总线 7 上；上电启动，多路激光干涉仪数据采集卡 3 按 10MHz 的频率更新采集到的多个激光干涉仪 5 发来的数据，并将这些数据赋予不同的地址编码后存储在多路激光干涉仪数据采集卡 3 的 RAM 内；多路光栅数据采集卡 4 按 10MHz 的频率更新采集到的多个光栅传感器 6 发来的数据，并将这些数据赋予不同的地址编码后存

储在多路光栅数据采集卡 4 的 RAM 内；

步骤二：运动控制卡主卡 1 中的 DSP 模块每隔 200us 发出一次读数请求，所述这个读数请求分别同步发送到运动控制卡主卡 1 中的 FPGA 模块内和多块运动控制卡从卡 2 中的 FPGA 模块内；运动控制卡主卡 1 中的 FPGA 模块在接收到上述读数请求后先执行完光栅数据地址编码发送模块子程序，再执行激光干涉仪数据地址编码发送模块子程序，同时执行其内的读数模块子程序；所有运动控制卡从卡 2 中的 FPGA 模块在接收到上述读数请求后执行读数模块子程序；

步骤三：光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块将 VME 总线 7 上的数据锁存信号置高，而使多路激光干涉仪数据采集卡 3 中的 RAM 内的数据和多路光栅数据采集卡 4 中的 RAM 内的数据被锁存不再更新；同时所有运动控制卡从卡 2 中的读数模块子程序通过运动控制卡从卡 2 中的 CPLD 模块检测 VME 总线 7 上的地址线地址是否更新；运动控制卡主卡 1 中的读数模块子程序通过运动控制卡主卡 1 中的 CPLD 模块检测 VME 总线 7 上的地址线地址是否更新；

步骤四：光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块、VME 总线 7 向多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 上发送要读取数据的地址编码，多路激光干涉仪数据采集卡 3 和多路光栅数据采集卡 4 将自行检测自己的 RAM 内是否存储有相对应地址编码的数据，如有，则将此数据和对应的地址编码发送到 VME 总线 7 上；

步骤五：当所有运动控制卡从卡 2 中的读数模块子程序通过运动控制卡从卡 2 中的 CPLD 模块检测到 VME 总线 7 上的地址线地址更新后，则再延时几个时钟的时间，然后所述读数模块子程序将读使能信号置低，而控制 FPGA 模块通过 CPLD 模块将 VME 总线 7 上的数据读写到自身的 RAM 中；同时运动控制卡主卡 1 中的读数模块子程序通过运动控制卡主卡 1 中的 CPLD 模块检测到 VME 总线 7 上的地址线地址更新后，则再延时几个时钟的时间，然后所述读数模块子程序将读使能信号置低，控制 FPGA 模块通过 CPLD 模块将 VME 总线 7 上的数据读写到自身的 RAM 中，并在光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序中生成读数完成标志；

步骤六：重复循环执行步骤四和步骤五，直到将多路激光干涉仪数据采集卡 3 的 RAM 内中所有路数据和多路光栅数据采集卡 4 的 RAM 内中所有路数据依次读取完；然后光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序通过运动控制卡主卡 1 中的 CPLD 模块将 VME 总线 7 上的数据锁存信号置低，使多路激光干涉仪数据采集卡 3 中的 RAM 内的数据和多路光栅数据采集卡 4 中的 RAM 内的数据解锁存继续更新；

步骤七：运动控制卡主卡 1 中的 CPLD 模块的 RAM 内的数据传送到运动控制卡主卡 1 中的 DSP 模块内；所有运动控制卡从卡 2 中的 CPLD 模块的 RAM 内的数据传送到各自的 DSP 模块内；实现多板卡同步顺序读取多路传感器数据。

[0008] 所述光栅数据地址编码发送模块子程序或激光干涉仪数据地址编码发送模块子程序的地址输出按照时序协议递增切换，其余时刻输出为高阻状态。实现输出高阻状态不占用地址线。

[0009] 工作原理：本发明方法的实现需要以下软硬件部分的支持，硬件上包括 VME 机箱、运动控制卡、激光干涉仪、干涉仪数据采集卡、光栅、光栅数据采集卡、计算机以及相应的信

号传输线,软件上包括基于 DSP 开发的软件 CCStudio 以及基于 FPGA 开发的软件 Quartus II。

[0010] VME 机箱提供适用 6U VME 卡的 21 槽背板的机箱,可容纳 21 块具有 VME 接口的板卡插接,其中除了第一个之外的各个槽所对应的 VME 引脚相互连接,用于各卡之间 VME 总线的相互通信;

运动控制卡采用型号为 TMS320C6414 的 DSP 芯片作为算法处理模块,以型号为 EP2S60F102014N 的 FPGA 为主要的信号处理模块,CPLD 芯片为电平转换模块,DSP 模块通过自带的外部存储扩展接口 EMIF 与 FPGA 模块进行通信,而多板卡则通过 VME 总线进行数据交互;

激光干涉仪和光栅都是一种长度测量传感器,在本发明中两者用来获得控制对象的位置;

干涉仪数据采集卡和光栅数据采集卡分别负责将连接的多路干涉仪或者光栅的数据锁存并且根据地址线上的地址将对应的某路传感器的数据放置到数据线上供运动控制卡读取。其中干涉仪数据采集卡可以获取 18 路干涉仪数据,光栅数据采集卡则可以获取 12 路光栅数据。两种采集卡与运动控制卡通过 VME 总线进行通信,所用到的地址线和数据线相同,定义在 VME 总线 P2 接口的用户自定义区。

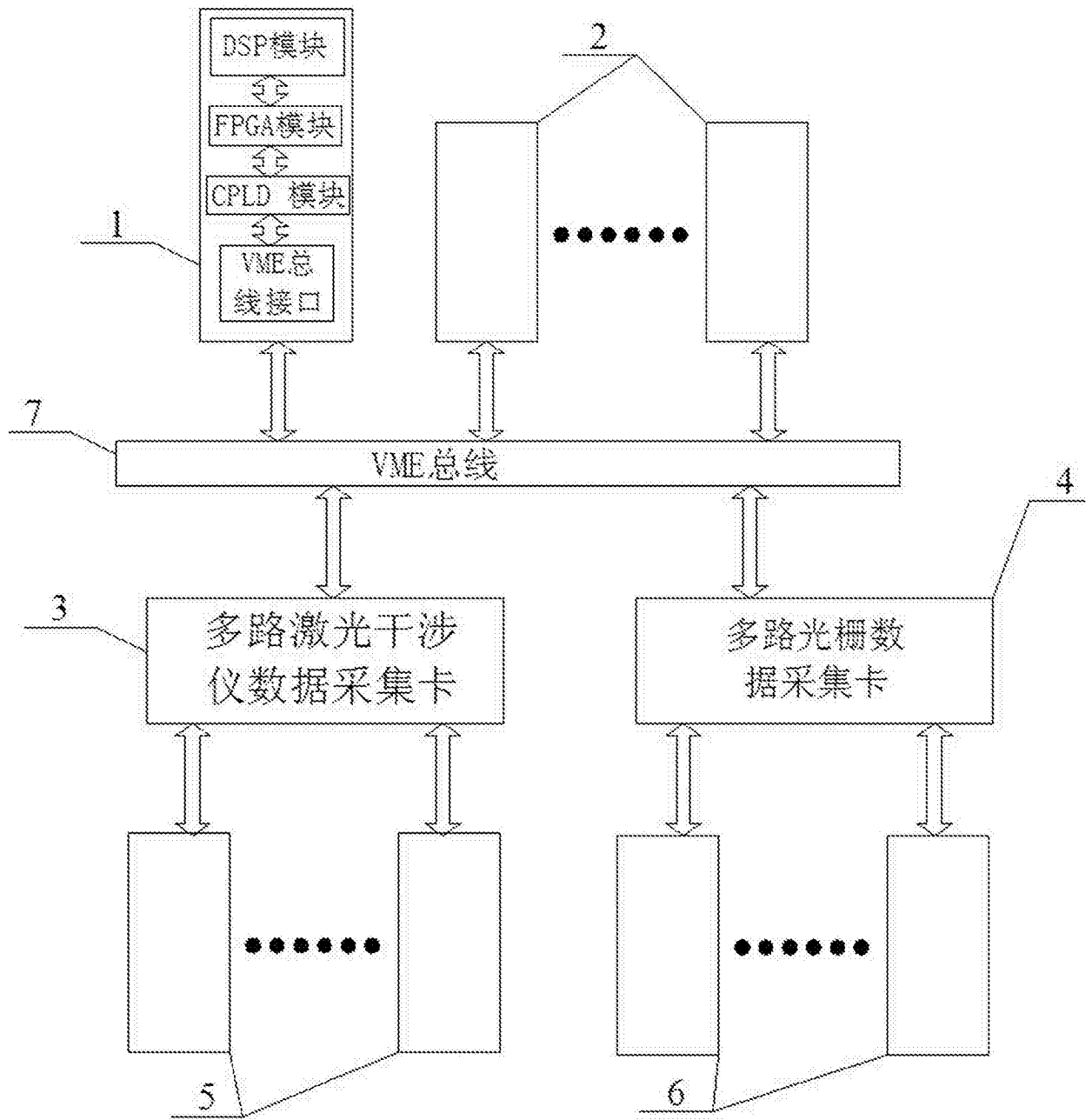


图 1