

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4905420号
(P4905420)

(45) 発行日 平成24年3月28日 (2012.3.28)

(24) 登録日 平成24年1月20日 (2012.1.20)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
 G09F 9/00 (2006.01)
 G09G 3/20 (2006.01)
 H01L 51/50 (2006.01)

G09G 3/30 J
 G09F 9/00 352
 G09G 3/20 670J
 G09G 3/20 642A
 G09G 3/20 641D

請求項の数 6 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2008-194343 (P2008-194343)
 (22) 出願日 平成20年7月29日 (2008.7.29)
 (65) 公開番号 特開2010-32741 (P2010-32741A)
 (43) 公開日 平成22年2月12日 (2010.2.12)
 審査請求日 平成21年12月16日 (2009.12.16)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 豊村 直史
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 佐野 潤一

最終頁に続く

(54) 【発明の名称】 表示装置、表示装置の駆動方法及び製造方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、

前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、

前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなり、

前記一対の電極のうち少なくとも片方をN個に分割することで、該発光素子がN個のサブ発光素子に分割され、該発光素子のうち一つのサブ発光素子に欠陥がある場合、該欠陥のあるサブ発光素子は該画素のドライブトランジスタから切り離されており、該欠陥のない(N-1)個のサブ発光素子に、画素が正常な場合に比べて(N-1)/Nの駆動電流が供給されるように、該(N-1)/Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される

表示装置。

【請求項2】

制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、

前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、

前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなり、

前記一対の電極のうち少なくとも片方はN個に分割されてなり、

前記分割された電極のうち一つの電極が前記一対の電極のうちもう一方の電極と短絡している場合、短絡している該分割された一つの電極は該画素のトランジスタから切り離されており、短絡していない残りの(N - 1)個の電極を介して、前記発光層に、画素が正常な場合に比べて(N - 1) / Nの駆動電流が供給されるように、該(N - 1) / Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される

表示装置。

【請求項3】

前記信号線に前記映像信号を供給するための信号ドライバを含み、

前記信号ドライバは、1つのサブ発光素子に欠陥の生じた画素に書き込むべき映像信号のレベルを制御して、前記駆動電流が正常時の(N - 1) / Nとなるようにする

請求項1記載の表示装置。

【請求項4】

制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、

前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、

前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなる薄膜素子であり、

前記一対の電極のうち少なくとも片方をN個に分割することで、該発光素子がN個のサブ発光素子に分割され、

一つのサブ発光素子に欠陥がある場合、該欠陥のあるサブ発光素子は該画素のドライブトランジスタから切り離されており、該欠陥のない(N - 1)個のサブ発光素子に、画素が正常な場合に比べて(N - 1) / Nの駆動電流が供給されるように、該(N - 1) / Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される

表示装置の駆動方法。

【請求項5】

請求項1乃至請求項3のいずれかに記載の表示装置を備える

電子機器。

【請求項6】

行列状に配された、発光素子を含む各画素に対して、滅点検出を行う工程と、

滅点が検出された前記画素を修復する工程と、

修復がされた前記画素の位置情報を記憶部に記憶させる工程とからなり、

前記記憶部に記憶されている前記位置情報に基づき、前記修復がされた前記画素に対する駆動電流が、画素が正常な場合に比べて(N - 1) / Nとなるように、該(N - 1) / Nの駆動電流に対応する映像信号を該画素に供給する駆動部を有する

請求項1乃至請求項3のいずれかに記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光素子を含む画素を有する表示装置、表示装置の駆動方法及び製造方法、並びに電子機器に関する。より詳しくは画素の欠陥を修復する技術の改良に関する。

【背景技術】

【0002】

近年平面型の表示装置として、有機エレクトロルミネッセンス(EL)表示装置が注目されている。この有機EL表示装置は、自発光性素子を画素とすることから視野角が広くバックライトを必要とせず薄型化が可能であり、消費電力が抑えられ、かつ応答速度が高いといった特徴を有している。

10

20

30

40

50

【 0 0 0 3 】

この有機 E L 表示装置は、基板上にアノード電極とカソード電極と両者の間に保持され発光機能を有する有機発光層とからなる有機 E L 素子をマトリクス状に配置することにより構成される。

【 0 0 0 4 】

この有機 E L 素子を形成する際、空中に浮遊する微細な異物などがアノード電極とカソード電極との間に付着すると、短絡欠陥が生じ有機 E L 素子が発光せず、いわゆる滅点不良として視認される。この滅点不良を修復する技術が従来から開発されており、例えば以下の特許文献 1 に記載がある。

【特許文献 1】特開 2 0 0 8 - 0 6 5 2 0 0 公報

10

【 0 0 0 5 】

特許文献 1 に記載されたアクティブなマトリクス表示装置は、制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成されている。この画素は、制御信号に応じて映像信号を取り込むサンプリングトランジスタと、取り込んだ映像信号に応じて駆動電流を生成するドライプトランジスタと、駆動電流の供給を受け映像信号に応じた輝度で発光する発光素子とを含む。この発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とから成る二端子型の薄膜素子である。一対の電極のうち少なくとも片方を複数個に分割することで、発光素子が複数個のサブ発光素子に分割されている。複数のサブ発光素子は、ドライプトランジスタから駆動電流の供給を受け、全体として映像信号に応じた輝度で発光する。一つのサブ発光素子に短絡欠陥がある場合、これを画素から切り離して、駆動電流を残りのサブ発光素子に供給し、以って残りのサブ発光素子で映像信号に応じた輝度の発光を維持可能にしている。

20

【 0 0 0 6 】

特許文献 1 に記載されたアクティブマトリクス表示装置では、予め 1 個の画素に含まれる 1 個の発光素子を複数のサブ発光素子、例えば一対のサブ発光素子に分割している。そして、一方のサブ発光素子に短絡欠陥が生じた場合、これを画素回路から切り離すことで容易に滅点不良を修復することができる。一対のサブ発光素子の両方に異物などの付着などで同時に短絡欠陥が生じる確率は極めて低い。通常は、一方のサブ発光素子にのみ短絡欠陥が生じる。ただしこのままでは短絡部に電流が集中するため、両方のサブ発光素子が共に発光せず画素としては滅点不良になる。そこで短絡欠陥が生じたサブ発光素子を切り離すことで、残りのサブ発光素子に駆動電流を供給し、滅点不良から救済することができる。

30

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

短絡欠陥の生じたサブ発光素子を切り離して修復を行った画素（以下本明細書では修復画素と呼ぶ）であっても、その駆動電流はもともと正常な画素（以下本明細書では正常画素と呼ぶ）と同じ量が流れる。従って、発光輝度は修復画素と正常画素とで同じレベルとなり外観的な相違は目立たない。

40

【 0 0 0 8 】

しかしながら、修復画素は正常画素に比べて時間の経過と共に輝度の低下が進行するという問題がある。修復画素は正常画素に比べて輝度劣化が早い。一般的に発光素子は時間の経過と共に輝度が低下する傾向（以下本明細書ではこれを輝度劣化と呼ぶ）がある。正常画素に比べ修復画素は、短絡欠陥の生じたサブ発光素子を切り離すため、残りのサブ発光素子に流れる電流密度が高くなる。電流密度が高いほど輝度劣化が進むので、結果的に修復画素は正常画素に比べて輝度劣化の進行が早い。換言すると、時間の経過と共に正常画素と修復画素の輝度差が顕著となり、ある時点で修復画素は閾値レベル以下となって滅点欠陥に陥るという課題がある。

【課題を解決するための手段】

50

【 0 0 0 9 】

上述した従来の技術の課題に鑑み、本発明の表示装置、表示装置の駆動方法、駆動制御装置、電子機器、及び表示装置の製造方法は、修復画素の輝度劣化の進行を抑制可能とすることを目的とする。係る目的を達成するために以下の手段を講じた。

即ち、本発明の第1の側面の表示装置は、制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなり、前記一対の電極のうち少なくとも片方をN個に分割することで、該発光素子がN個のサブ発光素子に分割され、該発光素子のうち一つのサブ発光素子に欠陥がある場合、該欠陥のあるサブ発光素子は該画素のドライブトランジスタから切り離されており、該欠陥のない(N-1)個のサブ発光素子に、画素が正常な場合に比べて(N-1)/Nの駆動電流が供給されるように、該(N-1)/Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される。

10

本発明の第2の側面の表示装置は、制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなり、前記一対の電極のうち少なくとも片方はN個に分割されてなり、前記分割された電極のうち一つの電極が前記一対の電極のうちもう一方の電極と短絡している場合、短絡している該分割された一つの電極は該画素のトランジスタから切り離されており、短絡していない残りの(N-1)個の電極を介して、前記発光層に、画素が正常な場合に比べて(N-1)/Nの駆動電流が供給されるように、該(N-1)/Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される。

20

本発明の第3の側面の表示装置の駆動方法は、制御信号を供給する行状の走査線と、映像信号を供給する列状の信号線と、両者が交差する部分に配された行列状の画素とが、基板上に形成され、前記画素は、発光素子と、前記信号線から供給された映像信号に応じて駆動電流を該発光素子に供給するドライブトランジスタとを含み、前記発光素子は、アノード及びカソードになる一対の電極と、その間に保持された発光層とからなる薄膜素子であり、前記一対の電極のうち少なくとも片方をN個に分割することで、該発光素子がN個のサブ発光素子に分割され、一つのサブ発光素子に欠陥がある場合、該欠陥のあるサブ発光素子は該画素のドライブトランジスタから切り離されており、該欠陥のない(N-1)個のサブ発光素子に、画素が正常な場合に比べて(N-1)/Nの駆動電流が供給されるように、該(N-1)/Nの駆動電流に対応する映像信号が該画素のドライブトランジスタに供給される。

30

【 0 0 1 0 】

本発明の第4の側面の電子機器は、前記第1乃至第3の側面のいずれかの表示装置を備える。

40

本発明の第5の側面の表示装置の製造方法は、前記第1乃至第3の側面のいずれかの表示装置の製造方法であって、行列状に配された、発光素子を含む各画素に対して、滅点検出を行う工程と、滅点が検出された前記画素を修復する工程と、修復がされた前記画素の位置情報を記憶部に記憶させる工程とからなり、前記記憶部に記憶されている前記位置情報に基づき、前記修復がされた前記画素に対する駆動電流が、画素が正常な場合に比べて(N-1)/Nとなるように、該(N-1)/Nの駆動電流に対応する映像信号を該画素に供給する駆動部を有する。

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、修復画素の輝度劣化の進行を抑制することができる。

50

【発明を実施するための最良の形態】

【0012】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係るアクティブマトリクス表示装置の第一実施形態を示す全体構成ブロック図である。図示するように、本表示装置は、画素アレイ部1と周辺の回路部とで構成されている。回路部は水平セレクトラ3とライトスキヤナ4を備えている。画素アレイ部1は列状の信号線SLと行状の走査線WSを備えている。各信号線SLと走査線WSの交差する部分に画素2が配されている。ライトスキヤナ4はシフトレジスタを備えており、外部から供給されるクロック信号ckに応じて動作し同じく外部から供給されるスタートパルスspを順次転送することで、走査線WSに順次制御信号を出力する。水平セレクトラ3は、ライトスキヤナ4側の線順次走査に合わせて映像信号を信号線SLに供給する。

10

【0013】

図2は、図1に示した表示装置の1画素分の構成例を示す回路図である。画素2は、サンプリングトランジスタT1とドライブトランジスタT2と、保持容量C1と、発光素子ELとを含む。サンプリングトランジスタT1は、そのソースが信号線SLに接続し、ゲートが走査線WSに接続し、ドレインがドライブトランジスタT2のゲートGに接続している。ドライブトランジスタT2は、そのドレインが電源に接続し、ソースSが発光素子ELのアノードに接続している。発光素子ELのカソードは接地されている。保持容量C1はドライブトランジスタT2のゲートGとソースSとの間に接続されている。

20

【0014】

係る構成において、サンプリングトランジスタT1は走査線WSから供給された制御信号に応じてオンし、信号線SLから供給された映像信号を取り込む。取り込まれた映像信号は保持容量C1に保持される。ドライブトランジスタT2は、保持容量C1に保持された映像信号に応じて駆動電流を生成する。本例では、ドライブトランジスタT2は飽和領域で動作し、ゲート電圧Vgsに応じてドレイン電流Idsを出力している。ゲート電圧Vgsが保持容量C1に保持された映像信号に相当し、ドレイン電流Idsが駆動電流として発光素子ELに供給される。発光素子ELは、駆動電流(Ids)の供給を受けて映像信号(Vgs)に応じた輝度で発光する。

【0015】

発光素子ELは、アノード及びカソードになる一対の電極と、その間に保持された発光層等からなる二端子型の薄膜素子である。一対の電極のうち少なくとも片方を複数個に分割することで、発光素子ELが複数のサブ発光素子に分割されている。本例ではアノード側を3分割することで、発光素子ELは3個のサブ発光素子EL1, EL2, EL3に分かれている。但し本発明はこれに限られるものではなく、発光素子ELは4分割もしくは5分割以上としても良い。複数のサブ発光素子EL1乃至EL3は、一方のドライブトランジスタT2から駆動電流(Ids)の供給を受け、全体として映像信号(Vgs)に応じた輝度で発光する。一つのサブ発光素子(例えばEL2)に欠陥がある場合、これを画素2から切り離して、駆動信号(Ids)を残りのサブ発光素子(EL1, EL3)に供給し、以って残りのサブ発光素子(EL1, EL3)で映像信号(Ids)に応じた輝度の発光を維持する。発光素子ELは切り離れたサブ発光素子の有無に関わらず、駆動電流(Ids)に応じた輝度で発光する。従って欠陥のあるサブ発光素子を切り離して修復した画素(以下修復画素と呼ぶ)は、もともと正常な画素(以下正常画素と呼ぶ場合がある)と同じ輝度で発光することができる。

30

40

【0016】

図3は、図2に示した画素回路の動作状態を示す模式的な回路図である。(A)は正常画素の動作を表している。図示するように、ドライブトランジスタT2は、サンプリングトランジスタT1を介して保持容量C1に書き込まれた映像信号に応じて、ドレイン電流Idsを発光素子ELに供給する。発光素子ELは3つのサブ発光素子EL1, EL2, EL3に分割されている。正常画素の場合、ドレイン電流Idsはその3分の1の電流量が各サブ発光素子EL1, EL2, EL3に流れる。全体として画素2の発光素子ELに

50

はドレイン電流 I_{ds} が流れることになる。周知のように、発光素子 E_L は駆動電流に応じた輝度で発光する。

【0017】

(B)は修復画素の動作を表している。本例では、サブ発光素子 E_{L3} に異物付着などで短絡欠陥が生じている。サブ発光素子 E_{L3} の短絡欠陥をそのままにしておくと、ドライブトランジスタ T_2 から供給されたドレイン電流 I_{ds} がほとんど短絡欠陥のサブ発光素子 E_{L3} を通って流れてしまうため、画素2に全体としてみると滅点欠陥になってしまう。そこで短絡欠陥の生じたサブ発光素子 E_{L3} をドライブトランジスタ T_2 のソースから切り離している。この状態を図では模式的にサブ発光素子 E_{L3} に×印を付けて表している。このようにすると、ドライブトランジスタ T_2 から供給されたドレイン電流 I_{ds} は二つに分かれて、2分の1の電流量が各サブ発光素子 E_{L1} , E_{L2} に流れる。修復画素でもやはりトータルで I_{ds} が発光素子 E_L に流れるため、(A)に示した正常画素と同じ輝度で発光する。よって、見かけ上は(A)の正常画素と(B)の修復画素とで差はない。以上により、短絡欠陥の生じた画素を修復することができる。

【0018】

図4は、図2及び図3に示した画素の具体的な層構成を示す模式的な断面図であり、図示を簡略化するため2個の画素を表してある。図示するように各画素はガラスなどの基板50の上に形成されている。基板50の裏面は金属などの遮光層51で被覆されている。各画素は基本的に発光素子 E_L とこれを駆動する画素回路2とで構成されている。基板50の上には薄膜トランジスタや薄膜容量などの薄膜素子からなる画素回路2が形成されている。基板50の上には同時に電源配線52も形成されている。これらの画素回路2及び電源配線52などは平坦化膜53によって被覆されている。この平坦化膜53の上に発光素子 E_L が形成されている。発光素子 E_L はアノードAとカソードKと両者の間に保持された有機発光層54とで構成されている。アノードAは画素単位で区切られており、平坦化膜53に形成されたコンタクトホールを介して対応する画素回路2に接続している。平坦化膜53の上にはこのアノードAに加え、補助配線55も形成されている。アノードA及び補助配線55は有機発光層54によって被覆されている。有機発光層54の上にカソードKが形成されている。このカソードKは各画素に対して共通に形成されており、有機発光層54中に形成されたコンタクトホールを介して補助配線55に接続している。カソードKはITOなどの透明電極材料からなる。

【0019】

本発明の特徴事項として、一对の電極のうち少なくとも片方を少なくとも分割することで、発光素子 E_L が例えば3個のサブ発光素子 E_{L1} , E_{L2} , E_{L3} に分割されている。図示の例では、アノードがA1, A2, A3と3分割されている一方、カソードKは各画素で共通に形成されている。なお本実施例では発光素子 E_L が3個のサブ発光素子 E_{L1} , E_{L2} , E_{L3} に3分割されているが、これに限られるものではない。発光素子は2分割もしくは4分割あるいは5分割以上とすることができる。右側の画素で例えばサブ発光素子 E_{L1} に異物57の付着などで短絡欠陥がある場合、これを画素回路2から切り離して駆動電流を残りの正常なサブ発光素子A2, A3に供給し、以って映像信号に応じた輝度の発光を維持可能にしている。

【0020】

仮に短絡欠陥の生じたサブ発光素子を放置しておくと、画素回路2からアノードAに供給された駆動電流が有機発光層54を通過することなく導電性の異物57に集中してカソードK側に流れ、補助配線55を介して接地に落ちる。駆動電流は流れるものの有機発光層54はほとんど発光せず、画素全体が滅点不良となる。そこで本発明では、短絡欠陥の生じたサブ発光素子 E_{L1} を切り離すことで画素の滅点化を防ぎ、パネルの製造歩留まりを改善している。

【0021】

図5は、画素の輝度劣化の進行程度を示すグラフである。縦軸に駆動電流を示し、横軸に経過時間をとってある。縦軸の駆動電流は初期値を1として規格化してある。輝度は駆

10

20

30

40

50

動電流に比例する。本例は、1個の画素の発光素子を5つのサブ発光素子に5分割した場合であり、修復画素と正常画素のそれぞれについて輝度の経時的な変化を示している。

【0022】

グラフから明らかなように、修復画素及び正常画素共に時間の経過に従って輝度が低下している。しかしながら、修復画素と正常画素で輝度劣化の進行速度が異なる。修復画素はサブ発光素子1個当りの駆動電流が高くなるため、その分輝度劣化速度が速くなる。初期段階では修復画素と正常画素で輝度は同じであるが、25000時間を経過すると、両者の間におよそ50%の輝度差が生じる。25000時間を超えると修復画素の輝度は正常画素に比べて半分となっており、滅点欠陥とされる確率が高くなる。このように滅点発生初期段階では修復の効果で欠陥視されなかった画素が時間の経過とともに急速に輝度劣化が起き、後発不良の原因となってしまう。

10

【0023】

上述した後発点欠陥に対処するため、本発明では正常画素に比べて修復画素に供給する駆動電流を $(N - 1) / N$ に抑えている。図6-1は本発明に係る表示装置の輝度変化を示すグラフである。縦軸に規格化した駆動電流をとり、横軸に経過時間をとってある。駆動電流は初期値を1としている。比較を容易にするため、このグラフは本発明に従って対策済の修復画素に加え、未対策の修復画素及び正常画素の輝度変化も表してある。

【0024】

グラフから明らかなように、対策済の修復画素は未対策の修復画素に比べ、初期値で輝度が20%低い。これは、修復画素に供給する駆動電流を本発明に従って $(N - 1) / N = (5 - 1) / 5 = 0.8$ に下げたためである。初期的に見ると対策済の修復画素は正常画素に比べ輝度が20%程度低い。しかしながらこの程度の輝度の差は視覚的にはほとんど見分けることができず、滅点欠陥とはならない。

20

【0025】

この後は時間の経過とともに輝度劣化が進行し、発光輝度が低下していく。未対策の修復画素はサブ発光素子1個当りの電流量が大きくなるため、正常画素に比べ輝度劣化の進行速度が大きい。25000時間経過後では、未対策の修復画素の輝度は正常画素に比べ50%低下する。このため滅点欠陥に陥る可能性が多い。一方対策済の修復画素は劣化進行速度が正常画素と同じであり、25000時間経過後でも両者の輝度の差は20%で初期と変わらない。従って後発点欠陥が発生することはない。

30

【0026】

本発明では、修復画素の駆動電流の初期値を正常画素に比べて $(N - 1) / N$ に制御している。この制御を行うため、例えばパネル1に外部から供給する映像信号のレベルを調整している。換言すると、修復画素に書き込むべき映像信号のレベルを制御して、丁度修復画素に流れる駆動電流が $(N - 1) / N$ となるように調節する。図6-2はこのような制御方式を示す模式的なブロック図である。図示するように、外部から供給された映像信号はタイミングジェネレータ(TG)部に含まれるレベルシフタでレベル変換された後、アクティブマトリクス表示装置側のデータドライバ(水平セクタ)3に供給される。データドライバ3に供給された調整済の映像信号は信号線を介して表示装置の画素アレイ部(パネル)1に供給される。

40

【0027】

出荷前検査で予め滅点検出を行い、画素の修復を実施する。パネル1上における個々の修復画素の位置を補正用メモリに書き込む。また正常画素の輝度データも測定し、補正用メモリに書き込んでおく。

【0028】

タイミングジェネレータ部に含まれるレベルシフタは、丁度修復画素に書き込むべき映像信号のみをレベルシフトしてデータドライバ3側に供給する。その際、予め測定した正常画素の輝度に対し修復画素の輝度が $(N - 1) / N$ となるように映像信号のレベルを調節する。この結果、データドライバ3から線順次走査に応じて逐次信号線に出力される映像信号により、正常画素と修復画素の電流差を $1 / N$ に保つことができ、後発点欠陥が発

50

生することがない。

本発明によれば、正常画素に流れる駆動電流を $1 = N / N$ とすると、修復画素に流す駆動電流は出荷段階で $(N - 1) / N$ に抑えている。換言すると修正画素に流す駆動電流は正常画素に流す駆動電流の $1 / N$ だけ少なくしている。ここで N は画素1個当りに含まれる複数のサブ発光素子の個数である。修復画素は短絡欠陥の生じたサブ発光素子をドライブトランジスタから切り離しているため、発光に寄与する有効なサブ発光素子の個数は、正常画素に比べて1つ少ない。従って、サブ発光素子1個当りに流れる駆動電流を比較すると、正常画素と修復画素で等しくなっている。この結果、修復画素と正常画素で輝度劣化の進行程度が同じとなり、時間が経過しても正常画素と修復画素とで輝度差が生じない。出荷段階で修復画素に流す電流を $1 / N$ だけ抑えれば、その後修復画素の輝度劣化を正常画素と同じレベルに抑制できるので、修復画素のみが将来滅点化する恐れはない。一方出荷段階で修復画素は正常画素に比べ $1 / N$ だけ駆動電流が少ないため、その分輝度に差が生じる。しかしながらこの輝度差が許容範囲内であれば、表示装置のパネルとしては良品となり歩留まりの改善に繋がる。出荷段階で良品であれば、その後輝度劣化は修復画素と正常画素で相違がないので、特に信頼性上の問題はない。

10

【0029】

図7は、本発明に係るアクティブマトリクス表示装置の第二実施形態を示す全体ブロック図である。図示するように、本表示装置は、画素アレイ部1とこれを駆動する駆動部(3, 4, 5)とからなる。画素アレイ部1は、行状の走査線 WS と、列状の信号線 SL と、両者が交差する部分に配された行列状の画素2と、各画素2の各行に対応して配された給電線 DS とを備えている。駆動部(3, 4, 5)は、各走査線 WS に順次制御信号パルスを供給して画素2を行単位で線順次走査する制御用スキャナ(ライトスキャナ)4と、この線順次走査に合わせて各給電線 DS に第1電位と第2電位で切換る電源電圧を供給する電源スキャナ(ドライブスキャナ)5と、この線順次走査に合わせて列状の信号線 SL に映像信号となる信号電位と基準電位を供給する信号セクタ(水平セクタ)3とを備えている。なおライトスキャナ4は外部から供給されるクロック信号 $WSck$ に応じて動作し同じく外部から供給されるスタートパルス $WSsp$ を順次転送することで、各走査線 WS に制御信号パルスを出力している。ドライブスキャナ5は外部から供給されるクロック信号 $DSck$ に応じて動作し、同じく外部から供給されるスタートパルス $DSsp$ を順次転送することで、給電線 DS の電位を線順次で切換えている。

20

30

【0030】

図8は、図7に示した表示装置に含まれる画素2の具体的な構成を示す回路図である。図示するように信号セクタ(水平セクタ)3は、線順次走査に合わせて列状の信号線 SL に映像信号となる信号電位 $Vsig$ と基準電位 $Vofs$ を供給している。この線順次走査は、各走査線 WS に水平周期で順次パルス状の制御信号を印加することにより行われる。この線順次走査と合わせるように、信号セクタ3は、1水平周期(1H)内で信号電位 $Vsig$ と基準電位 $Vofs$ を切換えている。

【0031】

かかる構成において、サンプリングトランジスタ $T1$ は、信号線 SL に供給された映像信号が信号電位 $Vsig$ にある時間帯に、制御用スキャナ(ライトスキャナ)4から走査線 WS に供給された制御パルスが立上ってから立下るまでの間オンし、信号線 SL から信号電位 $Vsig$ をサンプリングして保持容量 $C1$ に書き込むと共に、そのときドライブトランジスタ $T2$ に流れる駆動電流を保持容量 $C1$ に負帰還し、以ってドライブトランジスタ $T2$ の移動度 μ に対する補正を保持容量 $C1$ に書き込まれた信号電位にかける。

40

【0032】

図8に示した画素回路は、上述した移動度補正機能に加え閾電圧補正機能も備えている。即ち電源スキャナ(ドライブスキャナ)5はサンプリングトランジスタ $T1$ が信号電位 $Vsig$ をサンプリングする前に、第1タイミングで給電線 DS を第1電位 Vcc から第2電位 Vss に切り換える。制御用スキャナ(ライトスキャナ)4は、同じくサンプリングトランジスタ $T1$ が信号電位 $Vsig$ をサンプリングする前に、第2タイミングでサン

50

プリングトランジスタ T_1 を導通させて信号線 SL から基準電位 V_{ofs} をドライブトランジスタ T_2 のゲート G に印加すると共に、発光時におけるドライブトランジスタ T_2 のソース S を第2電位 V_{ss} にセットする。電源スキャナ(ドライブスキャナ)5は、第2タイミングの後の第3タイミングで、給電線 DS を第2電位 V_{ss} から第1電位 V_{cc} に切り換えて、ドライブトランジスタ T_2 の閾電圧 V_{th} に相当する電圧を保持容量 C_1 に保持しておく。かかる閾電圧補正機能より、本表示装置は画素毎にばらつくドライブトランジスタ T_2 の閾電圧 V_{th} の影響をキャンセルすることができる。なお、第1タイミングと第2タイミングの前後は問わない。

【0033】

図8に示した画素回路2はさらにブートストラップ機能も備えている。即ちライトスキャナ4は、保持容量 C_1 に信号電位 V_{sig} が保持された時点で、サンプリングトランジスタ T_1 を非導通状態にしてドライブトランジスタ T_2 のゲート G を信号線 SL から電氣的に切り離し、以ってドライブトランジスタ T_2 のソース電位の変動にゲート電位が連動しゲート G とソース S 間の電圧 V_{gs} を一定に維持する。発光素子 EL の電流/電圧特性が経時変動しても、ゲート電圧 V_{gs} を一定に維持することができ、輝度の変化が生じない。

【0034】

本発明の特徴事項として、発光素子 EL は、アノード及びカソードになる一対の電極を有し、一対の電極のうち片方を N 個に分割することで、発光素子 EL が N 個のサブ発光素子 EL_1, EL_2, EL_3 に分割されている。 N 個のサブ発光素子は、ドライブトランジスタ T_2 から駆動電流の供給を受け、全体として映像信号に応じた輝度で発光する。一つのサブ発光素子に欠陥がある場合、これを画素2から切り離して、駆動電流を残りのサブ発光素子に供給すると共に、駆動電流 I_{ds} を、画素が正常な場合に比べて $(N-1)/N$ に抑える。

【0035】

図9は、図8に示した画素の動作説明に供するタイミングチャートである。このタイミングチャートは時間軸を共通にして、走査線 WS の電位変化、給電線 DS の電位変化、信号線 SL の電位変化を表してある。走査線 WS の電位変化は制御信号を表し、サンプリングトランジスタ T_1 の開閉制御を行っている。給電線 DS の電位変化は、電源電圧 V_{cc}, V_{ss} の切換えを表している。また信号線 SL の電位変化は入力信号の信号電位 V_{sig} と基準電位 V_{ofs} の切換えを表している。またこれらの電位変化と並行に、ドライブトランジスタ T_2 のゲート G 及びソース S の電位変化も表している。前述したようにゲート G とソース S の電位差が V_{gs} である。

【0036】

このタイミングチャートは画素の動作の遷移に合わせて期間を(1)~(7)のように便宜的に区切ってある。当該フィールドに入る直前の期間(1)では発光素子 EL が発光状態にある。その後線順次走査の新しいフィールドに入ってまず最初の期間(2)で給電線 DS を第1電位 V_{cc} から第2電位 V_{ss} に切り換える。次の期間(3)に進み入力信号を V_{sig} から V_{ofs} に切り換える。さらに次の期間(4)でサンプリングトランジスタ T_1 をオンする。この期間(2)~(4)でドライブトランジスタ T_2 のゲート電圧及び発光時におけるソース電圧を初期化する。その期間(2)~(4)は閾電圧補正のための準備期間であり、ドライブトランジスタ T_2 のゲート G が V_{ofs} に初期化される一方、ソース S が V_{ss} に初期化される。続いて閾値補正期間(5)で実際に閾電圧補正動作が行われ、ドライブトランジスタ T_2 のゲート G とソース S との間に閾電圧 V_{th} に相当する電圧が保持される。実際には V_{th} に相当する電圧が、ドライブトランジスタ T_2 のゲート G とソース S との間に接続された保持容量 C_1 に書き込まれることになる。この後一旦サンプリングトランジスタ T_1 をオフし、書込期間/移動度補正期間(6)に進む。ここで映像信号の信号電位 V_{sig} が V_{th} に足し込まれる形で保持容量 C_1 に書き込まれると共に、移動度補正用の電圧 V が保持容量 C_1 に保持された電圧から差し引かれる。この書込期間/移動度補正期間(6)では、信号線 SL が信号電位 V_{sig} にある時

10

20

30

40

50

間帯にサンプリングトランジスタ T_1 を導通状態にする必要がある。この後発光期間(7)に進み、信号電位 V_{sig} に応じた輝度で発光素子が発光する。その際信号電位 V_{sig} は閾電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、発光素子 E_L の発光輝度はドライブトランジスタ T_2 の閾電圧 V_{th} や移動度 μ のばらつきの影響を受けることはない。なお発光期間(7)の最初でブートストラップ動作が行われ、ドライブトランジスタ T_2 のゲート G /ソース S 間電圧 V_{gs} を一定に維持したまま、ドライブトランジスタ T_2 のゲート電位及びソース電位が上昇する。

【0037】

引き続き図10～図17を参照して、図8に示した画素回路の動作を詳細に説明する。まず図10に示したように発光期間(1)では、電源電位が V_{cc} にセットされ、サンプリングトランジスタ T_1 はオフしている。このときドライブトランジスタ T_2 は飽和領域で動作するようにセットされているため、発光素子 E_L に流れる駆動電流 I_{ds} はドライブトランジスタ T_2 のゲート G /ソース S 間に印加される電圧 V_{gs} に応じて、前述したトランジスタ特性式で示される値を取る。

【0038】

続いて図11に示すように準備期間(2),(3)に入ると給電線(電源ライン)の電位を V_{ss} にする。このとき V_{ss} は発光素子 E_L の閾電圧 $V_{th_{el}}$ とカソード電圧 V_{cat} の和よりも小さくなるように設定している。即ち $V_{ss} < V_{th_{el}} + V_{cat}$ であるので、発光素子 E_L は消灯し、電源ライン側がドライブトランジスタ T_2 のソースとなる。このとき発光素子 E_L のアノードは V_{ss} に充電される。

【0039】

さらに図12に示すように次の準備期間(4)に入ると、信号線 SL の電位が V_{ofs} になる一方サンプリングトランジスタ T_1 がオンして、ドライブトランジスタ T_2 のゲート電位を V_{ofs} とする。この様にして発光時におけるドライブトランジスタ T_2 のソース S 及びゲート G が初期化され、このときのゲートソース間電圧 V_{gs} は $V_{ofs} - V_{ss}$ の値となる。 $V_{gs} = V_{ofs} - V_{ss}$ はドライブトランジスタ T_2 の閾電圧 V_{th} よりも大きな値となるように設定されている。この様に $V_{gs} > V_{th}$ になるようにドライブトランジスタ T_2 を初期化することで、次に来る閾電圧補正動作の準備が完了する。

【0040】

続いて図13に示すように閾電圧補正期間(5)に進むと、給電線 DS (電源ライン)の電位が V_{cc} に戻る。電源電圧を V_{cc} とすることで発光素子 E_L のアノードがドライブトランジスタ T_2 のソース S となり、図示のように電流が流れる。このとき発光素子 E_L の等価回路は図示のようにダイオード T_{el} と容量 C_{el} の並列接続で表される。アノード電位(即ちソース電位 V_{ss})が $V_{cat} + V_{th_{el}}$ よりも低いので、ダイオード T_{el} はオフ状態にあり、そこに流れるリーク電流はドライブトランジスタ T_2 に流れる電流よりもかなり小さい。よってドライブトランジスタ T_2 に流れる電流はほとんどが保持容量 C_1 と等価容量 C_{el} を充電するために使われる。その後一旦サンプリングトランジスタ T_1 をオフする。

【0041】

図14は図13に示した閾電圧補正期間(5)におけるドライブトランジスタ T_2 のソース電圧の時間変化を表している。図示するように、ドライブトランジスタ T_2 のソース電圧(即ち発光素子 E_L のアノード電圧)は時間と共に V_{ss} から上昇する。閾電圧補正期間(5)が経過するとドライブトランジスタ T_2 はカットオフし、そのソース S とゲート G との間の電圧 V_{gs} は V_{th} となる。このときソース電位は $V_{ofs} - V_{th}$ で与えられる。この値 $V_{ofs} - V_{th}$ は依然として $V_{cat} + V_{th_{el}}$ よりも低くなっていれば、発光素子 E_L は遮断状態にある。

【0042】

次に図15に示すように書込期間/移動度補正期間(6)に入ると、サンプリングトランジスタ T_1 を再度オンした状態で信号線 SL の電位を V_{ofs} から V_{sig} に切り換える。このとき信号電位 V_{sig} は階調に応じた電圧となっている。ドライブトランジスタ

10

20

30

40

50

T 2 のゲート電位はサンプリングトランジスタ T 1 をオンしているため V_{sig} となる。一方ソース電位は電源 V_{cc} から電流が流れるため時間と共に上昇していく。この時点でもドライブトランジスタ T 2 のソース電位が発光素子 E L の閾電圧 V_{thel} とカソード電圧 V_{cat} の和を超えていなければ、ドライブトランジスタ T 2 から流れる電流はもっぱら等価容量 C_{el} と保持容量 C_1 の充電に使われる。このとき既にドライブトランジスタ T 2 の閾電圧補正動作は完了しているため、ドライブトランジスタ T 2 が流す電流は移動度 μ を反映したものとなる。具体的に言うと移動度 μ が大きいドライブトランジスタ T 2 はこのときの電流量が大きく、ソースの電位上昇分 V も大きい。逆に移動度 μ が小さい場合ドライブトランジスタ T 2 の電流量が小さく、ソースの上昇分 V は小さくなる。かかる動作によりドライブトランジスタ T 2 のゲート電圧 V_{gs} は移動度 μ を反映して V だけ圧縮され、移動度補正期間 (6) が完了した時点で完全に移動度 μ を補正した V_{gs} が得られる。

10

【 0 0 4 3 】

図 1 6 は、上述した移動度補正期間 (6) におけるドライブトランジスタ T 2 のソース電圧の時間的な変化を示すグラフである。図示するようにドライブトランジスタ T 2 の移動度が大きいとソース電圧は速く上昇し、それだけ V_{gs} が圧縮される。即ち移動度 μ が大きいとその影響を打ち消すように V_{gs} が圧縮され、駆動電流が抑制できる。一方移動度 μ が小さい場合ドライブトランジスタ T 2 のソース電圧はそれほど速く上昇しないので、 V_{gs} も強く圧縮を受けることはない。したがって移動度 μ が小さい場合、ドライブトランジスタの V_{gs} は小さい駆動能力を補うように大きな圧縮がかからない。

20

【 0 0 4 4 】

図 1 7 は発光期間 (7) の動作状態を表している。この発光期間 (7) ではサンプリングトランジスタ T 1 をオフして発光素子 E L を発光させる。ドライブトランジスタ T 2 のゲート電圧 V_{gs} は一定に保たれており、ドライブトランジスタ T 2 は前述した特性式に従って一定の電流 $I_{ds'}$ を発光素子 E L に流す。発光素子 E L のアノード電圧 (即ちドライブトランジスタ T 2 のソース電圧) は発光素子 E L に $I_{ds'}$ という電流が流れるため、 V_x まで上昇しこれが $V_{cat} + V_{thel}$ を超えた時点で発光素子 E L が発光する。発光素子 E L は発光時間が長くなるとその電流 / 電圧特性は変化してしまう。そのため図 1 6 に示したソース S の電位が変化する。しかしながらドライブトランジスタ T 2 のゲート電圧 V_{gs} はブートストラップ動作により一定値に保たれているので、発光素子 E L に流れる電流 $I_{ds'}$ は変化しない。よって発光素子 E L の電流 / 電圧特性が劣化しても、一定の駆動電流 $I_{ds'}$ が常に流れていて、発光素子 E L の輝度が変化することはない。

30

【 0 0 4 5 】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピューター、携帯電話、ビデオカメラなど、電子機器の本体部に入力された、若しくは、本体部内で生成した情報を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイ (表示部) に適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

【 0 0 4 6 】

図 1 8 は本発明が適用されたテレビであり、フロントパネル 1 2、フィルターガラス 1 3 等から構成される映像表示画面 1 1 を含み、本発明の表示装置をその映像表示画面 1 1 に用いることにより作製される。

40

【 0 0 4 7 】

図 1 9 は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部 1 5、表示部 1 6、コントロールスイッチ、メニュースイッチ、シャッター 1 9 等を含み、本発明の表示装置をその表示部 1 6 に用いることにより作製される。

【 0 0 4 8 】

図 2 0 は本発明が適用されたノート型パーソナルコンピューターであり、本体 2 0 には文

50

字等を入力するとき操作されるキーボード 21 を含み、本体カバーには画像を表示する表示部 22 を含み、本発明の表示装置をその表示部 22 に用いることにより作製される。

【0049】

図 21 は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体 23、下側筐体 24、連結部（ここではヒンジ部）25、ディスプレイ 26、サブディスプレイ 27、ピクチャーライト 28、カメラ 29 等を含み、本発明の表示装置をそのディスプレイ 26 やサブディスプレイ 27 に用いることにより作製される。

【0050】

図 22 は本発明が適用されたビデオカメラであり、本体部 30、前方を向いた側面に被写体撮影用のレンズ 34、撮影時のスタート/ストップスイッチ 35、モニター 36 等を含み、本発明の表示装置をそのモニター 36 に用いることにより作製される。

【図面の簡単な説明】

【0051】

【図 1】本発明に係るアクティブマトリクス表示装置の第一実施形態の全体構成を示すブロック図である。

【図 2】図 1 に示した表示装置に含まれる画素の具体的な構成を示す回路図である。

【図 3】図 2 に示した画素の動作説明に供する模式図である。

【図 4】図 2 及び図 3 に示した画素の断面構造を模式的に示した断面図である。

【図 5】画素の輝度劣化を示すグラフである。

【図 6 - 1】同じく画素の輝度劣化を示すグラフである。

【図 6 - 2】本発明に係る表示装置の制御方式を示すブロック図である。

【図 7】本発明に係るアクティブマトリクス表示装置の第二実施形態を示す全体ブロック図である。

【図 8】図 7 に示した第二実施形態に含まれる画素の構成を示す回路図である。

【図 9】図 8 に示した画素の動作説明に供するタイミングチャートである。

【図 10】図 8 に示した画素の動作説明に供する模式図である。

【図 11】同じく動作説明に供する模式図である。

【図 12】同じく動作説明に供する模式図である。

【図 13】同じく動作説明に供する模式図である。

【図 14】同じく動作説明に供するグラフである。

【図 15】同じく動作説明に供する模式図である。

【図 16】同じく動作説明に供するグラフである。

【図 17】同じく動作説明に供する模式図である。

【図 18】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図 19】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図 20】本発明にかかる表示装置を備えたノート型パーソナルコンピュータを示す斜視図である。

【図 21】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

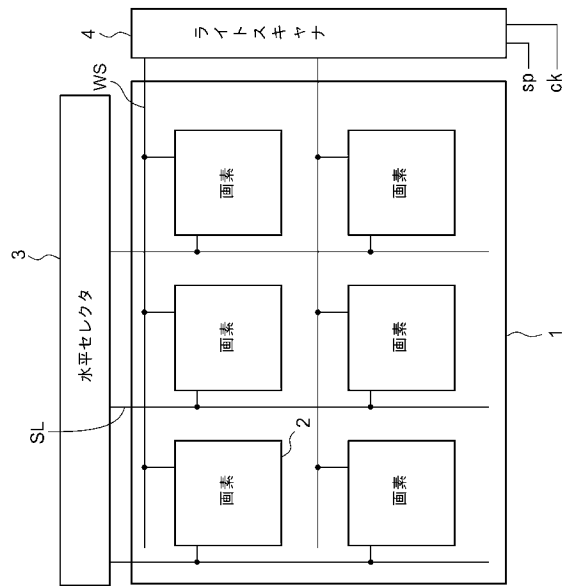
【図 22】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【符号の説明】

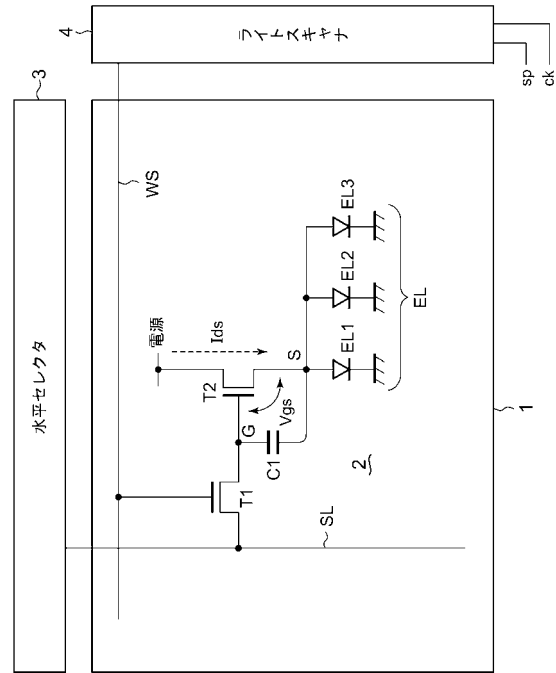
【0052】

1・・・画素アレイ部、2・・・画素、3・・・水平セレクタ、4・・・ライトスキャナ、T1・・・サンプリングトランジスタ、T2・・・ドライブトランジスタ、C1・・・保持容量、EL・・・発光素子、EL1・・・サブ発光素子、EL2・・・サブ発光素子、EL3・・・サブ発光素子、WS・・・走査線、SL・・・信号線

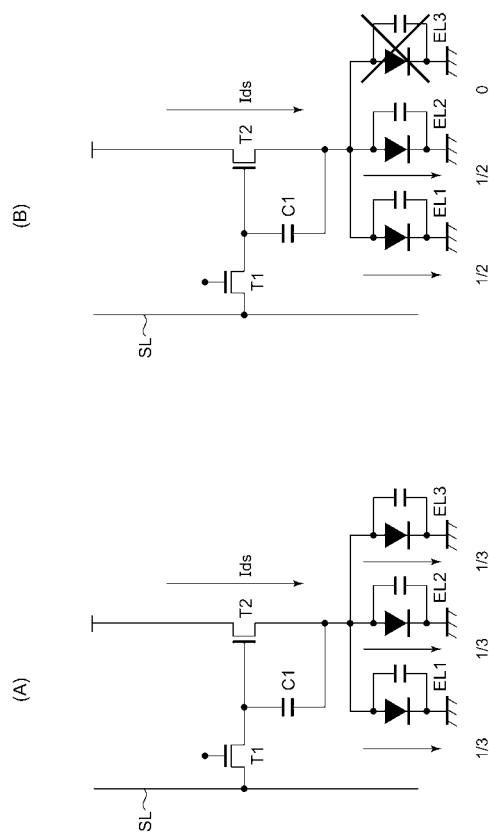
【図 1】



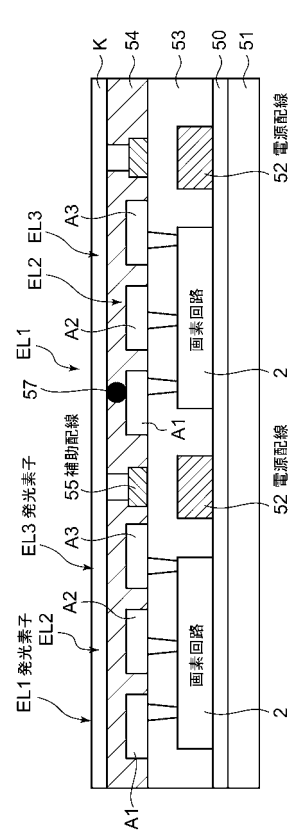
【図 2】



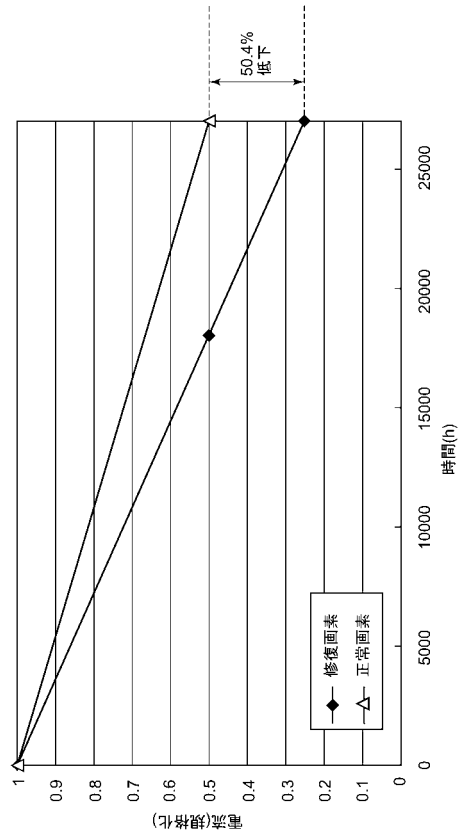
【図 3】



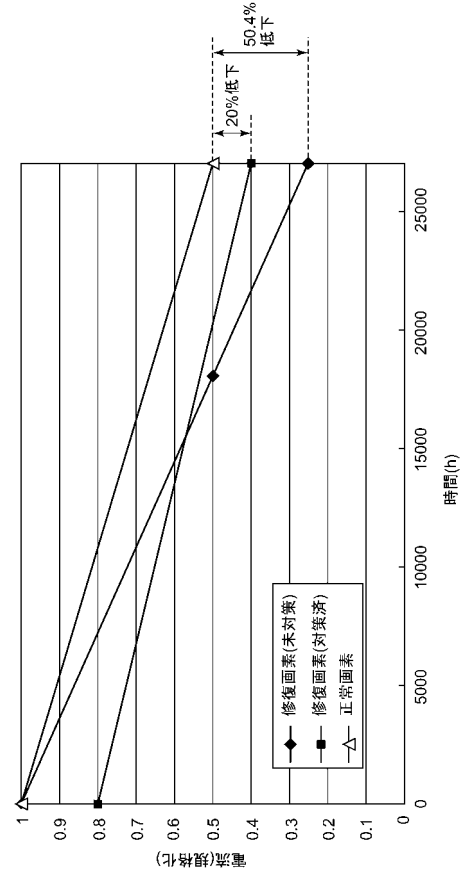
【図 4】



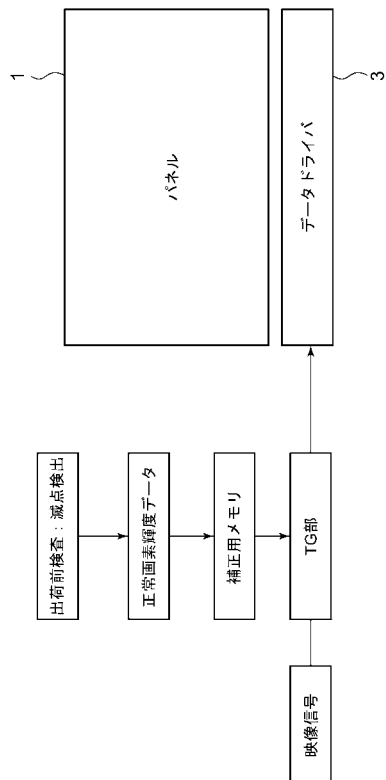
【図 5】



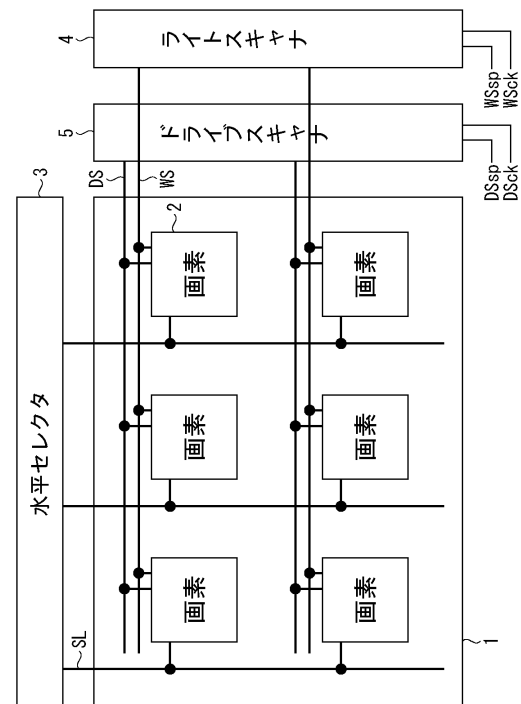
【図 6 - 1】



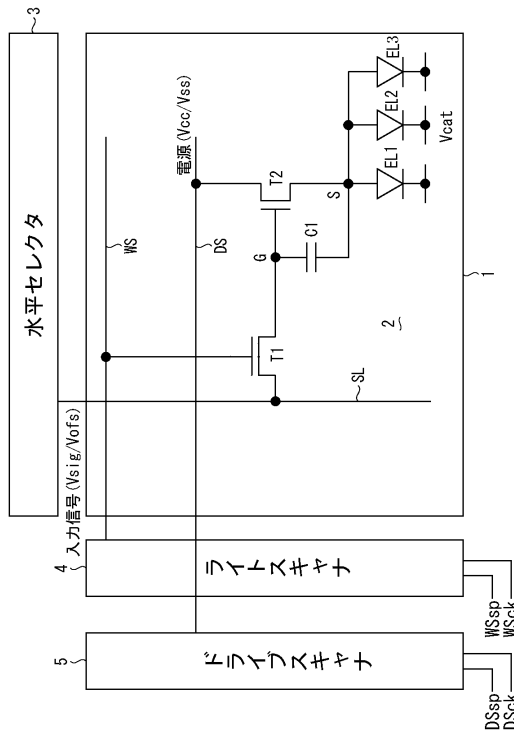
【図 6 - 2】



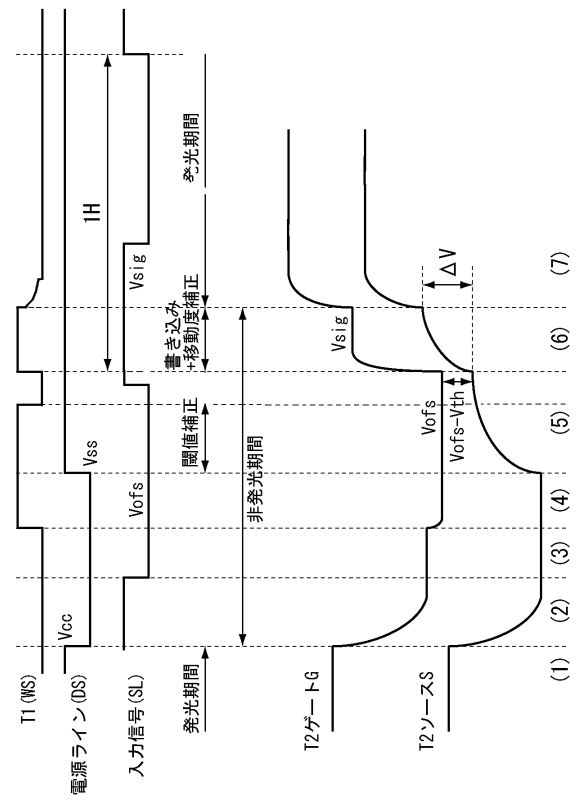
【図 7】



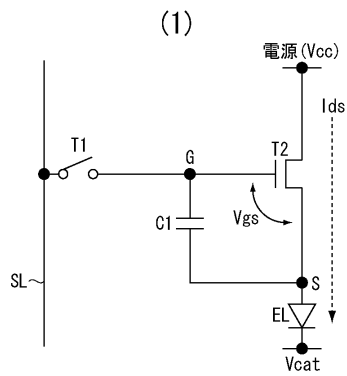
【図 8】



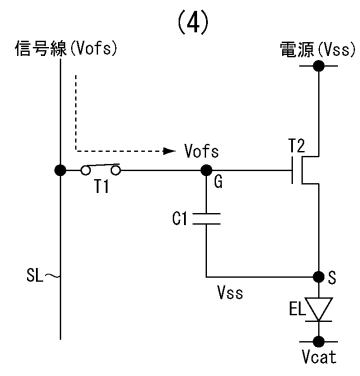
【図 9】



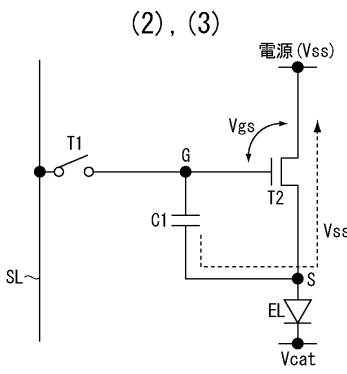
【図 10】



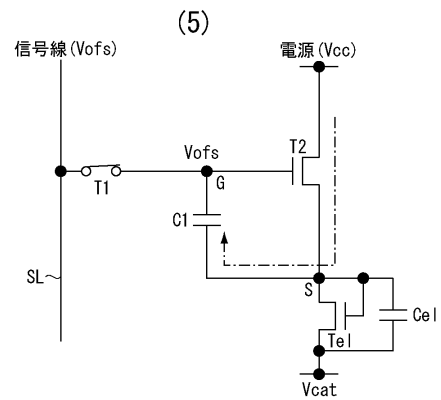
【図 12】



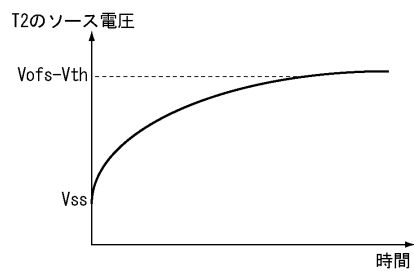
【図 11】



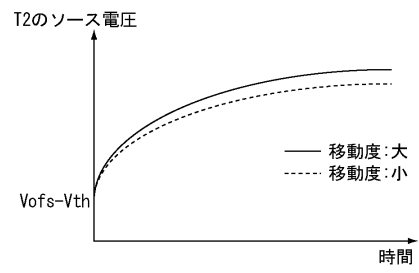
【図 13】



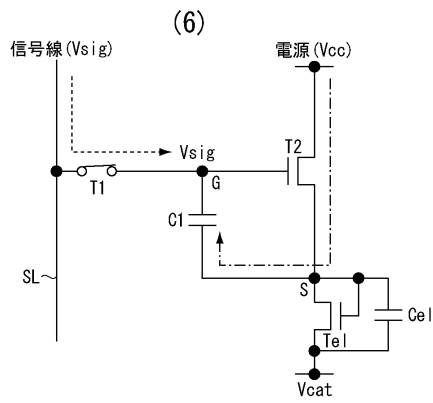
【図 14】



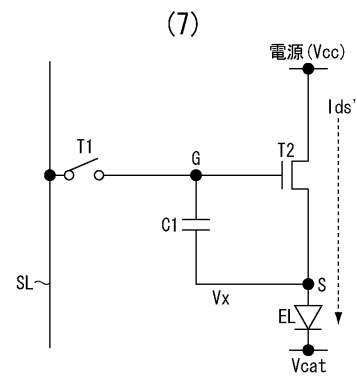
【図 16】



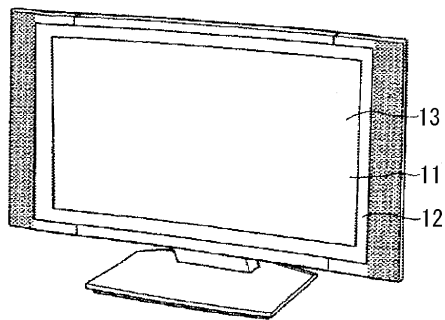
【図 15】



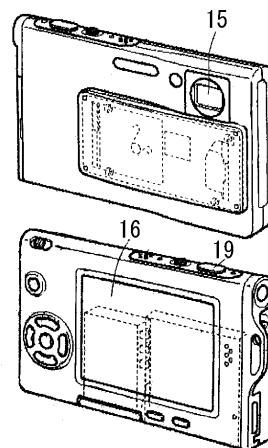
【図 17】



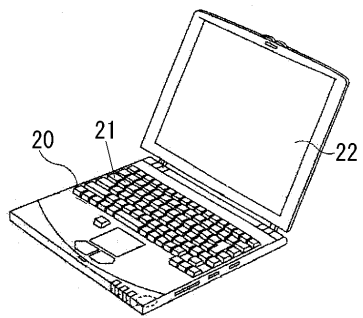
【図 18】



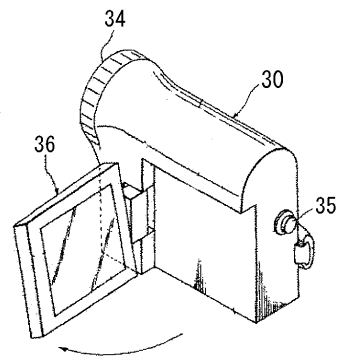
【図 19】



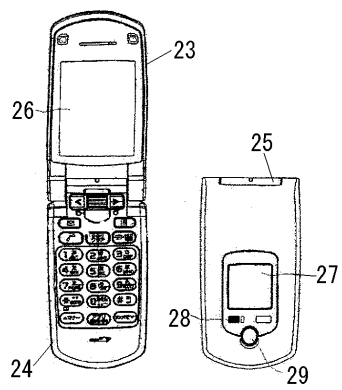
【図 20】



【図 22】



【図 21】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
H 0 5 B 33/14 A

(56)参考文献 特開 2 0 0 1 - 2 5 7 0 8 0 (J P , A)
特開 2 0 0 5 - 0 8 5 7 3 7 (J P , A)
特開 2 0 0 3 - 2 3 3 3 2 9 (J P , A)
特開 2 0 0 3 - 2 8 0 5 9 3 (J P , A)
特開 2 0 0 6 - 3 3 0 4 6 9 (J P , A)
特開 2 0 0 7 - 0 4 1 5 7 4 (J P , A)
特開 2 0 0 8 - 0 6 5 2 0 0 (J P , A)
特開 2 0 0 5 - 3 5 2 3 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0