

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年11月17日(17.11.2022)



(10) 国際公開番号

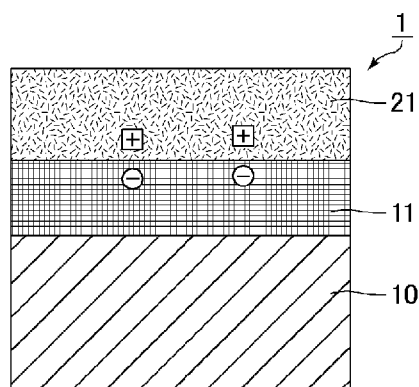
WO 2022/239719 A1

- (51) 国際特許分類:  
H01L 27/04 (2006.01) H01P 1/20 (2006.01)  
H01G 4/30 (2006.01) H03H 7/46 (2006.01)  
H01G 4/33 (2006.01) H03H 9/17 (2006.01)  
H01L 21/822 (2006.01) H03H 9/25 (2006.01)
- (21) 国際出願番号: PCT/JP2022/019621
- (22) 国際出願日: 2022年5月9日(09.05.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-079850 2021年5月10日(10.05.2021) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 伊藤 是清 (ITO, Korekiyo); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 原田 真臣 (HARADA, Masatomi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人 W i s e P l u s (WISEPLUS IP FIRM); 〒5320003 大阪府大阪市淀川区宮原3丁目5番36号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) Title: PASSIVE ELECTRONIC COMPONENT SUPPORT SUBSTRATE, PASSIVE ELECTRONIC COMPONENT, SEMICONDUCTOR DEVICE, MATCHING CIRCUIT AND FILTER CIRCUIT

(54) 発明の名称: 受動電子部品用の支持基板、受動電子部品、半導体装置、マッチング回路及びフィルタ回路

図2



(57) Abstract: A passive electronic component support substrate 1 comprises: a semiconductor substrate 10; a charge-trapping layer 11 provided on the semiconductor substrate 10 and having a high density of crystal defects in relation to the semiconductor substrate 10; and an insulation layer 21 provided on the charge-trapping layer 11. The insulation layer 21 comprises a silicon nitride. The N atom concentration ratio to the total amount of Si and N contained in the insulation layer 21 is 45 atom% or less. Alternatively, the insulation layer 21 includes: a first insulation layer 21A that is provided on the charge-trapping layer 11; and a second insulation layer 21B that is provided on the first insulation layer 21A. The internal fixed charge polarities in the first insulation layer 21A and the second insulation layer 21B are opposite. The thickness of the first insulation layer 21 is 0.5-3 nm inclusive.

WO 2022/239719 A1

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,  
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,  
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

---

(57) 要約: 受動電子部品用の支持基板1は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、を備える。絶縁層21はシリコン窒化物からなり、絶縁層21に含有されるSiとNの総量に対するNの原子濃度比が45atom%以下である。あるいは、絶縁層21は、電荷トラップ層11上に設けられた第1絶縁層21Aと、第1絶縁層21A上に設けられた第2絶縁層21Bと、を含み、第1絶縁層21Aと第2絶縁層21Bで内部の固定電荷の極性が逆であり、第1絶縁層21Aの厚みが0.5nm以上3nm以下である。

## 明 細 書

発明の名称：

受動電子部品用の支持基板、受動電子部品、半導体装置、マッチング回路及びフィルタ回路

### 技術分野

[0001] 本発明は、受動電子部品用の支持基板に関する。さらに、本発明は、上記支持基板を備える受動電子部品及び半導体装置、並びに、上記半導体装置を備えるマッチング回路及びフィルタ回路に関する。

### 背景技術

[0002] 半導体集積回路に用いられる代表的なキャパシタ素子として、例えばMIM (Metal Insulator Metal) キャパシタが知られている。MIMキャパシタは、絶縁体を下部電極と上部電極とで挟んだ平行平板型の構造を有するキャパシタである。

[0003] キャパシタ等の受動電子部品に用いられる支持基板として、特許文献1には、平面シリコンウェハと、該ウェハ上の多結晶シリコンの平面層と、該多結晶シリコン層上の絶縁層とを備える基板が開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2007-258713号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 特許文献1に記載されているような支持基板では、高抵抗の単結晶シリコン基板と $\text{SiO}_2$ 等からなる絶縁層との間に多結晶シリコン層を形成することで、単結晶シリコン基板と絶縁層との界面に低抵抗の層が発生することを抑制する。それにより、支持基板上に形成されるMIMキャパシタ等の受動電子部品のQ特性の劣化、より具体的には、高周波領域での寄生容量によるQ

特性の劣化を低減することができる。

[0006] 図1は、従来の支持基板の一例を示す模式図である。図1においては、電荷の状態として、□で囲まれた+は正の固定電荷、○で囲まれた-は負の可動電荷（電子）、○で囲まれた+は正の可動電荷を表している。

[0007] 図1に示す支持基板1aは、p型の単結晶Si基板である半導体基板10と、半導体基板10上に設けられ、多結晶Siからなる電荷トラップ層11と、電荷トラップ層11上に設けられ、SiO<sub>2</sub>からなる絶縁層21と、を備える。絶縁層21がSiO<sub>2</sub>からなる場合、絶縁層21の内部の固定電荷は正である。図1に示すように、絶縁層21内の固定電荷に引き寄せられた蓄積電荷（ここでは電子）は、電荷トラップ層11でトラップされる。

[0008] 特許文献1にはSiO<sub>2</sub>等の酸化物が絶縁層21の構成材料として開示されているが、SiO<sub>2</sub>からなる絶縁層21内には正の固定電荷が多量に内在しているため、多結晶Siからなる電荷トラップ層11内に多量の電子を発生させる。そのため、電荷トラップ層11の電荷トラップサイト（結晶欠陥）の密度が不足すると、発生した電子の一部をトラップしきれなくなるおそれがある。また、デバイス作製プロセス中の熱負荷、経時変化等による多結晶Siの結晶化の進行でも同様に電荷トラップサイト（結晶欠陥）の密度が減少するため、発生した電子をトラップしきれなくなるおそれがある。その場合、寄生容量による特性の劣化が発生してしまう。

[0009] 本発明は、上記の問題を解決するためになされたものであり、電荷トラップ層内に発生する可動電荷を低減できる、受動電子部品用の支持基板を提供することを目的とする。さらに、本発明は、上記支持基板を備える受動電子部品及び半導体装置、並びに、上記半導体装置を備えるマッチング回路及びフィルタ回路を提供することを目的とする。

### 課題を解決するための手段

[0010] 本発明の受動電子部品用の支持基板は、半導体基板と、上記半導体基板上に設けられ、上記半導体基板に対して結晶欠陥の密度が高い電荷トラップ層と、上記電荷トラップ層上に設けられた絶縁層と、を備える。

- [0011] 第1の態様において、上記絶縁層はシリコン窒化物からなり、上記絶縁層に含有されるSiとNの総量に対するNの原子濃度比が45atom%以下である。
- [0012] 第2の態様において、上記絶縁層は、上記電荷トラップ層上に設けられた第1絶縁層と、上記第1絶縁層上に設けられた第2絶縁層と、を含み、上記第1絶縁層と上記第2絶縁層で内部の固定電荷の極性が逆であり、上記第1絶縁層の厚みが0.5nm以上3nm以下である。
- [0013] 本発明の受動電子部品は、本発明の支持基板を備える。
- [0014] 本発明の半導体装置は、本発明の支持基板と、上記支持基板上に設けられた第1電極層と、上記第1電極層上に設けられた誘電体膜と、上記誘電体膜上に設けられた第2電極層と、上記第1電極層及び上記第2電極層を覆う保護層と、上記保護層を貫通する外部電極と、を備える。
- [0015] 本発明のマッチング回路は、本発明の半導体装置を備える。
- [0016] 本発明のフィルタ回路は、本発明の半導体装置を備える。

### 発明の効果

- [0017] 本発明によれば、電荷トラップ層内に発生する可動電荷を低減できる、受動電子部品用の支持基板を提供することができる。さらに、本発明によれば、上記支持基板を備える受動電子部品及び半導体装置、並びに、上記半導体装置を備えるマッチング回路及びフィルタ回路を提供することができる。

### 図面の簡単な説明

- [0018] [図1]図1は、従来の支持基板の一例を示す模式図である。
- [図2]図2は、本発明の第1実施形態に係る支持基板の一例を示す模式図である。
- [図3]図3は、本発明の第1実施形態に係る支持基板の別の一例を示す模式図である。
- [図4]図4は、絶縁層に含有されるSiとNの総量に対するNの原子濃度比と固定電荷密度との関係を示すグラフである。
- [図5]図5A～図5Dは、絶縁層の内部の固定電荷が正である場合の可動電荷

の状態を示す模式図である。

[図6]図6は、固定電荷の測定方法を説明するための上面図である。

[図7]図7は、固定電荷の測定方法を説明するための断面図である。

[図8]図8は、C-V曲線の一例を示すグラフである。

[図9]図9は、本発明の第2実施形態に係る支持基板の一例を示す模式図である。

[図10]図10は、 $\text{SiO}_2$ からなる第1絶縁層と $\text{SiN}$ からなる第2絶縁層とを備える2層構造の絶縁層において、 $\text{SiO}_2$ の膜厚と固定電荷密度との関係を示すグラフである。

[図11]図11は、本発明の支持基板を備えるキャパシタの一例を模式的に示す断面図である。

[図12]図12は、本発明の支持基板を備えるキャパシタの一例を模式的に示す平面図である。

[図13]図13は、本発明の支持基板を備えるキャパシタの別の一例を模式的に示す断面図である。

[図14]図14は、本発明の支持基板を備える弾性表面波素子の一例を模式的に示す断面図である。

[図15]図15は、本発明の支持基板を備えるバルク弾性波素子の一例を模式的に示す断面図である。

[図16]図16は、マッチング回路の一例を示す説明図である。

[図17]図17は、フィルタ回路の一例を示す説明図である。

### 発明を実施するための形態

[0019] 以下、本発明の受動電子部品用の支持基板（以降、「受動電子部品用の支持基板」を「支持基板」と略記することがある）について説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。なお、以下において記載する本発明の個々の好ましい構成を2つ以上組み合わせたものもまた本発明である。

[0020] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についても記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎に逐次言及しない。

[0021] [第1実施形態]

本発明の第1実施形態に係る支持基板は、半導体基板と、上記半導体基板上に設けられ、上記半導体基板に対して結晶欠陥の密度が高い電荷トラップ層と、上記電荷トラップ層上に設けられた絶縁層と、を備える。

[0022] 本発明の第1実施形態では、絶縁層がシリコン窒化物からなり、絶縁層に含有されるSiとNの総量に対するNの原子濃度比が45atom%以下である。

[0023] 図2は、本発明の第1実施形態に係る支持基板の一例を示す模式図である。図3は、本発明の第1実施形態に係る支持基板の別の一例を示す模式図である。図2及び図3においては、□で囲まれた-は負の固定電荷、□で囲まれた+は正の固定電荷、○で囲まれた-は負の可動電荷（電子）、○で囲まれた+は正の可動電荷を表している。

[0024] 図2に示す支持基板1は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、を備える。図2に示す支持基板1では、絶縁層21の内部の固定電荷は正である。

[0025] 図3に示す支持基板1Aは、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、を備える。図3に示す支持基板1Aでは、絶縁層21の内部の固定電荷は負である。

[0026] 本発明の第1実施形態に係る支持基板においては、絶縁層と電荷トラップ層との界面に発生する可動電荷を低減するように、絶縁層の内部の固定電荷が調整されている。具体的には、内部の固定電荷を小さくした絶縁層を電荷

トラップ層との界面に形成することで、電荷トラップ層の内部に発生する可動電荷を低減できる。

[0027] これにより、下記の効果が得られる。

- ・電荷トラップ層の抵抗率が更に上がることで、半導体基板からの寄生容量の影響を更に低減できる。

- ・電荷トラップ層への要求性能を低くすることができる。例えば、電荷トラップ層の構成材料の耐熱温度及び耐熱時間を延ばすことができるため、デバイス作製プロセスでの製法又は温度の制約を少なくできる。

[0028] 半導体基板は、高抵抗のSi基板であることが好ましく、単結晶Si基板であることがより好ましい。

[0029] 半導体基板の抵抗率は、好ましくは $3\text{ k}\Omega\cdot\text{cm}$ 以上であり、より好ましくは $5\text{ k}\Omega\cdot\text{cm}$ 以上である。

[0030] 単結晶Si基板等のSi基板は、p型でもよく、n型でもよいが、高抵抗のn型Si基板は脆く、抵抗の制御が難しいため、p型の方が好ましい。

[0031] 半導体基板に対して結晶欠陥の密度が高い電荷トラップ層は、絶縁層との間に発生する可動電荷をトラップする。電荷トラップ層の構成材料は、電荷をトラップするサイトを有する多結晶Si又はアモルファスSi等の高抵抗の半導体材料が好ましい。

[0032] 電荷トラップ層の抵抗率は、半導体基板の抵抗率と同等であるか、半導体基板の抵抗率より高いことが好ましい。

[0033] 電荷トラップ層において可動電荷の存在する領域は、絶縁層との界面付近が最も密度が高く、絶縁層から離れるにしたがって減少するが、 $1\sim 2\ \mu\text{m}$ 程度の深さまでは広がっている。そのため、電荷トラップ層の厚みは、 $1\ \mu\text{m}$ 以上が好ましく、 $2\ \mu\text{m}$ 以上がより好ましい。一方、電荷トラップ層の厚みは、例えば $10\ \mu\text{m}$ 以下である。

[0034] 電荷トラップ層の具体例としては、多結晶Si膜、アモルファスSi膜、Si表面への希ガスのイオン注入による結晶破壊層、研削又は研磨による結晶歪み層等が挙げられる。中でも、膜構造の熱安定性、厚みの制御のしやす

さから、電荷トラップ層の構成材料は、多結晶Si又はアモルファスSiであることが好ましい。多結晶Si膜又はアモルファスSi膜は、それぞれ、化学蒸着法(CVD)、スパッタリング法等の蒸着法を用いて形成することができる。

[0035] 絶縁層は、内部に存在する固定電荷ができる限り小さいことが好ましい。上述したように、通常使用されるSiO<sub>2</sub>からなる絶縁層は正の固定電荷を持つが、Si/Oの組成比及び結合を制御することが難しいため、安定した膜として固定電荷の量を調整したり反転したりすることが容易ではない。そのため、最も安定して固定電荷を低減できる熱酸化膜が用いられてきた。しかし、熱酸化膜でも固定電荷の量が大きいため、電荷トラップ層の改善が検討されてきた。

[0036] それに対して、本発明の第1実施形態では、シリコン窒化物からなる絶縁層のSi/Nの組成比を調整して、Nリッチからシリッチに変化させることで、発生する固定電荷を負から正まで制御することができる。

[0037] 図4は、絶縁層に含有されるSiとNの総量に対するNの原子濃度比と固定電荷密度との関係を示すグラフである。

[0038] 化学量論比のシリコン窒化物であるSi<sub>3</sub>N<sub>4</sub>では、SiとNの総量に対するNの原子濃度比が57.2atom%である。Si<sub>3</sub>N<sub>4</sub>からなる絶縁層は負の固定電荷を持つ。図4より、絶縁層に含有されるSiとNの総量に対するNの原子濃度比を46atom%以下とすることで固定電荷を小さくすることができる。特に、絶縁層に含有されるSiとNの総量に対するNの原子濃度比が45atom%以下である場合、固定電荷を非常に小さくすることができる。

[0039] 絶縁層に含有されるSiとNの総量に対するNの原子濃度比が44atom%を超えて45atom%以下である場合、絶縁層の内部の固定電荷の大きさを非常に小さな負にすることができる。一方、絶縁層に含有されるSiとNの総量に対するNの原子濃度比が44atom%以下である場合、絶縁層の内部の固定電荷の大きさを非常に小さな正にすることができる。より安

定的に正にするためには43atom%以下であることが好ましい。上述の図2には、絶縁層の内部の固定電荷が正である場合における電荷トラップ層との界面に発生する可動電荷の状態が示されており、図3には、絶縁層の内部の固定電荷が負である場合における電荷トラップ層との界面に発生する可動電荷の状態が示されている。

[0040] 絶縁層に含有されるSiとNの総量に対するNの原子濃度比の下限は特に限定されないが、38atom%未満であると、絶縁性の劣化により寄生容量が増大するため、Q特性が劣化するおそれがある。そのため、絶縁層に含有されるSiとNの総量に対するNの原子濃度比は38atom%以上であることが好ましい。

[0041] 絶縁層に含有されるSiとNの総量に対するNの原子濃度比は、X線光電子分光法(XPS)により絶縁層の構成元素を分析することによって算出することができる。

[0042] 以下に、XPSの測定条件を示す。

測定装置：アルバック・ファイ社製 Quantes

測定領域：100 $\mu$ m $\phi$

測定深さ：100nm

[0043] シリコン窒化物からなる絶縁層は、CVD、スパッタリング法等の蒸着法を用いて形成することができる。

[0044] シリコン窒化物からなる絶縁層の厚みは、10nm以上、2000nm以下であることが好ましい。

[0045] 図5A～図5Dは、絶縁層の内部の固定電荷が正である場合の可動電荷の状態を示す模式図である。

[0046] 図5A～図5Dに示すように、半導体基板10の導電型、電荷トラップ層11の導電型及び絶縁層21の内部の固定電荷の極性の組合せによって、可動電荷の抑制効果に違いがある。絶縁層21の内部の固定電荷が正である場合、図5Dに示すように、半導体基板10の導電型がn型であり、電荷トラップ層11の導電型がn型であると、電荷トラップ層11の内部に反転領域

12及び空乏層13（図5A～図5C参照）が形成されずに可動電荷の領域が $5\mu\text{m}$ 以上となるため、電荷トラップ層11の中に可動電荷が納まりきらなくなる。その結果、半導体基板10に可動電荷の一部が漏れて、低抵抗な領域ができてしまう。以上より、絶縁層21の内部の固定電荷が正である場合には、図5A～図5Cに示すように、半導体基板10の導電型及び電荷トラップ層11の導電型の組合せがp型-p型、p型-n型又はn型-p型であることが好ましい。

[0047] 一方、絶縁層21の内部の固定電荷が負である場合、半導体基板10の導電型がp型であり、電荷トラップ層11の導電型がp型であると、電荷トラップ層11の内部に反転領域12及び空乏層13（図5A～図5C参照）が形成されずに可動電荷の領域が $5\mu\text{m}$ 以上となるため、電荷トラップ層11の中に可動電荷が納まりきらなくなる。その結果、半導体基板10に可動電荷の一部が漏れて、低抵抗な領域ができてしまう。以上より、絶縁層21の内部の固定電荷が負である場合、半導体基板10の導電型及び電荷トラップ層11の導電型の組合せがn型-n型、n型-p型又はp型-n型であることが好ましい。

[0048] さらに、絶縁層21と電荷トラップ層11との界面に発生する電荷について、電子の移動度よりもホール移動度の方が小さい。高周波での動作の場合、抵抗の低下の程度が小さくなるため、絶縁層21と電荷トラップ層11との界面に発生する電荷はホールであることが好ましい。

[0049] 図6は、固定電荷の測定方法を説明するための上面図である。図7は、固定電荷の測定方法を説明するための断面図である。

[0050] 図6及び図7に示すように、抵抗率 $1\Omega\cdot\text{cm}$ 以上 $10\Omega\cdot\text{cm}$ 以下のSi基板である半導体基板100の一方主面に絶縁層121を形成し、絶縁層121上に電極122を形成する。さらに、半導体基板10の他方主面に電極123を形成する。その後、図7に示すように、電極122と電極123との間のC-V特性を評価する。

[0051] 図8は、C-V曲線の一例を示すグラフである。

[0052] 図8に示すように、 $C-V$ 曲線の計算から求めた理想曲線 $S_0$ からの実際の $C-V$ 特性 $S_1$ のシフト量 $\Delta V$ に絶縁層の容量 $C$ をかけることで、固定電荷の総量を算出することができる。図8において、理想曲線 $S_0$ からのシフトが左側の場合は固定電荷の極性が正、右側の場合は固定電荷の極性が負となる。

式1：固定電荷の総量＝絶縁層の容量 $C \times$ シフト量 $\Delta V$

式2：固定電荷の総量によるシフト量 $\Delta V =$ 界面の固定電荷によるシフト量 $\Delta V_{IFC} +$ 絶縁層中の固定電荷によるシフト量 $\Delta V_{OFC}$

[0053] [第2実施形態]

本発明の第2実施形態では、絶縁層が、電荷トラップ層上に設けられた第1絶縁層と、第1絶縁層上に設けられた第2絶縁層と、を含み、第1絶縁層と第2絶縁層で内部の固定電荷の極性が逆であり、第1絶縁層の厚みが0.5nm以上3nm以下である。

[0054] 図9は、本発明の第2実施形態に係る支持基板の一例を示す模式図である。図9においては、 $\square$ で囲まれた $-$ は負の固定電荷、 $\square$ で囲まれた $+$ は正の固定電荷、 $\circ$ で囲まれた $-$ は負の可動電荷（電子）を表している。

[0055] 図9に示す支持基板2は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、を備える。絶縁層21は、電荷トラップ層11上に設けられた第1絶縁層21Aと、第1絶縁層21A上に設けられた第2絶縁層21Bと、を含む。図9に示す支持基板2では、第1絶縁層21Aの内部の固定電荷は正であり、第2絶縁層21Bの内部の固定電荷は負である。すなわち、第1絶縁層21Aと第2絶縁層21Bで内部の固定電荷の極性が逆である。

[0056] 本発明の第2実施形態に係る支持基板においては、絶縁層と電荷トラップ層との界面に発生する可動電荷を低減するように、絶縁層を複層構造として、絶縁層の見かけ上の固定電荷を小さくしている。具体的には、電荷トラップ層と接する第1絶縁層を非常に薄くして、その上に接する第2絶縁層の内部の固定電荷の極性を第1絶縁層の内部の固定電荷の極性と逆にするこ

、電荷トラップ層の内部に発生する可動電荷を低減できる。

[0057] 本発明の第2実施形態では、内部の固定電荷の大きい絶縁層を使用することができるため、第1実施形態に比べて材料の選択肢が広がる。

[0058] これにより、下記の効果が得られる。

- ・電荷トラップ層の抵抗率が更に上がることで、半導体基板からの寄生容量の影響を更に低減できる。

- ・電荷トラップ層への要求性能を低くすることができる。例えば、電荷トラップ層の構成材料の耐熱温度及び耐熱時間を延ばすことができるため、デバイス作製プロセスでの製法又は温度の制約を少なくできる。

- ・発生する可動電荷の大きさを正確に制御できるため、プロセスのマージンが増える。

[0059] 本発明の第2実施形態に係る支持基板において、絶縁層以外の構成は、本発明の第1実施形態に係る支持基板と同じである。

[0060] 図10は、 $\text{SiO}_2$ からなる第1絶縁層と $\text{SiN}$ からなる第2絶縁層とを備える2層構造の絶縁層において、 $\text{SiO}_2$ の膜厚と固定電荷密度との関係を示すグラフである。図10には、多結晶 $\text{Si}$ からなる電荷トラップ層との界面に対する絶縁層の合成の固定電荷密度（2層の合計の固定電荷密度）が示されている。

[0061] 電荷トラップ層と第1絶縁層との界面に影響する絶縁層の見かけ上の固定電荷は、第1絶縁層の厚みとの間で図10に示すような関係になる。図10より、第1絶縁層の厚みを0.5nm以上3nm以下とすることで、見かけ上の固定電荷を非常に小さくすることができる。したがって、第1絶縁層の厚みは、0.5nm以上3nm以下であり、好ましくは0.5nm以上1.5nm以下である。なお、第2絶縁層の固定電荷の大きさによって、第1絶縁層の適正な厚みは変わる。

[0062] 固定電荷のばらつきを抑えるために、第1絶縁層の構成材料として、固定電荷の安定した材料を用いることが好ましい。具体的には、第1絶縁層の構成材料は、 $\text{Si}$ と $\text{O}$ 、 $\text{N}$ 、 $\text{F}$ 及び $\text{C}$ からなる群より選択される少なくとも1

種とを含む化合物、又は、AlとOとを含む化合物であることが好ましく、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiOF}$ 、 $\text{SiOC}$ 又は $\text{Al}_2\text{O}_3$ であることが好ましい。 $\text{SiO}_2$ は正の固定電荷を持ち、 $\text{SiOF}$ 、 $\text{SiOC}$ 、 $\text{Al}_2\text{O}_3$ は負の固定電荷を持つ。 $\text{SiN}$ は形成条件によって正又は負の固定電荷を持たすことができる。これらの材料は、電荷トラップ層を構成する多結晶Si等の表面の熱酸化処理、プラズマによる酸化処理、プラズマによる窒化処理、プラズマによるフッ化処理、プラズマによる炭化処理、成膜法（CVD、スパッタ、ALD、蒸着）などで形成できる。中でも、多結晶Si表面の自然酸化膜の不安定状態を排除して安定した表面とすることができるため、多結晶Siの表面処理によって第1絶縁層を形成することが好ましい。

[0063] 第2絶縁層の構成材料は、第1絶縁層と極性が逆の固定電荷を持つ材料であればよく、例えば、 $\text{SiN}$ 又は $\text{SiO}_2$ であることが好ましい。

[0064] 第2絶縁層の厚みは、3nm以上であることが好ましい。第2絶縁層の厚みが3nm以上であれば効果は一定であるため、第2絶縁層は厚い方がよいが、例えば、2000nm以下である。

[0065] 第2絶縁層は、CVD、スパッタリング法等の蒸着法を用いて形成することができる。

[0066] 第1絶縁層、第2絶縁層などの各層の厚みは、透過型電子顕微鏡（TEM）を用いて観察される断面から任意の10箇所の厚みを測定し、その平均値から求めることができる。

[0067] 本発明の支持基板は、例えば高周波用途の低容量キャパシタ用の支持基板として用いることで、高周波帯域での半導体基板との寄生容量によるQ特性の低下を抑制することができる。同様に、高周波帯域で使用される、単結晶圧電薄膜を備える弾性表面波素子、メンブレン型のバルク弾性波素子（FBAR）等の受動電子部品用の支持基板としても用いることで、キャパシタと同様の効果を得ることができる。このように、本発明の支持基板を備える受動電子部品も、本発明の1つである。

[0068] 以下、本発明の支持基板を備える受動電子部品の具体例について説明する

。受動電子部品としては、例えば、キャパシタ、弾性表面波素子、バルク弾性波素子等が挙げられる。なお、本発明の支持基板を備える半導体装置も、本発明の1つである。半導体装置は、キャパシタ等の受動電子部品そのものであってもよく、キャパシタ等の受動電子部品を含む装置であってもよい。

[0069] 図11は、本発明の支持基板を備えるキャパシタの一例を模式的に示す断面図である。図12は、本発明の支持基板を備えるキャパシタの一例を模式的に示す平面図である。図11は、図12に示すキャパシタのX1-X1線に沿った断面図である。

[0070] 図11及び図12に示すキャパシタ200は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、絶縁層21上に設けられた第1電極層22と、第1電極層22上に設けられた誘電体膜23と、誘電体膜23上に設けられた第2電極層24と、第1電極層22及び第2電極層24を覆う保護層25と、保護層25を貫通する外部電極26と、を備える。外部電極26は、第1電極層22に接続された第1外部電極26Aと、第2電極層24に接続された第2外部電極26Bと、を含む。第1外部電極26Aは保護層25及び誘電体膜23を貫通し、第2外部電極26Bは保護層25を貫通する。

[0071] キャパシタ200では、半導体基板10、電荷トラップ層11及び絶縁層21により、本発明の支持基板が構成されている。絶縁層21の構成は、本発明の第1実施形態で説明した構成でもよく、第2実施形態で説明した構成でもよい。

[0072] 第1電極層22は、半導体基板10の端部と離れた位置に設けられている。すなわち、第1電極層22の端部は、半導体基板10の端部よりも内側に位置している。

[0073] 第1電極層22を構成する材料は、特に限定されないが、好ましくは、Cu、Ag、Au、Al、Ni、CrもしくはTi又はこれらの金属を少なくとも1種含む合金等が挙げられる。

- [0074] 誘電体膜 23 は、開口を除く部分で第 1 電極層 22 を覆うように設けられ、誘電体膜 23 の端部は、第 1 電極層 22 の端部から半導体基板 10 の端部までの絶縁層 21 の表面上にも設けられている。
- [0075] 誘電体膜 23 を構成する材料は、特に限定されないが、好ましくは、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{Ta}_2\text{O}_5$ 等の酸化物又は窒化物が挙げられる。
- [0076] 第 2 電極層 24 は、誘電体膜 23 を挟んで第 1 電極層 22 に対向して設けられている。
- [0077] 第 2 電極層 24 を構成する材料は、特に限定されないが、好ましくは、 $\text{Cu}$ 、 $\text{Ag}$ 、 $\text{Au}$ 、 $\text{Al}$ 、 $\text{Ni}$ 、 $\text{Cr}$ もしくは $\text{Ti}$ 又はこれらの金属を少なくとも 1 種含む合金等が挙げられる。
- [0078] 保護層 25 は、第 2 電極層 24 に重なる開口を除く部分で誘電体膜 23 及び第 2 電極層 24 を覆うように設けられている。さらに、保護層 25 には、誘電体膜 23 の開口（第 1 電極層 22 に重なる開口）に重なる位置に開口が設けられている。保護層 25 が設けられていることにより、キャパシタ素子、特に、誘電体膜 23 が水分から保護される。
- [0079] 保護層 25 を構成する材料は、特に限定されないが、好ましくは、ポリイミド樹脂、ソルダーレジスト中の樹脂等の樹脂材料が挙げられる。
- [0080] 誘電体膜 23 及び保護層 25 との間に耐湿膜が設けられていてもよい。その場合、耐湿膜は、第 2 電極層 24 に重なる開口と第 1 電極層 22 に重なる開口とを除く部分で誘電体膜 23 及び第 2 電極層 24 を覆うように設けられる。耐湿膜が設けられていることにより、キャパシタ素子、特に、誘電体膜 23 の耐湿性が高まる。
- [0081] 耐湿膜を構成する材料は、特に限定されないが、好ましくは、 $\text{SiO}_2$ 、 $\text{SiN}$ 等の耐湿性材料が挙げられる。
- [0082] 外部電極 26 を構成する材料は、特に限定されないが、好ましくは、 $\text{Cu}$ 、 $\text{Ni}$ 、 $\text{Ag}$ 、 $\text{Au}$ 又は $\text{Al}$ 等が挙げられる。外部電極 26 は、単層構造であってもよいし、多層構造であってもよい。外部電極 26 の最表面は、 $\text{Au}$

又は $S_n$ から構成されることが好ましい。

[0083] 上記の構造を有するキャパシタは、本発明の支持基板を作製した後、例えば国際公開第2019/021827号等に記載の公知の方法で製造することができる。

[0084] 図13は、本発明の支持基板を備えるキャパシタの別の一例を模式的に示す断面図である。

[0085] 図13に示すキャパシタ210は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、絶縁層21上に設けられた第1電極層22と、第1電極層22上に設けられた誘電体膜23と、誘電体膜23上に設けられた第2電極層24と、誘電体膜23上に第2電極層24と離れて設けられた第3電極層27と、第2電極層24及び第3電極層27を覆う保護層25と、保護層25を貫通する外部電極26と、を備える。外部電極26は、第3電極層27に接続された第1外部電極26Aと、第2電極層24に接続された第2外部電極26Bと、を含む。第1外部電極26Aは保護層25を貫通し、第2外部電極26Bは保護層25を貫通する。

[0086] 図11に示すキャパシタ200の構成では、左側にキャパシタが形成されているのに対し、図13に示すキャパシタ210の構成では、左右にキャパシタが形成されている。図13に示す構成では、図11に示す構成において第1電極層22に第1外部電極26Aが接続されている部分を、第1電極層22、誘電体膜23、第3電極層27の順に設けられた構成物に置き換えているだけである。そのため、図13に示す構成は、図11に示す構成に対して追加の素子形成スペースを取る必要がない。したがって、同じ素子の面積のまま、低容量のキャパシタを作製することができる。このような構造は、一定以上の厚みの誘電体膜を形成できない場合に有効である。

[0087] 図14は、本発明の支持基板を備える弾性表面波素子の一例を模式的に示す断面図である。

[0088] 図14に示す弾性表面波素子300は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、絶縁層21上に設けられた単結晶圧電薄膜31と、単結晶圧電薄膜31上に設けられたIDT(InterDigital Transducer)電極32と、IDT電極32を覆う保護層35と、保護層35を貫通する外部電極36と、と備える。

[0089] 弾性表面波素子300では、半導体基板10、電荷トラップ層11及び絶縁層21により、本発明の支持基板が構成されている。絶縁層21の構成は、本発明の第1実施形態で説明した構成でもよく、第2実施形態で説明した構成でもよい。

[0090] 図15は、本発明の支持基板を備えるバルク弾性波素子の一例を模式的に示す断面図である。

[0091] 図15に示すバルク弾性波素子400は、半導体基板10と、半導体基板10上に設けられ、半導体基板10に対して結晶欠陥の密度が高い電荷トラップ層11と、電荷トラップ層11上に設けられた絶縁層21と、絶縁層21上に設けられた第1電極層42と、第1電極層42上に設けられた圧電膜43と、圧電膜43上に設けられた第2電極層44と、第1電極層42、圧電膜43及び第2電極層44を覆う保護層45と、保護層45を貫通する外部電極46と、を備える。外部電極46は、第1電極層22に接続された第1外部電極46Aと、第2電極層24に接続された第2外部電極46Bと、を含む。第1外部電極46Aは保護層45を貫通し、第2外部電極46Bは保護層45を貫通する。

[0092] 図15に示すバルク弾性波素子400では、少なくとも第1電極層42と第2電極層44とが重なる領域の下部にある半導体基板10の一部に空洞47が形成されている。したがって、バルク弾性波素子400は、いわゆるメンブレン構造を有する。

[0093] バルク弾性波素子400では、半導体基板10、電荷トラップ層11及び

絶縁層 2 1 により、本発明の支持基板が構成されている。絶縁層 2 1 の構成は、本発明の第 1 実施形態で説明した構成でもよく、第 2 実施形態で説明した構成でもよい。

[0094] 本発明の受動電子部品の一例である本発明の半導体装置は、高い Q 特性を有するため、マッチング回路又はフィルタ回路のキャパシタとして好適に用いられる。本発明の半導体装置を備えるマッチング回路又はフィルタ回路も本発明の 1 つである。

[0095] 図 1 6 は、マッチング回路の一例を示す説明図である。

[0096] 例えば、図 1 6 に示すマッチング回路のキャパシタ C に本発明の半導体装置を用いることによって、回路全体の消費電力を抑制することができる。

[0097] 図 1 7 は、フィルタ回路の一例を示す説明図である。

[0098] 例えば、図 1 7 に示すフィルタ回路のキャパシタ C 1 に本発明の半導体装置を用いることによって、回路全体の消費電力を抑制することができる。

## 符号の説明

- [0099] 1、1 A、1 a、2 支持基板（受動電子部品用の支持基板）  
1 0、1 0 0 半導体基板  
1 1 電荷トラップ層  
1 2 反転領域  
1 3 空乏層  
2 1、1 2 1 絶縁層  
2 1 A 第 1 絶縁層  
2 1 B 第 2 絶縁層  
2 2、4 2 第 1 電極層  
2 3 誘電体膜  
2 4、4 4 第 2 電極層  
2 5、3 5、4 5 保護層  
2 6、3 6、4 6 外部電極  
2 6 A、4 6 A 第 1 外部電極

- 2 6 B、4 6 B 第 2 外部電極
- 2 7 第 3 電極層
- 3 1 単結晶圧電薄膜
- 3 2 I D T 電極
- 4 3 圧電膜
- 4 7 空洞
- 1 2 2、1 2 3 電極
- 2 0 0、2 1 0 キャパシタ (半導体装置)
- 3 0 0 弾性表面波素子 (半導体装置)
- 4 0 0 バルク弾性波素子 (半導体装置)

## 請求の範囲

- [請求項1] 半導体基板と、  
前記半導体基板上に設けられ、前記半導体基板に対して結晶欠陥の密度が高い電荷トラップ層と、  
前記電荷トラップ層上に設けられた絶縁層と、  
を備え、  
前記絶縁層はシリコン窒化物からなり、  
前記絶縁層に含有されるS i とNの総量に対するNの原子濃度比が4 5 a t o m %以下である、受動電子部品用の支持基板。
- [請求項2] 前記半導体基板が単結晶S i 基板である、請求項1に記載の支持基板。
- [請求項3] 前記電荷トラップ層の構成材料が多結晶S i 又はアモルファスS i である、請求項1又は2に記載の支持基板。
- [請求項4] 前記絶縁層に含有されるS i とNの総量に対するNの原子濃度比が4 4 a t o m %以下である、請求項1～3のいずれか1項に記載の支持基板。
- [請求項5] 前記絶縁層の内部の固定電荷が正である、請求項1～4のいずれか1項に記載の支持基板。
- [請求項6] 前記半導体基板の導電型及び前記電荷トラップ層の導電型の組合せがp型－p型、p型－n型又はn型－p型である、請求項5に記載の支持基板。
- [請求項7] 前記絶縁層に含有されるS i とNの総量に対するNの原子濃度比が4 4 a t o m %を超えて4 5 a t o m %以下である、請求項1～3のいずれか1項に記載の支持基板。
- [請求項8] 前記絶縁層の内部の固定電荷が負である、請求項1～3及び7のいずれか1項に記載の支持基板。
- [請求項9] 前記半導体基板の導電型及び前記電荷トラップ層の導電型の組合せがn型－n型、n型－p型又はp型－n型である、請求項8に記載の

支持基板。

[請求項10]

半導体基板と、

前記半導体基板上に設けられ、前記半導体基板に対して結晶欠陥の密度が高い電荷トラップ層と、

前記電荷トラップ層上に設けられた絶縁層と、  
を備え、

前記絶縁層は、前記電荷トラップ層上に設けられた第1絶縁層と、  
前記第1絶縁層上に設けられた第2絶縁層と、を含み、

前記第1絶縁層と前記第2絶縁層で内部の固定電荷の極性が逆であり、

前記第1絶縁層の厚みが0.5 nm以上3 nm以下である、受動電子部品用の支持基板。

[請求項11]

前記半導体基板が単結晶Si基板である、請求項10に記載の支持基板。

[請求項12]

前記電荷トラップ層の構成材料が多結晶Si又はアモルファスSiである、請求項10又は11に記載の支持基板。

[請求項13]

前記第1絶縁層の構成材料が、SiとO、N、F及びCからなる群より選択される少なくとも1種とを含む化合物、又は、AlとOとを含む化合物である、請求項10～12のいずれか1項に記載の支持基板。

[請求項14]

前記第1絶縁層が、前記電荷トラップ層の表面の熱酸化処理、プラズマによる酸化処理、プラズマによる窒化処理、プラズマによるフッ化処理又はプラズマによる炭化処理によって形成されている、請求項10～13のいずれか1項に記載の支持基板。

[請求項15]

前記第2絶縁層の構成材料がSiN又はSiO<sub>2</sub>である、請求項10～14のいずれか1項に記載の支持基板。

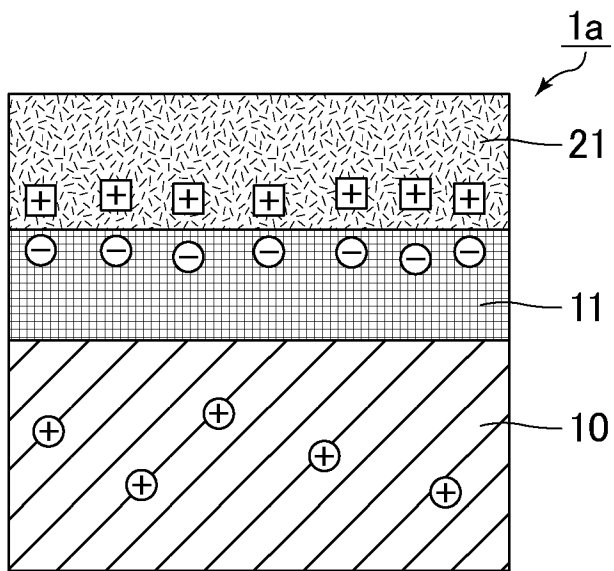
[請求項16]

前記第2絶縁層の厚みが3 nm以上である、請求項10～15のいずれか1項に記載の支持基板。

- [請求項17] 請求項1～16のいずれか1項に記載の支持基板を備える、受動電子部品。
- [請求項18] 請求項1～16のいずれか1項に記載の支持基板と、  
前記支持基板上に設けられた第1電極層と、  
前記第1電極層上に設けられた誘電体膜と、  
前記誘電体膜上に設けられた第2電極層と、  
前記第1電極層及び前記第2電極層を覆う保護層と、  
前記保護層を貫通する外部電極と、を備える、半導体装置。
- [請求項19] 請求項18に記載の半導体装置を備える、マッチング回路。
- [請求項20] 請求項18に記載の半導体装置を備える、フィルタ回路。

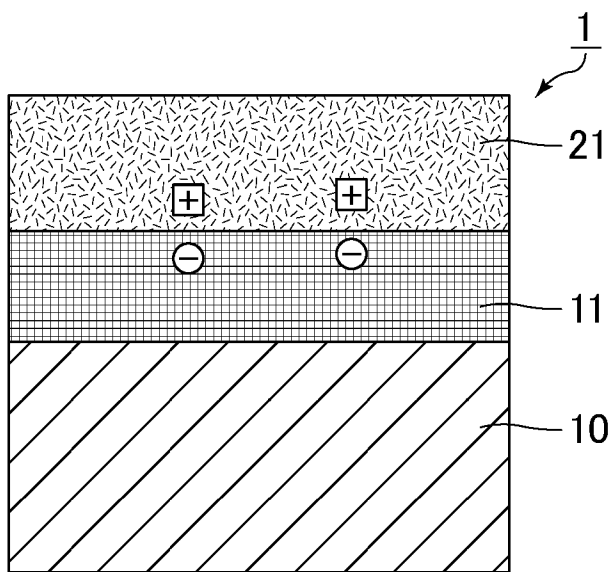
[図1]

図1



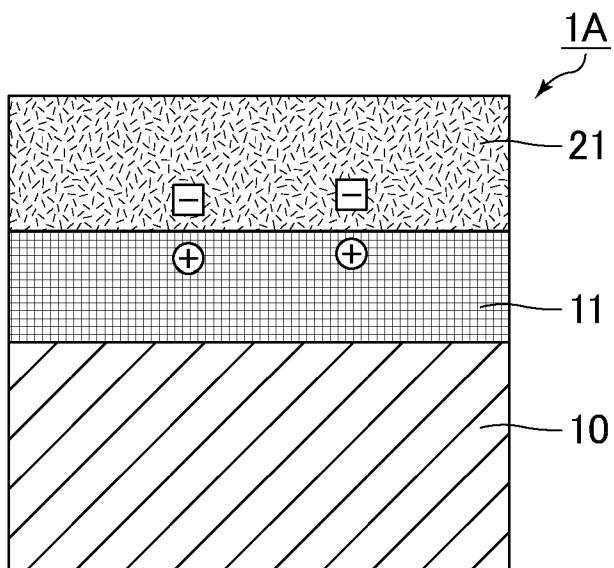
[図2]

図2



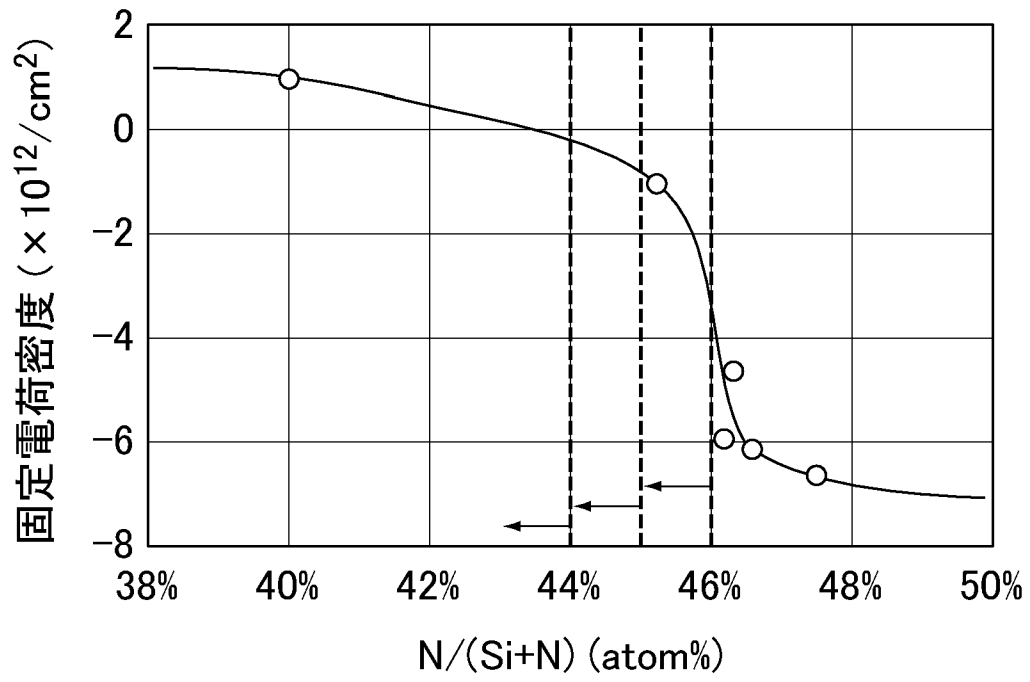
[図3]

図3

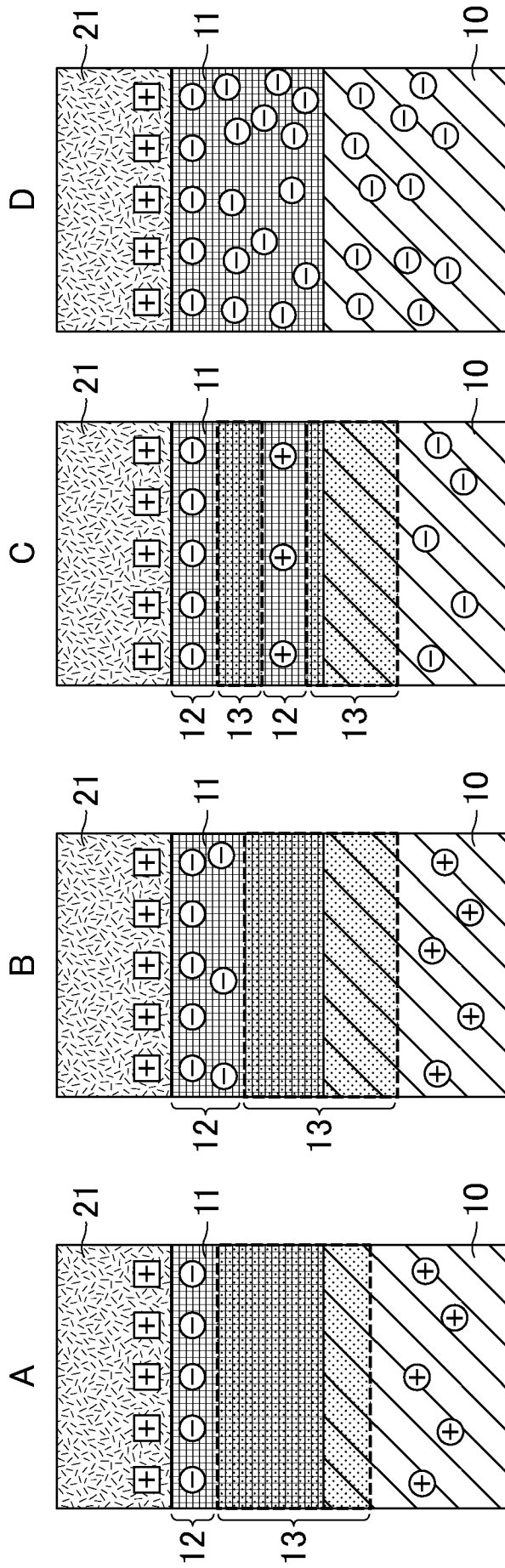


[図4]

図4



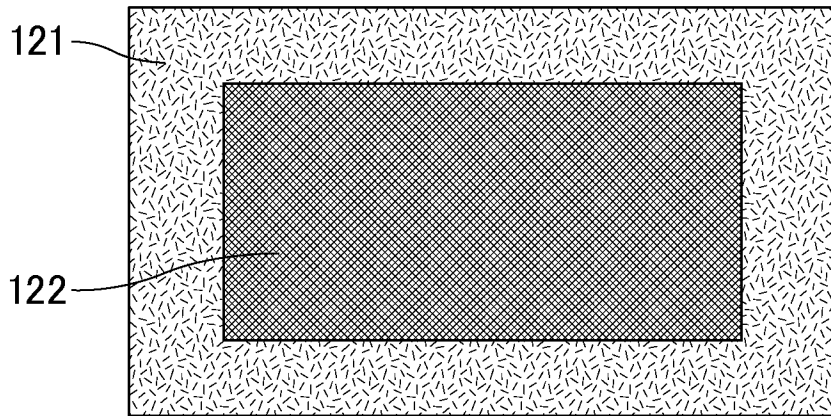
[図5]



[図5]

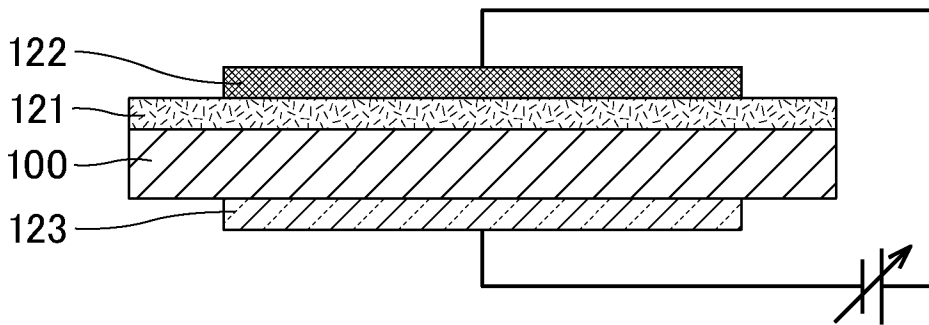
[図6]

図6



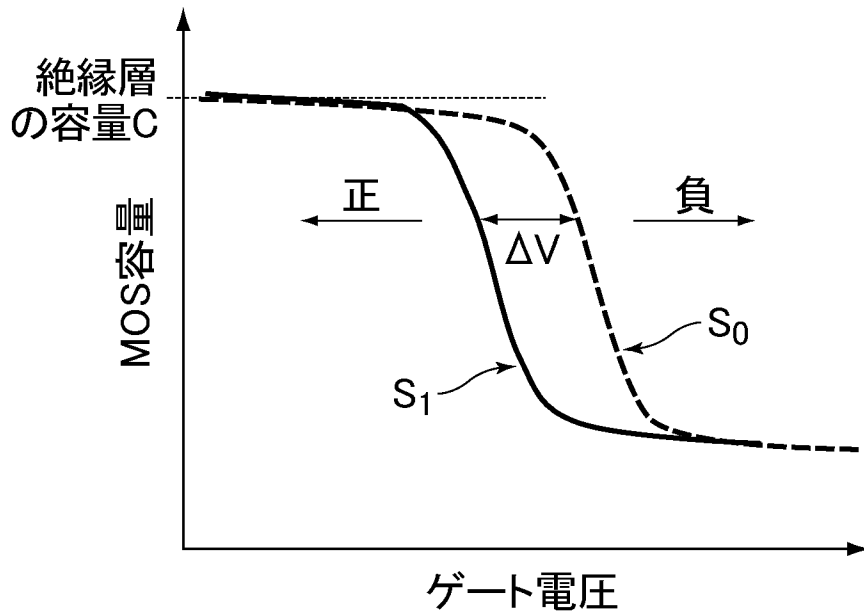
[図7]

図7



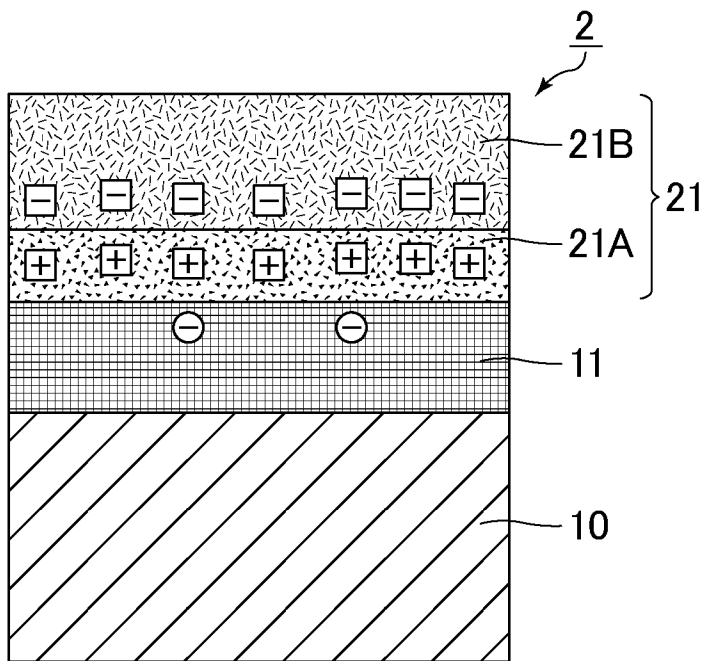
[図8]

図8



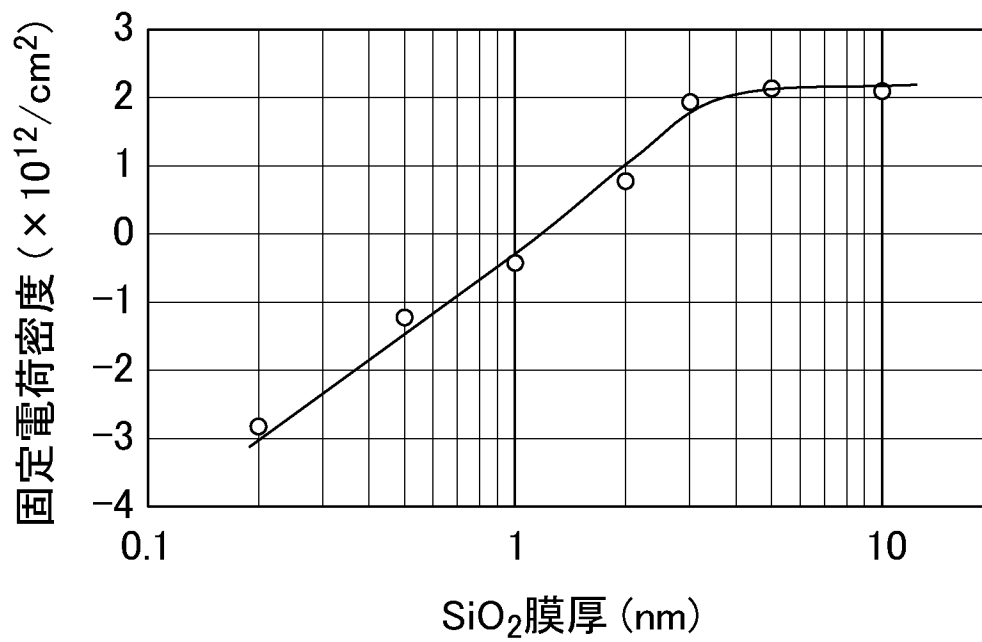
[図9]

図9



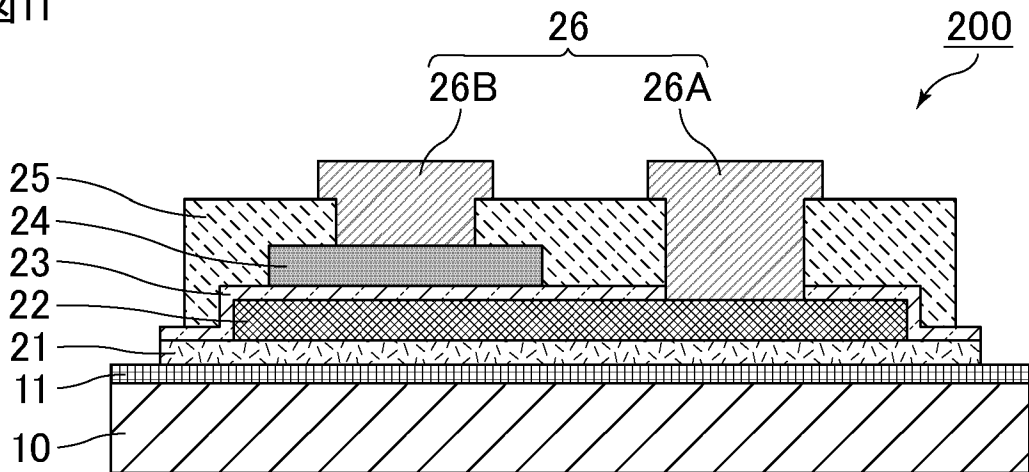
[図10]

図10



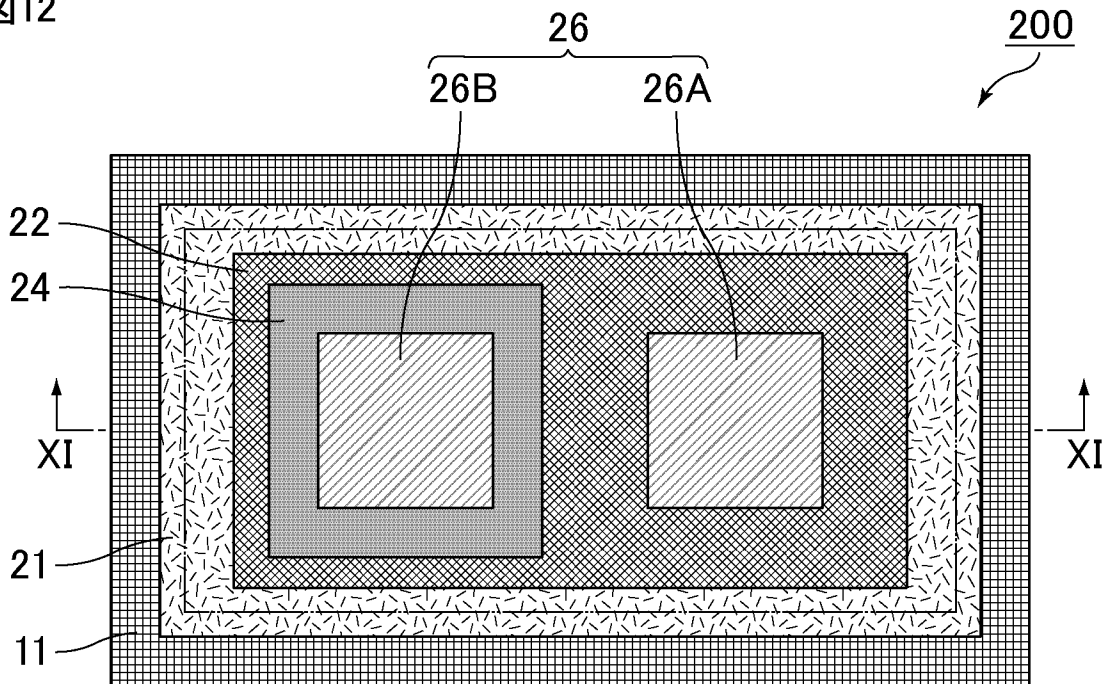
[図11]

図11



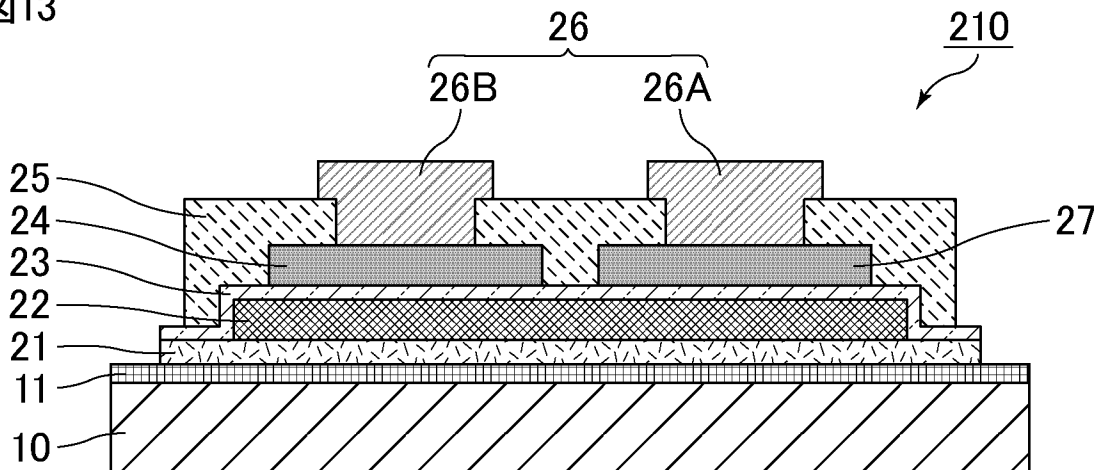
[図12]

図12



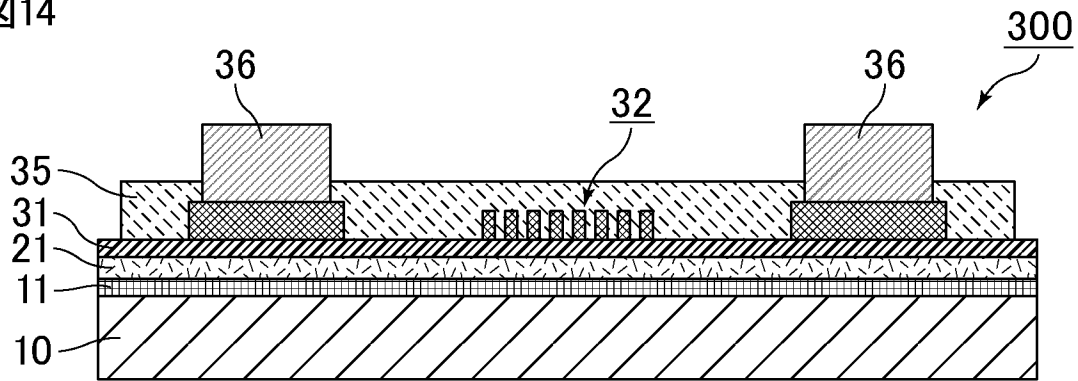
[図13]

図13



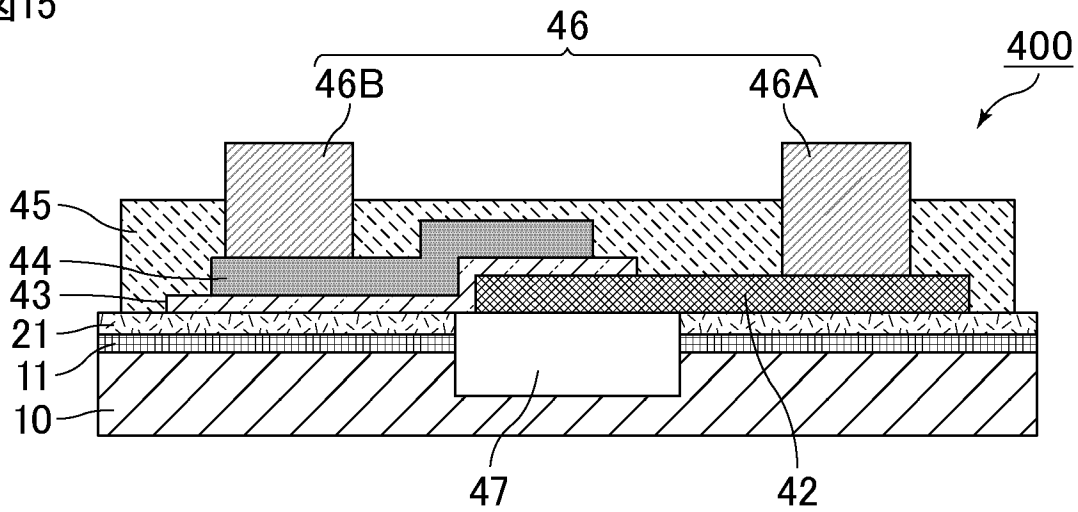
[図14]

[図14]



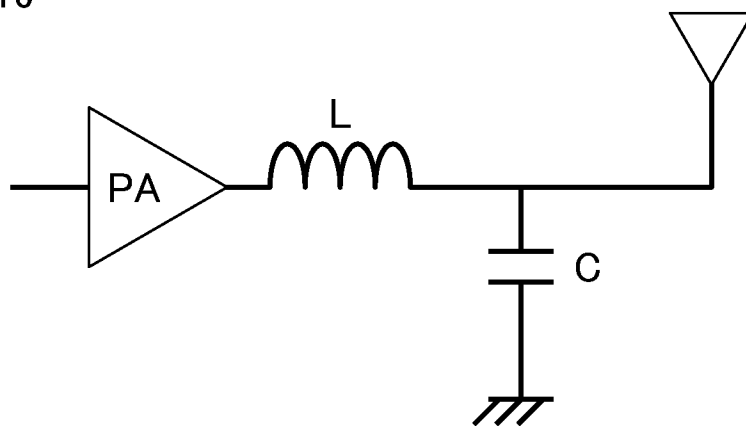
[図15]

[図15]



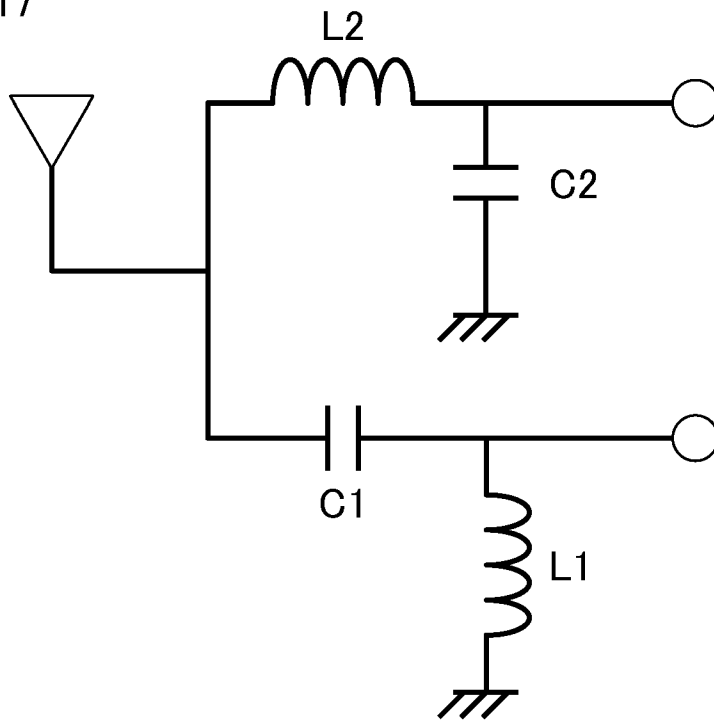
[図16]

[図16]



[図17]

図17



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/019621

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |  |   |
|--|--|---|
| <i>H01L 27/04</i> (2006.01)i; <i>H01G 4/30</i> (2006.01)i; <i>H01G 4/33</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i; <i>H01P 1/20</i> (2006.01)i; <i>H03H 7/46</i> (2006.01)i; <i>H03H 9/17</i> (2006.01)i; <i>H03H 9/25</i> (2006.01)i<br>FI: H01L27/04 C; H03H9/25 C; H03H9/17 F; H03H7/46 Z; H01P1/20 Z; H01G4/33 102; H01G4/30 541   |  |   |
| According to International Patent Classification (IPC) or to both national classification and IPC  |  |   |
| <b>B. FIELDS SEARCHED</b>  |  |   |
| Minimum documentation searched (classification system followed by classification symbols)<br>H01L27/04; H01G4/30; H01G4/33; H01L21/822; H01P1/20; H03H7/46; H03H9/17; H03H9/25   |  |   |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2022<br>Registered utility model specifications of Japan 1996-2022<br>Published registered utility model applications of Japan 1994-2022  |  |   |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |  |   |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |  |   |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages       | Relevant to claim No.   |
| A  | JP 2007-258713 A (SYCHIP INC.) 04 October 2007 (2007-10-04)                              | 1-20  |
| A  | JP 2002-530868 A (TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)) 17 September 2002 (2002-09-17) | 1-20  |
| A  | JP 2020-188091 A (MURATA MANUFACTURING CO., LTD.) 19 November 2020 (2020-11-19)          | 1-20  |
| A  | JP 2020-170782 A (MURATA MANUFACTURING CO., LTD.) 15 October 2020 (2020-10-15)           | 1-20  |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.   |  |   |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |  |   |
| Date of the actual completion of the international search<br><b>14 July 2022</b>   |  | Date of mailing of the international search report<br><b>26 July 2022</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |  | Authorized officer<br><br>Telephone No.                                   |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

|   |
|---|
| International application No.<br><b>PCT/JP2022/019621</b> |
|---|

| Patent document<br>cited in search report | Publication date<br>(day/month/year) | Patent family member(s)   | Publication date<br>(day/month/year) |
|---|--------------------------------------|---|--------------------------------------|
| JP 2007-258713 A                          | 04 October 2007                      | US 2007/0215976 A1<br>EP 1835536 A2<br>CN 101118880 A                                   |                                      |
| JP 2002-530868 A                          | 17 September 2002                    | US 6400252 B1<br>WO 2000/030176 A1<br>EP 1142016 A1<br>CN 1326591 A<br>KR 10-0722310 B1 |                                      |
| JP 2020-188091 A                          | 19 November 2020                     | (Family: none)  |                                      |
| JP 2020-170782 A                          | 15 October 2020                      | (Family: none)  |                                      |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/04(2006.01)i; H01G 4/30(2006.01)i; H01G 4/33(2006.01)i; H01L 21/822(2006.01)i;<br/>                 H01P 1/20(2006.01)i; H03H 7/46(2006.01)i; H03H 9/17(2006.01)i; H03H 9/25(2006.01)i<br/>                 FI: H01L27/04 C; H03H9/25 C; H03H9/17 F; H03H7/46 Z; H01P1/20 Z; H01G4/33 102; H01G4/30 541</p>   |   |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
|---|---|----------------|-----------------|-----------------------------------|----------------|--------------|---|--------------|-------------|---|------|---|--|------|---|--|------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/04; H01G4/30; H01G4/33; H01L21/822; H01P1/20; H03H7/46; H03H9/17; H03H9/25</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>   |   |                | 日本国実用新案公報       | 1922 - 1996年                      | 日本国公開実用新案公報    | 1971 - 2022年 | 日本国実用新案登録公報   | 1996 - 2022年 | 日本国登録実用新案公報 | 1994 - 2022年  |      |   |  |      |   |  |      |
| 日本国実用新案公報   | 1922 - 1996年  |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| 日本国公開実用新案公報   | 1971 - 2022年  |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| 日本国実用新案登録公報   | 1996 - 2022年  |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| 日本国登録実用新案公報   | 1994 - 2022年  |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の<br/>カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する<br/>請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2007-258713 A (サイチップ インコーポレーテッド) 04.10.2007 (2007-10-04)</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2002-530868 A (テレフォンアクチーボラゲツト エル エム エリクソン (パブル)) 17.09.2002 (2002-09-17)</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2020-188091 A (株式会社村田製作所) 19.11.2020 (2020-11-19)</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2020-170782 A (株式会社村田製作所) 15.10.2020 (2020-10-15)</td> <td>1-20</td> </tr> </tbody> </table> |   |                | 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 | A            | JP 2007-258713 A (サイチップ インコーポレーテッド) 04.10.2007 (2007-10-04) | 1-20         | A           | JP 2002-530868 A (テレフォンアクチーボラゲツト エル エム エリクソン (パブル)) 17.09.2002 (2002-09-17) | 1-20 | A | JP 2020-188091 A (株式会社村田製作所) 19.11.2020 (2020-11-19) | 1-20 | A | JP 2020-170782 A (株式会社村田製作所) 15.10.2020 (2020-10-15) | 1-20 |
| 引用文献の<br>カテゴリー*   | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号 |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| A   | JP 2007-258713 A (サイチップ インコーポレーテッド) 04.10.2007 (2007-10-04)                 | 1-20           |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| A   | JP 2002-530868 A (テレフォンアクチーボラゲツト エル エム エリクソン (パブル)) 17.09.2002 (2002-09-17) | 1-20           |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| A   | JP 2020-188091 A (株式会社村田製作所) 19.11.2020 (2020-11-19)                        | 1-20           |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| A   | JP 2020-170782 A (株式会社村田製作所) 15.10.2020 (2020-10-15)                        | 1-20           |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>  |   |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>  |   |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| <p>国際調査を完了した日</p> <p>14.07.2022</p>   | <p>国際調査報告の発送日</p> <p>26.07.2022</p>   |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |
| <p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)<br/>〒100-8915<br/>日本国<br/>東京都千代田区霞が関三丁目4番3号</p>  | <p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3516</p> |                |                 |                                   |                |              |   |              |             |   |      |   |  |      |   |  |      |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/019621

| 引用文献  |             |   | 公表日        | パテントファミリー文献 |              |    | 公表日 |
|-------|-------------|---|------------|-------------|--------------|----|-----|
| JP    | 2007-258713 | A | 04.10.2007 | US          | 2007/0215976 | A1 |     |
|       |             |   |            | EP          | 1835536      | A2 |     |
|       |             |   |            | CN          | 101118880    | A  |     |
| ----- |             |   |            |             |              |    |     |
| JP    | 2002-530868 | A | 17.09.2002 | US          | 6400252      | B1 |     |
|       |             |   |            | WO          | 2000/030176  | A1 |     |
|       |             |   |            | EP          | 1142016      | A1 |     |
|       |             |   |            | CN          | 1326591      | A  |     |
|       |             |   |            | KR          | 10-0722310   | B1 |     |
| ----- |             |   |            |             |              |    |     |
| JP    | 2020-188091 | A | 19.11.2020 | (ファミリーなし)   |              |    |     |
| ----- |             |   |            |             |              |    |     |
| JP    | 2020-170782 | A | 15.10.2020 | (ファミリーなし)   |              |    |     |
| ----- |             |   |            |             |              |    |     |