

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7704007号
(P7704007)

(45)発行日 令和7年7月8日(2025.7.8)

(24)登録日 令和7年6月30日(2025.6.30)

(51)国際特許分類

F I

H 1 0 D	30/66	(2025.01)	H 1 0 D	30/66	1 0 1 H
H 1 0 D	62/10	(2025.01)	H 1 0 D	30/66	1 0 1 T
H 1 0 D	30/01	(2025.01)	H 1 0 D	30/66	2 0 1 C
H 1 0 D	12/00	(2025.01)	H 1 0 D	62/10	1 0 1 D
			H 1 0 D	62/10	1 0 1 V

請求項の数 3 (全14頁) 最終頁に続く

(21)出願番号 特願2021-182833(P2021-182833)
 (22)出願日 令和3年11月9日(2021.11.9)
 (65)公開番号 特開2023-70568(P2023-70568A)
 (43)公開日 令和5年5月19日(2023.5.19)
 審査請求日 令和6年5月10日(2024.5.10)

(73)特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
 (73)特許権者 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
 (73)特許権者 520124752
株式会社ミライズテクノロジーズ
愛知県日進市米野木町南山500番地1
 (74)代理人 110001128
弁理士法人ゆうあい特許事務所
 (72)発明者 岩橋 洋平
愛知県日進市米野木町南山500番地1
株式会社ミライズテクノロジーズ内
 (72)発明者 斎藤 順

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

第1導電型のドリフト層(19)と、
 前記ドリフト層の表層部に形成された第2導電型のベース層(21)と、
 前記ベース層の表層部に形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の不純物領域(22)と、
 前記ベース層および前記不純物領域を貫通して前記ドリフト層に達するトレンチ(25)の壁面に形成されたゲート絶縁膜(26)と、前記ゲート絶縁膜上に形成されたゲート電極(27)とを有するトレンチゲート構造と、
 前記ドリフト層のうちの前記トレンチの下方であって、前記トレンチと離れた状態で形成された第2導電型の第1ディープ層(15)と、
 前記ベース層と前記第1ディープ層とを接続する第2導電型の第2ディープ層(18)と、
 前記ドリフト層を挟んで前記ベース層と反対側に形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型または第2導電型の高濃度層(11)と、
 前記ベース層および前記不純物領域と電氣的に接続される第1電極(29)と、
 前記高濃度層と電氣的に接続される第2電極(30)と、を備え、
 前記ゲート電極に所定電圧以上のゲート電圧が印加されることで前記第1電極と前記第2電極との間に電流が流れるオン状態となると共に、前記ゲート電極に前記所定電圧未満のゲート電圧が印加されることでオフ状態となるように構成され、

10

20

前記第1ディープ層は、前記ドリフト層と前記ベース層との積層方向を深さ方向とした際の前記深さ方向に沿った不純物濃度の濃度プロファイルにおいて、不純物濃度が最大となる高濃度ピークを有し、前記オフ状態である際に空乏化しない領域を含む高濃度領域(15a)と、前記高濃度領域より前記高濃度層側に、前記深さ方向に沿った不純物濃度の変化の傾きが所定値未満となる領域を有し、前記オフ状態である際に空乏化する低濃度領域(15b)とを有する構成とされ、

前記第1ディープ層における最も前記ベース層側の位置を第1位置(P1)とし、前記高濃度ピークとなる位置を第2位置(P2)とし、前記低濃度領域における最も前記ベース層側の位置を第3位置(P3)とすると、前記第1位置と前記第3位置との間に前記高濃度領域が配置され、

前記第1位置と前記第2位置との間の第1長さ(L1)は、前記第2位置と前記第3位置との間の第2長さ(L2)よりも短くされている半導体装置の製造方法であって、

前記ドリフト層のうちの前記高濃度層側となる部分を含んで構成される構成基板(100)を用意することと、

前記構成基板にイオン注入を行って前記第1ディープ層を形成することと、

前記第1ディープ層上に構成層(17a)をエピタキシャル成長させることで前記第1ディープ層を内部に有する前記ドリフト層を形成することと、を行う半導体装置の製造方法。

【請求項2】

前記ドリフト層を形成することでは、前記構成層にイオン注入を行うことにより、前記ドリフト層のうちの前記第1ディープ層との境界面を構成する部分の不純物濃度を調整する請求項1に記載の半導体装置の製造方法。

【請求項3】

前記ドリフト層を形成することでは、前記構成層をエピタキシャル成長させる際に、前記構成層のうちの前記第1ディープ層との境界面を構成する部分の不純物濃度を調整する請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する半導体装置の製造方法に関するものである。

【背景技術】

【0002】

従来より、MOSFET(metal oxide semiconductor field effect transistorの略)等の半導体素子が形成された半導体装置が提案されている(例えば、特許文献1参照)。具体的には、この半導体装置は、ドリフト層を有する半導体基板を備え、半導体基板の一面側にベース層が形成されていると共に、ベース層の表層部にソース領域が形成されている。また、半導体基板には、ソース領域およびベース層を貫通するようにトレンチが形成されている。そして、トレンチにゲート絶縁膜およびゲート電極が配置されることでトレンチゲート構造が構成されている。

【0003】

半導体基板の他面側には、ドレイン領域が配置されている。そして、半導体基板の一面側には、ソース領域およびベース層と電気的に接続されるように上部電極が配置されている。半導体基板の他面側には、ドレイン領域と電気的に接続されるように下部電極が配置されている。

【0004】

また、この半導体装置では、ドリフト層のうちのトレンチの下方となる位置に、トレンチと離れた状態でベース層と接続されるディープ層が形成されている。これにより、この半導体装置では、ディープ層とドリフト層との間に構成される空乏層によってゲート絶縁膜が破壊されることを抑制できる。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0005】

【文献】特開2019-46908号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、上記のような半導体装置では、ゲート絶縁膜が破壊されることを抑制しつつ、耐圧が低下することを抑制し、さらに、ドリフト層とベース層との積層方向に沿った大きさが大きくなることを抑制したいという要望がある。

【0007】

本発明は上記点に鑑み、ゲート絶縁膜が破壊されることを抑制しつつ、耐圧が低下することを抑制でき、さらに、ドリフト層とベース層との積層方向に沿った大きさが大きくなることを抑制できる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するための請求項1は、第1導電型のドリフト層(19)と、ドリフト層の表層部に形成された第2導電型のベース層(21)と、ベース層の表層部に形成され、ドリフト層よりも高不純物濃度とされた第1導電型の不純物領域(22)と、ベース層および不純物領域を貫通してドリフト層に達するトレンチ(25)の壁面に形成されたゲート絶縁膜(26)と、ゲート絶縁膜上に形成されたゲート電極(27)とを有するトレンチゲート構造と、ドリフト層のうちのトレンチの下方であって、トレンチと離れた状態で形成された第2導電型の第1ディープ層(15)と、ベース層と第1ディープ層とを接続する第2導電型の第2ディープ層(18)と、ドリフト層を挟んでベース層と反対側に形成され、ドリフト層よりも高不純物濃度とされた第1導電型または第2導電型の高濃度層(11)と、ベース層および不純物領域と電気的に接続される第1電極(29)と、高濃度層と電気的に接続される第2電極(30)と、を備えている。そして、ゲート電極に所定電圧以上のゲート電圧が印加されることで第1電極と第2電極との間に電流が流れるオン状態となると共に、ゲート電極に所定電圧未満のゲート電圧が印加されることでオフ状態となるように構成され、第1ディープ層は、ドリフト層とベース層との積層方向を深さ方向とした際の深さ方向に沿った不純物濃度の濃度プロファイルにおいて、不純物濃度が最大となる高濃度ピークを有し、オフ状態である際に空乏化しない領域を含む高濃度領域(15a)と、高濃度領域より高濃度層側に、深さ方向に沿った不純物濃度の変化の傾きが所定値未満となる領域を有し、オフ状態である際に空乏化する低濃度領域(15b)とを有する構成とされ、第1ディープ層における最もベース層側の位置を第1位置(P1)とし、高濃度ピークとなる位置を第2位置(P2)とし、低濃度領域における最もベース層側の位置を第3位置(P3)とすると、第1位置と第3位置との間に高濃度領域が配置され、第1位置と第2位置との間の第1長さ(L1)は、第2位置と第3位置との間の第2長さ(L2)よりも短くされている半導体装置の製造方法であり、ドリフト層のうちの高濃度層側となる部分を含んで構成される構成基板(100)を用意することと、構成基板にイオン注入を行って第1ディープ層を形成することと、第1ディープ層上に構成層(17a)をエピタキシャル成長させることで第1ディープ層を内部に有するドリフト層を形成することと、を行う。

【0011】

これによれば、オフ時に空乏化しない不純物濃度とされた高濃度ピークを有する高濃度領域と、オフ時に空乏化される不純物濃度とされた低濃度領域とを有する濃度プロファイルの第1ディープ層を形成する。このため、ゲート絶縁膜が破壊されることを抑制しつつ、耐圧が低下することを抑制した半導体装置が製造される。また、第1長さが第2長さよりも短くなるように第1ディープ層を形成する。このため、第1長さが第2長さ以上とされ、同じ耐圧を備える半導体装置を製造した場合と比較して、第1ディープ層の積層方向の長さを短くできる。したがって、積層方向に大型化することを抑制した半導体装置を製

10

20

30

40

50

造できる。

【0012】

なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

【図面の簡単な説明】

【0013】

【図1】第1実施形態におけるSiC半導体装置の斜視断面図である。

【図2】電流分散層および第1ディープ層の濃度プロファイルを示す模式図である。

【図3A】SiC半導体装置の製造工程を示す断面図である。

【図3B】図3Aに続くSiC半導体装置の製造工程を示す断面図である。

10

【図3C】図3Bに続くSiC半導体装置の製造工程を示す断面図である。

【図3D】図3Cに続くSiC半導体装置の製造工程を示す断面図である。

【図3E】図3Dに続くSiC半導体装置の製造工程を示す断面図である。

【図3F】図3Eに続くSiC半導体装置の製造工程を示す断面図である。

【図4A】第1実施形態の変形例における電流分散層および第1ディープ層の濃度プロファイルを示す模式図である。

【図4B】第1実施形態の変形例における電流分散層および第1ディープ層の濃度プロファイルを示す模式図である。

【発明を実施するための形態】

【0014】

20

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0015】

(第1実施形態)

第1実施形態の半導体装置について、図面を参照しつつ説明する。本実施形態の半導体装置は、例えば、自動車等の車両に搭載され、車両用の各種電子装置を駆動するための装置として適用されると好適である。また、本実施形態では、トレンチゲート構造の反転型のMOSFETが形成されている炭化珪素(以下では、SiCともいう)半導体装置について説明する。なお、本実施形態では、MOSFETが形成されているセル領域の構成について説明するが、実際のSiC半導体装置には、セル領域を囲むように、FLR(Field Limiting Ringの略)構造等が形成された外周領域が備えられている。

30

【0016】

以下では、後述する基板11の面方向における一方向をX軸方向とし、基板の面方向における一方向と交差する方向をY軸方向とし、X軸方向およびY軸方向と直交する方向をZ軸方向として説明する。なお、本実施形態では、X軸方向とY軸方向とは直交している。また、本実施形態におけるZ軸方向とは、後述する半導体基板10の深さ方向に相当しており、後述するドリフト層19とベース層21との積層方向にも相当している。

【0017】

SiC半導体装置は、図1に示されるように、半導体基板10を用いて構成されている。具体的には、SiC半導体装置は、SiCからなるn⁺型の基板11を備えている。本実施形態では、基板11として、例えば、(0001)Si面に対して0~8°のオフ角を有し、窒素やリン等のn型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが300μm程度とされたものが用いられる。なお、基板11は、本実施形態ではドレイン領域を構成するものであり、高濃度層に相当している。

40

【0018】

基板11の表面上には、SiCからなるn⁻型のバッファ層12が形成されている。バッファ層12は、基板11の表面にエピタキシャル成長を行うことによって構成される。そして、バッファ層12は、n型不純物濃度が、基板11と、後述する低濃度層13との間の不純物濃度とされ、厚さが1μm程度とされている。

【0019】

50

バッファ層 12 の表面上には、例えば、 n 型不純物濃度が $5.0 \sim 10.0 \times 10^{15} / \text{cm}^3$ とされ、厚さが $10 \sim 15 \mu\text{m}$ 程度とされた SiC からなる n -型の低濃度層 13 が形成されている。この低濃度層 13 は、不純物濃度が Z 軸方向において一定とされていてもよいが、濃度分布に傾斜が付けられ、低濃度層 13 のうちの基板 11 側の方が基板 11 から離れる側よりも高濃度となるようにされると好ましい。例えば、低濃度層 13 は、基板 11 の表面から $3 \sim 5 \mu\text{m}$ 程度の部分の不純物濃度が $2.0 \times 10^{15} / \text{cm}^3$ 程度他の部分よりも高くされるのが好ましい。このような構成にすることにより、低濃度層 13 の内部抵抗を低減でき、オン抵抗を低減することができる。

【0020】

低濃度層 13 の表層部には、 JFET 部 14 および第 1 ディープ層 15 が形成されている。本実施形態では、 JFET 部 14 および第 1 ディープ層 15 は、それぞれ X 軸方向に沿って延設されると共に、 Y 軸方向において交互に繰り返し並べて配置された線状部分を有している。つまり、 JFET 部 14 および第 1 ディープ層 15 は、基板 11 の表面に対する法線方向において、それぞれ X 軸方向に沿って延設されたストライプ状とされ、それらが Y 軸方向に沿って交互に並べられたレイアウトとなる構成とされている。なお、基板 11 の表面に対する法線方向においては、言い換えると、基板 11 の表面に対する法線方向から視たときということもできる。また、基板 11 の表面に対する法線方向とは、後述するドリフト層 19 とベース層 21 との積層方向に沿った方向でもある。

10

【0021】

JFET 部 14 は、低濃度層 13 よりも高不純物濃度とされた n 型とされており、深さが $0.3 \sim 1.5 \mu\text{m}$ とされている。本実施形態では、 JFET 部 14 は、 n 型不純物濃度が $7.0 \times 10^{16} \sim 5.0 \times 10^{17} / \text{cm}^3$ とされている。第 1 ディープ層 15 の不純物濃度については、具体的に後述する。

20

【0022】

また、本実施形態の第 1 ディープ層 15 は、 JFET 部 14 より浅く形成されている。つまり、第 1 ディープ層 15 は、底部が JFET 部 14 内に位置するように形成されている。言い換えると、第 1 ディープ層 15 は、低濃度層 13 との間に JFET 部 14 が位置するように形成されている。

【0023】

JFET 部 14 および第 1 ディープ層 15 上には、電流分散層 17、第 2 ディープ層 18、ベース層 21、ソース領域 22、コンタクト領域 23 等が形成されている。

30

【0024】

電流分散層 17 は、 n 型とされ、 JFET 部 14 と繋がるように形成されている。このため、本実施形態では、低濃度層 13、 JFET 部 14、および電流分散層 17 が繋がり、これらによってドリフト層 19 が構成されている。そして、第 1 ディープ層 15 は、ドリフト層 19 内に形成された状態となっている。

【0025】

第 2 ディープ層 18 は、 p 型とされ、厚さが電流分散層 17 と等しくされている。また、第 2 ディープ層 18 は、第 1 ディープ層 15 と接続されるように形成されている。

【0026】

そして、電流分散層 17 および第 2 ディープ層 18 は、 JFET 部 14 のうちのストライプ状とされた部分や、第 1 ディープ層 15 の長手方向に対して交差する方向に延設されている。本実施形態では、電流分散層 17 および第 2 ディープ層 18 は、 Y 軸方向を長手方向として延設されると共に、 X 軸方向において交互に複数本が並べられたレイアウトとされている。なお、電流分散層 17 および第 2 ディープ層 18 の形成ピッチは、後述するトレンチゲート構造の形成ピッチに合わせてあり、第 2 ディープ層 18 は、後述するトレンチ 25 を挟むように形成されている。

40

【0027】

ベース層 21 は、 p 型とされ、電流分散層 17 および第 2 ディープ層 18 上に形成されている。このため、第 1 ディープ層 15 は、第 2 ディープ層 18 を介してベース層 21 と

50

接続された状態となっている。

【0028】

ソース領域22は、 n^+ 型とされており、ベース層21の表層部に形成されている。コンタクト領域23は、 p^+ 型とされており、ベース層21の表層部に形成されている。具体的には、ソース領域22は、後述するトレンチ25の側面に接するように形成されており、コンタクト領域23は、ソース領域22を挟んで後述するトレンチ25と反対側に形成されている。なお、本実施形態では、ソース領域22が不純物領域に相当している。

【0029】

ベース層21は、例えば、 p 型不純物濃度が $3.0 \times 10^{17} / \text{cm}^3$ 以下とされている。また、本実施形態のベース層21は、例えば、イオン注入等で形成されている。ソース領域22は、表層部における n 型不純物濃度、すなわち表面濃度が例えば $1.0 \times 10^{21} / \text{cm}^3$ とされている。コンタクト領域23は、表層部における p 型不純物濃度、すなわち表面濃度が例えば $1.0 \times 10^{21} / \text{cm}^3$ とされている。

10

【0030】

本実施形態では、以上のように、基板11、バッファ層12、低濃度層13、JFET部14、第1ディープ層15、電流分散層17、第2ディープ層18、ベース層21、ソース領域22、コンタクト領域23等を含んで半導体基板10が構成されている。そして、上記のように半導体基板10が構成されているため、半導体基板10は、SiCで構成されているといえる。また、本実施形態では、半導体基板10の一面10aがソース領域22やコンタクト領域23で構成され、半導体基板10の他面10bが基板11で構成されている。

20

【0031】

半導体基板10には、ソース領域22やベース層21等を貫通して電流分散層17に達すると共に、底面が電流分散層17内に位置するように、例えば、幅が $1.4 \sim 2.0 \mu\text{m}$ とされたトレンチ25が形成されている。なお、トレンチ25は、JFET部14および第1ディープ層15に達しないように形成されている。つまり、トレンチ25は、底面よりも下方に、トレンチ25とは離れた状態でJFET部14および第1ディープ層15が位置するように形成されている。

【0032】

また、トレンチ25は、図1中では1本のみしか図示していないが、実際には、Y軸方向に沿って延びるように複数本が延設されると共に、X軸方向に等間隔で並べられてストライプ状となるように形成されている。つまり、本実施形態では、トレンチ25は、長手方向が第1ディープ層15の長手方向と直交するように形成されている。また、トレンチ25は、ドリフト層19とベース層21との積層方向において、第2ディープ層18に挟まれるように形成されている。

30

【0033】

トレンチ25には、内壁面にゲート絶縁膜26が形成され、ゲート絶縁膜26上には、ドーフトPoly-Si等によって構成されるゲート電極27が形成されている。これにより、トレンチゲート構造が構成されている。特に限定されるものではないが、ゲート絶縁膜26は、トレンチ25の内壁面を熱酸化する、またはCVD (chemical vapor depositionの略)法を行うことで形成される。そして、ゲート絶縁膜26は、厚さがトレンチ25の側面側および底面側で共に 100nm 程度とされている。

40

【0034】

なお、ゲート絶縁膜26は、トレンチ25の内壁面以外の表面にも形成されている。具体的には、ゲート絶縁膜26は、半導体基板10の一面10aの一部も覆うように形成されている。より詳しくは、ゲート絶縁膜26は、ソース領域22の表面の一部も覆うように形成されている。言い換えると、ゲート絶縁膜26には、ゲート電極27が配置される部分と異なる部分において、ソース領域22およびコンタクト領域23を露出させるコンタクトホール26aが形成されている。

【0035】

50

半導体基板 10 の一面 10 a 上には、ゲート電極 27 やゲート絶縁膜 26 等を覆うように、層間絶縁膜 28 が形成されている。層間絶縁膜 28 は、BPSG (Borophosphosilicate Glass の略) 等で構成されている。

【0036】

層間絶縁膜 28 には、コンタクトホール 26 a と連通してソース領域 22 およびコンタクト領域 23 を露出させるコンタクトホール 28 a が形成されている。なお、層間絶縁膜 28 に形成されたコンタクトホール 28 a は、ゲート絶縁膜 26 に形成されたコンタクトホール 26 a と連通するように形成されており、当該コンタクトホール 26 a と共に 1 つのコンタクトホールとして機能する。このため、以下では、コンタクトホール 26 a およびコンタクトホール 28 a を纏めてコンタクトホール 26 b ともいう。そして、コンタクトホール 26 b のパターンは、任意であり、例えば複数の正方形のものを配列させたパターン、長方形のライン状のものを配列させたパターン、または、ライン状のものを並べたパターン等が挙げられる。本実施形態では、コンタクトホール 26 b は、トレンチ 25 の長手方向に沿ったライン状とされている。

10

【0037】

層間絶縁膜 28 上には、コンタクトホール 26 b を通じてソース領域 22 およびコンタクト領域 23 と電気的に接続される上部電極 29 が形成されている。なお、本実施形態では、上部電極 29 が第 1 電極に相当している。

【0038】

本実施形態の上部電極 29 は、例えば、Ni/Al 等の複数の金属にて構成されている。そして、複数の金属のうちの n 型 SiC (すなわち、ソース領域 22) を構成する部分と接触する部分は、n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうちの少なくとも p 型 SiC (すなわち、ベース層 21) と接触する部分は、p 型 SiC とオーミック接触可能な金属で構成されている。

20

【0039】

半導体基板 10 の他面 10 b 側には、基板 11 と電気的に接続される下部電極 30 が形成されている。なお、本実施形態では、下部電極 30 が第 2 電極に相当している。

【0040】

本実施形態の SiC 半導体装置では、このような構造により、n チャネルタイプの反転型であるトレンチゲート構造の MOSFET が構成されている。なお、本実施形態では、n⁻型、n 型、n⁺型が第 1 導電型に相当しており、p 型、p⁺型が第 2 導電型に相当している。

30

【0041】

そして、このような SiC 半導体装置は、具体的には後述するが、ゲート電極 27 に印加されるゲート電圧が絶縁ゲート構造の閾値電圧以上とされると、上部電極 29 と下部電極 30 との間に電流が流れるオン状態となる。また、このような SiC 半導体装置は、ゲート電極 27 に印加されるゲート電圧が閾値電圧未満とされると、上部電極 29 と下部電極 30 との間に電流が流れないオフ状態となる。

【0042】

次に、本実施形態における第 1 ディープ層 15 の Z 軸方向 (すなわち、深さ方向) に沿った濃度プロファイルについて、図 2 を参照しつつ説明する。以下では、第 1 ディープ層 15 と電流分散層 17 との境界面を単に境界面ともいう。また、半導体基板 10 において、境界面となる位置を第 1 位置 P1 とする。なお、第 1 ディープ層 15 と電流分散層 17 との境界面とは、言い換えると、第 1 ディープ層 15 のうちの最もベース層 21 側に位置する部分ともいえる。

40

【0043】

まず、図 2 示されるように、第 1 ディープ層 15 は、境界面側の第 1 位置 P1 側に不純物濃度が最大となり、オフ状態である際に空乏化しない不純物濃度とされた高濃度ピークを有する高濃度領域 15 a を備える濃度プロファイルとされている。また、第 1 ディープ層 15 は、高濃度領域 15 a より基板 11 側に、Z 軸方向に沿って不純物濃度の変化の傾

50

きが所定値未満となり、オフ状態である際に空乏化する低濃度領域 15 b を有する濃度プロファイルとされている。言い換えると、第 1 ディープ層 15 は、高濃度領域 15 a より基板 11 側に、Z 軸方向に沿って不純物濃度がほぼ変化しない領域を有し、オフ状態である際に空乏化する低濃度領域 15 b を有する濃度プロファイルとされている。なお、第 1 ディープ層 15 における基板 11 側の部分は、不純物濃度の変化の傾きが大きくなるが、空乏化する領域であるために低濃度領域 15 b となる。

【0044】

高濃度ピークは、電流分散層 17 の最大不純物濃度よりも高い不純物濃度とされ、例えば、 $1.0 \times 10^{18} / \text{cm}^3$ 以上の不純物濃度とされている。電流分散層 17 は、例えば、最大不純物濃度が $3.0 \times 10^{17} / \text{cm}^3$ 程度となるように構成されている。低濃度領域 15 b は、Z 軸方向に沿って不純物濃度の変化の傾きが所定値未満となる領域（すなわち、不純物濃度がほぼ一定である領域）の不純物濃度が電流分散層 17 の最大不純物濃度と同程度とされ、例えば、 $3.0 \times 10^{17} / \text{cm}^3$ 程度の不純物濃度とされる。

10

【0045】

ここで、半導体基板 10 において、上記のように、境界面となる位置（すなわち、深さ）を第 1 位置 P1 とする。また、半導体基板 10 において、高濃度ピークとなる位置を第 2 位置 P2 とし、低濃度領域 15 b における最もベース層 21 側の位置を第 3 位置 P3 とする。なお、第 3 位置 P3 は、言い換えると、高濃度領域 15 a と低濃度領域 15 b との境界ともいえるし、低濃度領域 15 b から高濃度ピークに向かって不純物濃度が急峻に大きくなる位置ともいえる。さらに、第 3 位置 P3 は、不純物濃度の変化の傾きが所定値以上である領域と、所定値未満となる領域との交点であるともいえる。また、第 1 ディープ層 15 は、第 1 位置 P1 と第 3 位置 P3 との間が高濃度領域 15 a とされ、第 3 位置 P3 より基板 11 側の部分に低濃度領域 15 b を有する濃度プロファイルとなるように形成されているともいえる。

20

【0046】

そして、本実施形態では、第 1 位置 P1 と第 2 位置 P2 との間の第 1 長さ L1 は、第 2 位置 P2 と第 3 位置 P3 との間の第 2 長さ L2 より短くされている。言い換えると、第 1 位置 P1 と第 3 位置 P3 との間は、高濃度領域 15 a であるため、第 2 位置 P2 は、高濃度領域 15 a における Z 軸方向の中心より第 1 位置 P1 側に位置しているともいえる。

【0047】

以上が本実施形態における SiC 半導体装置の構成である。次に、上記 SiC 半導体装置の作動および効果について説明する。

30

【0048】

まず、SiC 半導体装置では、ゲート電極 27 に閾値電圧以上のゲート電圧が印加される前のオフ状態では、ベース層 21 に反転層が形成されない。このため、下部電極 30 に正の電圧、例えば 1600 V が印加されたとしても、ソース領域 22 からベース層 21 内に電子が流れず、SiC 半導体装置は、上部電極 29 と下部電極 30 との間に電流が流れないオフ状態となる。

【0049】

また、SiC 半導体装置がオフ状態である場合には、ドレイン - ゲート間に電界がかかり、ゲート絶縁膜 26 の底部に電界集中が発生し得る。しかしながら、上記 SiC 半導体装置では、トレンチ 25 よりも深い位置に、第 1 ディープ層 15 および JFET 部 14 が備えられている。そして、第 1 ディープ層 15 は、高濃度ピークが空乏化されない不純物濃度とされている。このため、第 1 ディープ層 15 および JFET 部 14 との間に構成される空乏層により、ドレイン電圧の影響による等電位線のせり上がりが抑制され、高電界がゲート絶縁膜 26 に入り込み難くなる。したがって、本実施形態では、ゲート絶縁膜 26 が破壊されることを抑制できる。

40

【0050】

また、第 1 ディープ層 15 における低濃度領域 15 b は、空乏化される不純物濃度とされている。このため、SiC 半導体装置がオフ状態である場合には、第 1 ディープ層 15

50

における低濃度領域 15 b を含む部分も空乏化される。このため、第 1 ディープ層 15 を形成することによる SiC 半導体装置の耐圧の低下を抑制できる。

【0051】

この場合、本実施形態では、第 1 長さ L1 が第 2 長さ L2 より短くされている。このため、第 1 長さ L1 が第 2 長さ L2 以上とされている場合と比較して、同じ耐圧を備える SiC 半導体装置を構成した場合、第 1 ディープ層 15 の Z 軸方向の長さを短くできる。したがって、SiC 半導体装置が Z 軸方向に大型化することを抑制できる。

【0052】

そして、ゲート電極 27 に、閾値電圧以上のゲート電圧、例えば 20 V が印加されると、ベース層 21 のうちのトレンチ 25 に接している表面に反転層が形成される。これにより、上部電極 29 と下部電極 30 との間に電流が流れ、SiC 半導体装置がオン状態となる。なお、本実施形態では、反転層を通過した電子が電流分散層 17、JFET 部 14 および低濃度層 13 を通過して基板 11 へ流れるため、電流分散層 17、JFET 部 14 および低濃度層 13 を有するドリフト層 19 が構成されているといえる。

【0053】

続いて、本実施形態の SiC 半導体装置の製造方法について図 3 A ~ 図 3 G を参照して説明する。なお、図 3 A ~ 図 3 G は、図 1 における Y 軸方向を法線方向とする断面図である。

【0054】

まず、図 3 A に示されるように、基板 11 の表面上に、SiC からなる、バッファ層 12、低濃度層 13、JFET 部 14 が形成された構成基板 100 を用意する。言い換えると、ドリフト層 19 のうちの基板 11 側の部分を含んで構成される構成基板 100 を用意する。

【0055】

そして、図 3 B に示されるように、構成基板 100 上に図示しないマスクを用いて p 型不純物をイオン注入することにより、第 1 ディープ層 15 を形成する。具体的には、加速エネルギーを変更しながら複数回のイオン注入を行うことにより、上記図 2 に示すように、高濃度領域 15 a および低濃度領域 15 b を有し、第 1 長さ L1 が第 2 長さ L2 よりも短くされた濃度プロファイルを有する第 1 ディープ層 15 を形成する。

【0056】

続いて、図 3 C に示されるように、JFET 部 14 および第 1 ディープ層 15 上に、電流分散層 17 等を形成するための構成層 17 a をエピタキシャル成長させて半導体基板 10 を構成する。このように、第 1 ディープ層 15 を形成した後に構成層 17 a を配置することにより、第 1 ディープ層 15 を構成する p 型不純物が構成層 17 a (すなわち、電流分散層 17) に影響することを抑制できる。したがって、電流分散層 17 を形成した際に電流分散層 17 の実効濃度が低下することを抑制でき、オン抵抗が増加することを抑制できる。

【0057】

次に、図 3 D に示されるように、構成層 17 a 上に図示しないマスクを用いて n 型不純物をイオン注入し、電流分散層 17 を形成してドリフト層 19 を構成する。つまり、第 1 ディープ層 15 との境界面を構成する部分の不純物濃度を調整する。また、構成層 17 a 上に図示しないマスクを用いて p 型不純物をイオン注入し、第 2 ディープ層 18 を形成する。

【0058】

続いて、図 3 E に示されるように、再び構成層 17 a 上に図示しないマスクを用いて適宜不純物をイオン注入し、ベース層 21、ソース領域 22、コンタクト領域 23 を形成する。

【0059】

その後、図 3 F に示されるように、詳細な工程については省略するが、所定の半導体製造プロセスを行い、トレンチゲート構造、層間絶縁膜 28、上部電極 29、下部電極 30

10

20

30

40

50

等を形成する。これにより、本実施形態のSiC半導体装置が製造される。

【0060】

以上説明した本実施形態によれば、第1ディープ層15は、オフ時に空乏化しない不純物濃度とされた高濃度ピークを有する高濃度領域15aと、オフ時に空乏化される不純物濃度とされた低濃度領域15bとを有する濃度プロファイルとされている。このため、ゲート絶縁膜26が破壊されることを抑制しつつ、耐圧が低下することを抑制できる。また、第1ディープ層15は、第1長さL1が第2長さL2よりも短くなるように形成されている。このため、第1長さL1が第2長さL2以上とされている場合と比較して、同じ耐圧を備えるSiC半導体装置を構成した場合、第1ディープ層15のZ軸方向の長さを短くできる。したがって、SiC半導体装置がZ軸方向に大型化することを抑制できる。

10

【0061】

(1)本実施形態では、構成基板100に第1ディープ層15を形成した後、構成基板100上に構成層17aを配置して半導体基板10を構成している。このため、第1ディープ層15を構成するp型不純物が構成層17a(すなわち、電流分散層17)に影響することを抑制できる。したがって、電流分散層17を形成した際に電流分散層17の実効濃度が低下することを抑制でき、オン抵抗が増加することを抑制できる。

【0062】

(第1実施形態の変形例)

上記第1実施形態の変形例について説明する。上記第1実施形態において、第1ディープ層15は、第1長さL1が第2長さL2より短くなる濃度プロファイルとされるのであれば、詳細な濃度プロファイルの形状は適宜変更可能である。例えば、図4Aに示されるように、第1ディープ層15は、第2位置P2が第1位置P1と一致し、第1長さL1が0となる濃度プロファイルとされていてよい。また、図4Bに示されるように、第1ディープ層15は、第2位置P2と第1位置P1との間に段差Cを有する濃度プロファイルとされていてよい。

20

【0063】

(他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

30

【0064】

例えば、上記第1実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのトレンチゲート構造のMOSFETを半導体スイッチング素子の一例として説明した。しかしながら、これは一例を示したに過ぎず、他の構造の半導体スイッチング素子、例えばnチャネルタイプに対して各構成要素の導電型を反転させたpチャネルタイプのトレンチゲート構造のMOSFETとしてもよい。さらに、半導体装置は、MOSFET以外に、同様の構造のIGBTが形成された構成とされていてよい。IGBTの場合、上記第1実施形態におけるn⁺型の基板11をP⁺型のコレクタ層に変更する以外は、上記第1実施形態で説明した縦型MOSFETと同様である。

40

【0065】

また、上記第1実施形態では、半導体基板10をSiCで構成した例について説明した。しかしながら、半導体基板10は、シリコン基板や他の化合物半導体基板等を用いて構成されていてよい。

【0066】

さらに、上記第1実施形態では、第1ディープ層15がX軸方向に沿って延設されている例について説明したが、第1ディープ層15がY軸方向に延設されていてよい。

【0067】

そして、上記第1実施形態では、構成層17aを形成した後にイオン注入を行うことで

50

電流分散層 17 を形成する例について説明した。しかしながら、電流分散層 17 は、エピタキシャル成長で構成層 17 a を配置する際、不純物濃度を調整しながら構成層 17 a を配置することで形成されるようにしてもよい。すなわち、電流分散層 17 は、イオン注入ではなく、構成層 17 a を配置する工程で同時に形成されるようにしてもよい。

【0068】

さらに、上記第 1 実施形態において、第 1 ディープ層 15 を形成する前に構成層 17 a を配置して半導体基板 10 を構成し、半導体基板 10 に対してイオン注入を行うことで第 1 ディープ層 15 を形成するようにしてもよい。

【符号の説明】

【0069】

- 11 基板（高濃度層）
- 15 ディープ層
- 15 a 高濃度領域
- 15 b 低濃度領域
- 19 ドリフト層
- 21 ベース層
- 22 ソース領域（不純物領域）
- 25 トレンチ
- 26 ゲート絶縁膜
- 27 ゲート電極
- 29 上部電極（第 1 電極）
- 30 下部電極（第 2 電極）
- P1 第 1 位置
- P2 第 2 位置
- P3 第 3 位置

10

20

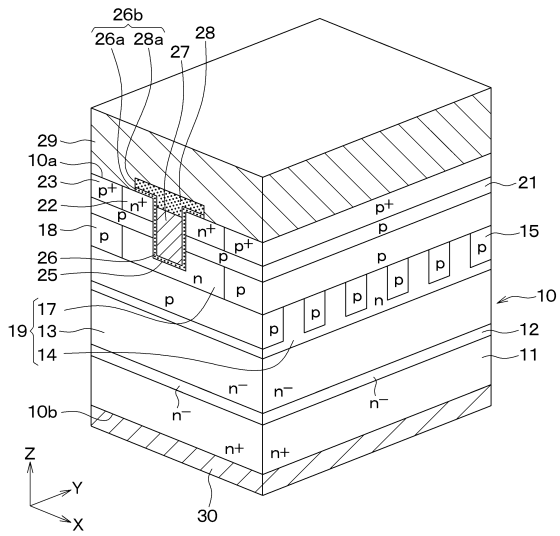
30

40

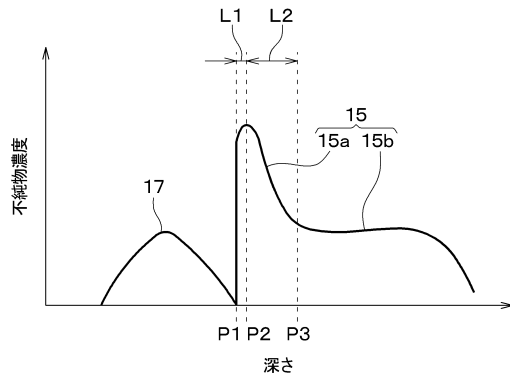
50

【図面】

【図 1】

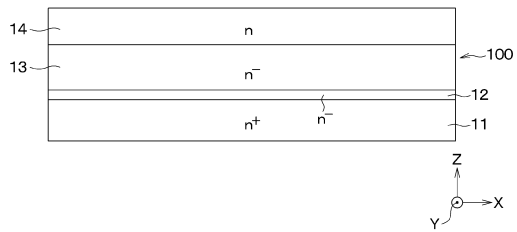


【図 2】

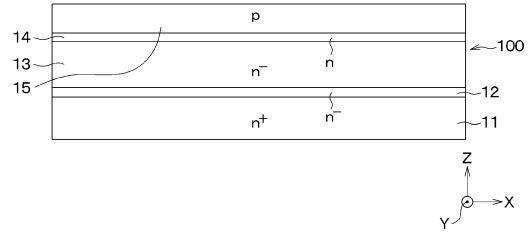


10

【図 3 A】



【図 3 B】



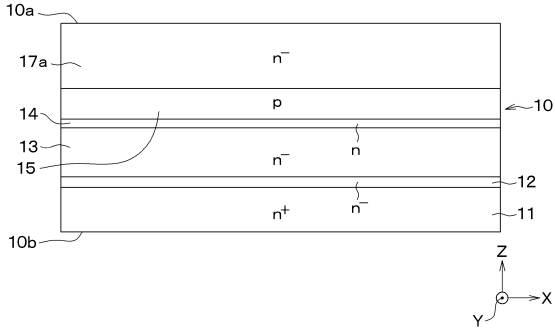
20

30

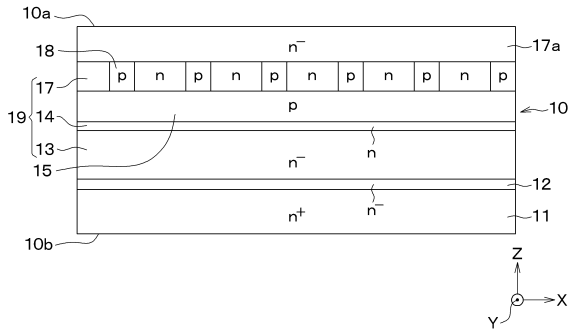
40

50

【図 3 C】

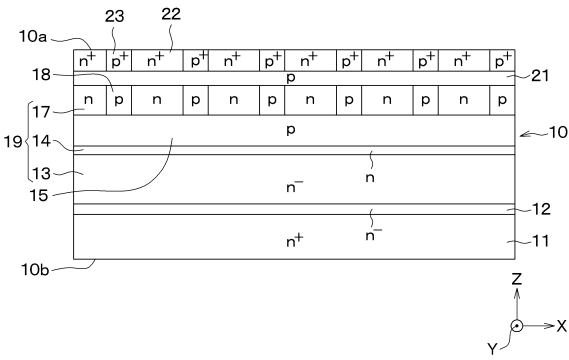


【図 3 D】

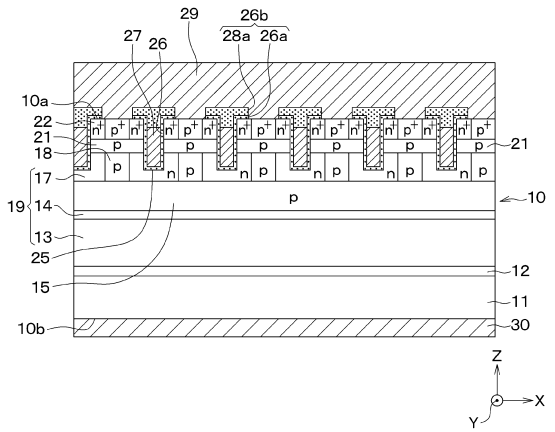


10

【図 3 E】

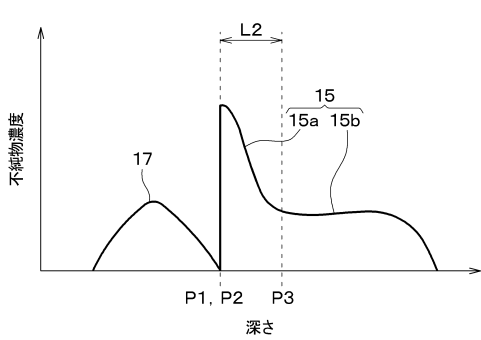


【図 3 F】

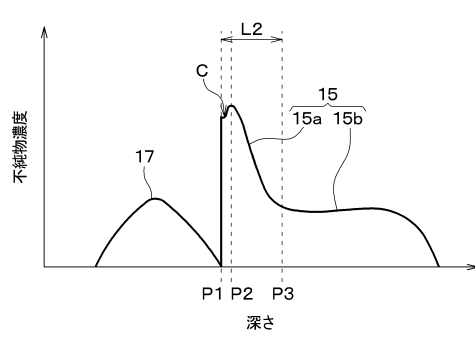


20

【図 4 A】



【図 4 B】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 D	30/01	3 0 1 A
H 1 0 D	30/01	3 0 1 E
H 1 0 D	12/00	1 0 1 A

愛知県日進市米野木町南山 5 0 0 番地 1 株式会社ミライズテクノロジーズ内

審査官 戸川 匠

(56)参考文献 特開 2 0 2 1 - 0 7 2 3 5 9 (J P , A)

特開 2 0 1 9 - 0 4 6 9 0 8 (J P , A)

特開 2 0 2 0 - 1 2 0 0 7 2 (J P , A)

特開 2 0 1 2 - 1 6 9 3 8 4 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 1 0 D 3 0 / 6 6

H 1 0 D 6 2 / 1 0

H 1 0 D 3 0 / 0 1

H 1 0 D 1 2 / 0 0