



CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

gate terminal; and a control device that controls turning-on/off of the first to third switching elements.

(57) 要約: 半導体素子のゲート端子に駆動電圧または駆動電流を供給するスイッチング駆動装置は、ターンオン抵抗と第1スイッチング素子を有し、前記半導体素子のターンオン時に前記ゲート端子を充電する第1回路と、ターンオフ抵抗と第2スイッチング素子を有し、前記半導体素子のターンオフ時に前記ゲート端子を放電する第2回路と、前記ゲート端子に接続され、ゲート抵抗と第3スイッチング素子を有して前記ゲート端子の放電または充電を行う第3回路と、前記第1乃至第3スイッチング素子のオン/オフを制御する制御装置と、を備える。

明 細 書

発明の名称：スイッチング駆動装置

技術分野

[0001] 本発明は、スイッチング駆動装置に関する。

背景技術

[0002] 電力変換器の小型化と高出力密度化には、パワー半導体の低損失化が必要である。しかし、高速スイッチングによる低損失化とスイッチング時のサージ増大とはトレードオフの関係にある。そのため、従来、スイッチング速度を高速化しつつ、サージ電圧を許容電圧以内に抑える多段式ゲート抵抗駆動回路が知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2021-129396号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の技術では、ターンオン時は充電回路のP型MOSFET（PMOS）を介してスイッチングの高速化を図り、ターンオフ時は放電回路のN型MOSFET（NMOS）を介してスイッチングの高速化を図っている。しかしながら、PMOSおよびNMOSを設けることにより、回路サイズや回路コストが増えるという課題があった。

課題を解決するための手段

[0005] 本発明の態様によるスイッチング駆動装置は、半導体素子のゲート端子に駆動電圧または駆動電流を供給するスイッチング駆動装置であって、ターンオン抵抗と第1スイッチング素子を有し、前記半導体素子のターンオン時に前記ゲート端子を充電する第1回路と、ターンオフ抵抗と第2スイッチング素子を有し、前記半導体素子のターンオフ時に前記ゲート端子を放電する第2回路と、前記ゲート端子に接続され、ゲート抵抗と第3スイッチング素子

を有して前記ゲート端子の放電または充電を行う第3回路と、前記第1乃至第3スイッチング素子のオン／オフを制御する制御装置と、を備える。そして、前記制御装置は、前記半導体素子のターンオン時に、前記第1回路による充電と前記第3回路による放電または充電とを制御して、第1ターンオン動作モードを実行させた後に、該第1ターンオン動作モードよりも低速な第2ターンオン動作モードを実行し、前記半導体素子のターンオフ時に、前記第2回路による放電と前記第3回路による放電または充電とを制御して、第1ターンオフ動作モードを実行させた後に、該第1ターンオフ動作モードよりも低速な第2ターンオフ動作モードを実行する。

発明の効果

[0006] 本発明によれば、回路規模を小さく抑えつつ、サージ抑制およびスイッチング速度の高速化を図ることができるスイッチング駆動装置を提供することができる。

図面の簡単な説明

[0007] [図1]電力変換装置の構成の一部を示す図である。

[図2]第1の実施形態におけるスイッチング駆動装置の詳細を説明する図である。

[図3] (A)、(B)、(C)、(D)、(E)、(F)は、第1の実施形態におけるターンオフ時の各信号の波形例を示す図である。

[図4] (A)、(B)、(C)、(D)、(E)、(F)は、第1の実施形態におけるターンオン時の各信号の波形例を示す図である。

[図5]スイッチング駆動装置における、パワー半導体の状態を検知する構成を示す図である。

[図6] (a)はターンオフ時の時間幅とドレインソース間電圧との関係を示し、(b)はターンオフ時の時間幅とドレインソース電流との関係を示す。

[図7] (a)、(b)、(c)は、ターンオン時の時間幅の設定方法を説明する図である。

[図8]第1の実施形態の変形例を示す図である。

[図9]第2の実施形態のスイッチング駆動装置を説明する図である。

[図10](A)、(B)、(C)、(D)、(E)、(F)は、第2の実施形態におけるターンオフ時の各信号の波形例を示す図である。

[図11](A)、(B)、(C)、(D)、(E)、(F)は、第2の実施形態におけるターンオン時の各信号の波形例を示す図である。

[図12]第3の実施形態に係るスイッチング駆動装置を示す図である。

発明を実施するための形態

[0008] 以下、図を参照して本発明を実施するための形態について説明する。以下の記載および図面は、本発明を説明するための例示であって、説明の明確化のため、適宜、省略および簡略化がなされている。また、以下の説明では、同一または類似の要素および処理には同一の符号を付し、重複説明を省略する場合がある。なお、以下に記載する内容はあくまでも本発明の実施の形態の一例を示すものであって、本発明は下記の実施の形態に限定されるものではなく、他の種々の形態でも実施する事が可能である。

[0009] (第1の実施形態)

図1は、本実施の形態のスイッチング駆動装置の適用例を示す図であり、電力変換装置の構成の一部を示す図である。電力変換装置は、例えば、電動車両に搭載された電動モータを駆動する。電動モータは3相コイルを有し、電力変換装置には、3相コイルに所定の通電パターンを印加するための三相スイッチングアームを備えている。図1は、電力変換装置に設けられた三相スイッチングアーム500U、500V、500Wの内の1相分である、三相スイッチングアーム500Uを示したものである。

[0010] 三相スイッチングアーム500Uには、上アームのパワー半導体42と下アームのパワー半導体41とが設けられている。パワー半導体41、42には、例えば、IGBT、Si-MOSFET、GaN-MOSFETなどの半導体素子が用いられる。なお、図1では、パワー半導体41、42にMOSFETを用いた場合を示した。

[0011] パワー半導体41、42には、主回路用高圧側端子(IGBTであればコレ

クタ端子、MOSFETであればドレイン端子)と、主回路用低圧側端子(IGBTであればエミッタ端子、MOSFETであればソース端子)と、制御用端子(ゲート端子)とが設けられている。なお、所望の出力電流値に応じてパワー半導体をさらに多並列接続しても良い。

[0012] 上アーム側の正極配線52は、図示されていないバッテリーなど直流電圧源の正極端子に接続される。下アーム側の負極配線51は直流電圧源の負極端子に接続される。正極配線52はパワー半導体42の主回路用高圧側端子(ドレイン端子)に接続される。パワー半導体42の主回路用低圧側端子(ソース端子)は、三相スイッチングアーム500Uの出力端子53、および、パワー半導体41の主回路用高圧側端子(ドレイン端子)に接続される。パワー半導体41の主回路用低圧側端子(ソース端子)は、負極配線51に接続される。出力端子53は電動モータなどの負荷に接続される。

[0013] パワー半導体41のゲート端子Gpおよびソース端子Spは、パワー半導体41に駆動電力を送るゲート駆動装置10のゲート端子13、ソース端子14にそれぞれ接続される。パワー半導体42のゲート端子Gpおよびソース端子Spは、パワー半導体42に駆動電力を送るゲート駆動装置20のゲート端子13、ソース端子14にそれぞれ接続される。

[0014] ゲート駆動装置10, 20は制御回路30に接続される。制御回路30は例えばマイコン等により構成される。制御回路30は、上位の制御装置(不図示)より入力される駆動指令に基づいて、ゲート駆動装置10, 20毎に制御指令を出力し、各パワー半導体41, 42のオン/オフを個別に制御する。その結果、出力端子53を介して電動モータなどの負荷へ交流の電圧が出力される。

[0015] 図2は、スイッチング駆動装置の詳細を説明する図である。スイッチング駆動装置の基本構成はゲート駆動装置10, 20のいずれか一方と制御回路30とで構成され、図2に示す例では、ゲート駆動装置10と制御回路30とで構成されるスイッチング駆動装置1を示した。ゲート駆動装置20と制御回路30とで構成されるスイッチング駆動装置も、図2に示すスイッチン

グ駆動装置 1 と同様の構成であって同様の動作をする。以下では、スイッチング駆動装置 1 を例に説明する。

[0016] 図 2 は、パワー半導体 4 1 とパワー半導体 4 1 に対応するスイッチング駆動装置 1 とを示す図であって、ゲート駆動装置 1 0 の詳細を示したものである。なお、図 1 のゲート駆動装置 2 0 もゲート駆動装置 1 0 と同様の構成である。ゲート駆動装置 1 0 は、スイッチング素子 M 1 を有する第 1 充電回路 C 1 と、スイッチング素子 M 2 を有する第 1 放電回路 C 2 と、スイッチング素子 M 3 を有する第 2 放電回路 C 3 とを備えている。以下の説明では、パワー半導体 4 1、スイッチング素子 M 2、M 3 が N 型 MOS F E T で、スイッチング素子 M 1 が P 型 MOS F E T である場合を例に説明する。

[0017] 第 1 充電回路 C 1 は、正側電源 V 1、スイッチング素子 M 1、オンゲート抵抗 R 1 および逆流防止用ダイオード D i 1 を備えている。スイッチング素子 M 1 のソース側端子 S 1 は、正側電源 V 1 に接続される。スイッチング素子 M 1 のゲート端子 G 1 は、ゲート駆動装置 1 0 の信号端子 1 1 に接続される。スイッチング素子 M 1 のドレイン側端子 D 1 は、オンゲート抵抗 R 1 の一端に接続される。オンゲート抵抗 R 1 の他端は、逆流防止用ダイオード D i 1 のアノードに接続される。

[0018] 第 1 放電回路 C 2 は、スイッチング素子 M 2、オフゲート抵抗 R 2 および逆流防止用ダイオード D i 2 を備えている。スイッチング素子 M 2 のソース側端子 S 2 は、ゲート駆動装置 1 0 のソース端子 1 4 に接続される。スイッチング素子 M 2 のゲート端子 G 2 は、ゲート駆動装置 1 0 の信号端子 1 1 に接続される。スイッチング素子 M 2 のドレイン側端子 D 2 は、オフゲート抵抗 R 2 の一端に接続される。オフゲート抵抗 R 2 の他端は、逆流防止用ダイオード D i 2 のカソードに接続される。

[0019] 第 2 放電回路 C 3 は、スイッチング素子 M 3 および充放電ゲート抵抗 R 3 を備えている。充放電ゲート抵抗 R 3 の一端は、ゲート駆動装置 1 0 のゲート端子 1 3 に接続される。充放電ゲート抵抗 R 3 の他端は、スイッチング素子 M 3 のドレイン側端子 D 3 に接続される。スイッチング素子 M 3 のソース

側端子S 3は、ゲート駆動装置10のソース端子14に接続される。スイッチング素子M3のゲート端子G3は、ゲート駆動装置10の信号端子12に接続される。

[0020] 逆流防止用ダイオードD i 1のカソードは、逆流防止用ダイオードD i 2のアノードに接続されると共に、ゲート駆動装置10のゲート端子13および充放電ゲート抵抗R3の一端に接続される。第1放電回路C2と第2放電回路C3とは、ゲート端子13に対して並列に接続されている。なお、逆流防止用ダイオードD i 1, D i 2を省略した構成でもよい。

[0021] ゲート駆動装置10の信号端子11, 12は制御回路30に接続される。ゲート駆動装置10のゲート端子13は、パワー半導体41のゲート端子G pに接続される。ゲート駆動装置10のソース端子14は、パワー半導体41のソース端子S pに接続される。なお、図2に示す例では、信号端子11, 12を共通の制御回路30に接続したが、各信号端子11, 12を独立して設けられた2つの制御回路に個別に接続するような構成としても良い。

[0022] (ターンオフ時の動作説明)

図3は、パワー半導体41のターンオフ時における各信号の波形例を示す図である。波形(A)は、信号端子11の電圧波形を示す。波形(B)は、信号端子12の電圧波形を示す。波形(C)は、パワー半導体41のゲートソース(G p S p)間の電圧(以下ではゲートソース間電 V_{gs} と記載する)を示す。波形(D)は、パワー半導体41のドレインソース(D p S p)間の電圧(以下ではドレインソース間電圧 V_{ds} と記載する)を示す。波形(E)は、パワー半導体41のドレインソース(D p S p)間を流れる電流(以下ではドレインソース電流 I_{ds} と記載する)を示す。波形(F)は、パワー半導体41のスイッチング損失の波形を示す。なお、図3において破線で示す波形は、図2に示す回路図において第2放電回路C3を削除した構成(以下では、従来構成と呼ぶ)の場合の信号波形を示す。

[0023] 波形(A)の実線で示すように、時刻 t_0 において、パワー半導体41をオフする制御指令が、制御回路30からゲート駆動装置10の信号端子11

に入力される。すなわち、信号端子 1 1 の電圧が L レベルから H レベルに切り替えられる。この信号がスイッチング素子 M 1, M 2 のゲート端子 G 1, G 2 に入力されると、P 型 MOS FET であるスイッチング素子 M 1 はオンからオフへ切り替わり、N 型 MOS FET であるスイッチング素子 M 2 はオフからオンへ切り替わる。

[0024] また、波形 (B) に示すように、時刻 t_0 において、信号端子 1 2 には、スイッチング素子 M 3 をオフからオンする制御指令が入力される。すなわち、信号端子 1 2 の電圧が L レベルから H レベルに切り替えられる。この信号がスイッチング素子 M 3 のゲート端子 G 3 に入力されると、N 型 MOS FET であるスイッチング素子 M 3 はオフからオンへ切り替わる。なお、信号端子 1 2 にオンの制御指令が入力されるタイミングは、時刻 t_0 よりも遅くてもよい。

[0025] 時刻 t_0 にスイッチング素子 M 2 がオン（スイッチング素子 M 1 はオフ）すると、図 2 のパワー半導体 4 1 のゲート端子 G p より、逆流防止用ダイオード D i 2、オフゲート抵抗 R 2 およびスイッチング素子 M 2 を経由して、パワー半導体 4 1 のゲートソース間容量の放電が開始される。また、時刻 t_0 にスイッチング素子 M 3 がオンすると、パワー半導体 4 1 のゲート端子 G p より、充放電ゲート抵抗 R 3 およびスイッチング素子 M 3 を経由して、パワー半導体 4 1 のゲートソース間容量の放電が開始される。その結果、波形 (C) の実線で示すように、パワー半導体 4 1 のゲートソース間電圧 V_{gs} が減少し始める。

[0026] 時刻 t_1 にパワー半導体 4 1 のゲートソース間電圧 V_{gs} がミラー期間に到達すると、波形 (D) の実線で示すように、パワー半導体 4 1 のドレインソース間電圧 V_{ds} が増加し始める。波形 (C) の破線で示す従来構成の場合には、パワー半導体 4 1 のゲート容量を C とすると、パワー半導体 4 1 のドレインソース間電圧 V_{ds} の放電時定数 τ_1 は CR_2 となる。一方、本実施形態では、波形 (B) に示すように時刻 t_0 にスイッチング素子 M 3 もオンとされるため、パワー半導体 4 1 のドレインソース間電圧 V_{ds} の放電時

定数 τ_2 は $C(R_2//R_3)$ となる。なお、 $R_2//R_3$ は、並列接続された抵抗 R_2 、 R_3 の合成抵抗を表す。そのため、スイッチング素子 M_3 がオンしている間($t_1 \sim t_2$)は、パワー半導体41のゲートソース間電圧 V_{gs} の放電速度が高速化され、ドレインソース間電圧 V_{ds} が急激に増加する。

[0027] 波形(C)に示すように、時刻 t_2 にゲートソース電圧 V_{gs} におけるミラー期間が終了すると、波形(E)に示すように、パワー半導体41のドレインソース間に流れる電流(ドレインソース電流 I_{ds})が減少し始める。この時刻 t_2 において、制御回路30から信号端子12にスイッチング素子 M_3 をオフする制御指令が入力される。すなわち、信号端子12の電圧がHレベルからLレベルに切り替えられる。なお、信号端子12にオフの制御指令が入力されるタイミングは、時刻 t_2 より遅くてもよい。時刻 t_2 以降は、パワー半導体41のゲートソース間電圧 V_{gs} の放電時定数は、従来構成の場合と同じ CR_2 となる。そのため、時刻 t_2 以降に発生する放電時定数に関連するパワー半導体41のドレインソース間のサージ電圧は、従来構成の場合と同様となる。

[0028] パワー半導体41のスイッチング損失量は、パワー半導体41のドレインソース間電圧 V_{ds} とパワー半導体41のドレインソース電流 I_{ds} の積算合計値で表される。波形(F)に示すように、従来構成の場合(破線)には、パワー半導体41のドレインソース間電圧 V_{ds} を許容電圧以下に抑制するためにオフゲート抵抗 R_2 が大きく設定され、スイッチング損失は時刻 t_0 から時刻 t_3 まで発生する。一方、本実施形態では、時刻 t_0 にスイッチング素子 M_3 をオンすることで放電速度が高速化されるので、波形(F)に示すように、時刻 t_1 から時刻 t_3 までのより短い期間において損失が発生する。このように、本実施形態では、従来構成の場合(破線)と比べてスイッチング損失の発生する期間が短くなるので、損失の時間積分値である損失量も従来構成の場合よりも小さくなる。すなわち、第1の実施形態においては、従来構成の場合に比べてターンオフにおけるスイッチング損失量を低減することができる。

[0029] (ターンオン時の動作説明)

図4は、パワー半導体41のターンオン時における各信号の波形例を示す図である。波形(A)は、信号端子11の電圧波形を示す。波形(B)は、信号端子12の電圧波形を示す。波形(C)は、パワー半導体41のゲートソース間電圧 V_{gs} を示す。波形(D)は、図1に示した上アーム側のパワー半導体42のドレインソース間電圧 V_{ds} を示す。波形(E)は、パワー半導体41のドレインソース電流 I_{ds} を示す。波形(F)は、パワー半導体41のスイッチング損失を示す。図3の場合と同様に、破線で示す波形は従来構成の場合の信号波形を示す。

[0030] 波形(A)の実線で示すように、時刻 t_0 において、パワー半導体41をオンする制御指令が、制御回路30からゲート駆動装置10の信号端子11に入力される。すなわち、信号端子11の電圧がHレベルからLレベルに切り替えられる。この信号がスイッチング素子M1、M2のゲート端子G1、G2に入力されると、スイッチング素子M1はオフからオンへ切り替わり、スイッチング素子M2はオンからオフへ切り替わる。スイッチング素子M1がオンすると、正側電源 V_1 、スイッチング素子M1、逆流防止用ダイオード D_{i1} およびオンゲート抵抗 R_1 を経由して流れる充電電流により、図2のパワー半導体41のゲートソース間容量が充電される。その結果、波形(C)の実線で示すように波形パワー半導体41のゲートソース間電圧 V_{gs} が増加し始める。

[0031] 時刻 t_1 において、パワー半導体41のゲートソース間電圧 V_{gs} が閾電圧 V_{th} を超えると、波形(D)、(E)の実線で示すように、図1の上アーム側のパワー半導体42のドレインソース間電圧 V_{ds} が増加し始め、パワー半導体41のドレインソース電流 I_{ds} が増加し始める。すなわち、下アーム側のパワー半導体41がオンするとパワー半導体41のドレインソース間電圧 V_{ds} が減少し、逆にオフ状態である上アーム側のパワー半導体42のドレインソース間電圧 V_{ds} が増加する。

[0032] 波形(B)に示すように、時刻 t_2 において、制御回路30から信号端子

12にスイッチング素子M3をオンする制御指令が入力される。すなわち、信号端子12の電圧がLレベルからHレベルに切り替えられる。なお、信号端子12にオンの制御指令が入力されるタイミングは、時刻 t_2 より早くてもよい。

[0033] 時刻 t_2 に信号端子12の電圧がHレベルになるとスイッチング素子M3がオンし、パワー半導体41のゲート端子Gpより、充放電ゲート抵抗R3およびスイッチング素子M3を経由してパワー半導体41のゲートソース間容量が放電される。その結果、スイッチング素子M3がオンの時は、パワー半導体41のゲートソース間電圧 V_{gs} は、第2放電回路C3の充放電ゲート抵抗R3と第1充電回路C1のオンゲート抵抗R1との比で決定される電圧値に収束する。波形(C), (D)の実線で示すように、時刻 t_2 から時刻 t_3 ではパワー半導体41のゲートソース間電圧 V_{gs} は一定に保たれる。そのため、パワー半導体41のドレインソース電流 I_{ds} の変化が緩やかになるとともに、上アーム側のパワー半導体42のドレインソース間電圧 V_{ds} の増加が緩やかになって抑制される。

[0034] 波形(B)に示すように、時刻 t_3 において、制御回路30から信号端子12にスイッチング素子M3をオフする制御指令が入力される。すなわち、信号端子12の電圧がHレベルからLレベルに切り替えられる。なお、信号端子12にオフの制御指令が入力されるタイミングは時刻 t_3 より遅くてもよい。波形(F)の実線で示すように、パワー半導体41のスイッチング損失は、時刻 t_1 から時刻 t_4 までにおいて発生する。

[0035] 従来構成の場合(破線)には、上アーム側のパワー半導体42のドレインソース間電圧 V_{ds} を許容電圧以下に抑制するために、オンゲート抵抗R1が大きく設定される。一方、本実施形態では、スイッチング素子M3をオンすることで充電速度を低速化し、パワー半導体42のドレインソース間電圧 V_{ds} を許容電圧以下に抑制している。そのため、オンゲート抵抗R1を従来構成の場合よりも小さく設定することが可能となり、スイッチング素子M3がオフである期間において充電速度を従来よりも高速とすることができる。

。その結果、波形（F）に示すように、損失の発生する期間が従来構成の場合（破線）よりも短くなる。すなわち、第1の実施形態においては、従来構成の場合に比べてターンオンにおけるスイッチング損失量を低減することができる。

[0036] （制御回路30における制御指令生成方法）

次いで、制御回路30における制御指令の生成方法について説明する。上述した制御回路30からの制御指令は、パワー半導体41の状態に応じて生成するのが好ましい。図5は、図2の場合と同様にスイッチング駆動装置1に関する回路構成を示したものであって、パワー半導体41の状態を検知する手段を備えている。

[0037] 図5では、パワー半導体41の状態を検知する手段として、パワー半導体41のドレインソース電流 I_{ds} を検知する素子電流検出部61と、パワー半導体41のドレインソース間電圧 V_{ds} を検知する素子電圧検出部62と、パワー半導体41の温度 T_j を検知する素子温度検出部63とを備えている。制御回路30には、上位の制御装置からの駆動指令 S 、各検出部61～63の状態検出情報（ I_{ds} 、 V_{ds} 、 T_j ）が入力される。

[0038] 制御回路30は駆動指令 S のみ、または、駆動指令 S および状態検出情報（ I_{ds} 、 V_{ds} 、 T_j ）の両方に基づいて、ゲート駆動装置10の信号端子11および信号端子12のそれぞれに制御指令を送る。なお、パワー半導体41の状態検出情報としては、上記以外の情報として、例えば、ドレインソース間電圧 V_{ds} の変化率の立ち上がりや、ドレインソース間電圧 V_{ds} およびドレインソース電流 I_{ds} の変化率の立下りなど、任意に選ぶことができる。このように、制御回路30は、検知されたパワー半導体41の状態に応じて制御指令を生成することで、パワー半導体41のスイッチング動作をより適切に制御することができる。

[0039] また、図示は省略するが、制御回路30に代えて、信号端子11へ制御指令を出力する制御回路30Aと、信号端子12へ制御指令を出力する制御回路30Bとを個別に設けても良い。上位からの駆動指令 S およびパワー半導

体41の状態検出情報 (I_{ds} , V_{ds} , T_j) は、各制御回路30A, 30Bに対して個別に入力される。

[0040] 次に、状態検出情報 (I_{ds} , V_{ds} , T_j) を使用した制御について説明する。なお、図2のゲート駆動装置10の信号端子12に入力される制御指令、すなわち、図3および図4の波形(B)に示す信号端子12の電圧のHレベルに関して、Hレベルの時間幅を Δt_{on} とする。時間幅 Δt_{on} は、図5の素子電圧検出部62で検出されたパワー半導体41のドレインソース間電圧 V_{ds} に基づいて設定しても良いし、素子電流検出部61で検出されたドレインソース電流 I_{ds} に基づいて設定しても良い。その場合、素子電圧検出部62および素子電流検出部61の検出値の両方を用いても良いし、片方だけ用いても良い。

[0041] まず、パワー半導体41のターンオフ時における信号端子12の制御指令生成方法について説明する。図3の時間幅 Δt_{on} が大きいほど、ターンオフ時により高速スイッチングとなる。図6(a)は、ターンオフ時の時間幅 Δt_{on} を、ドレインソース間電圧 V_{ds} に基づいて設定する場合を示す。図6(a)に示すように、素子電圧検出部62の検出値が大きいほど時間幅 Δt_{on} を小さく、検出値が小さいほど時間幅 Δt_{on} を大きく設定する。その際に、時間幅 Δt_{on} に最大値(Δt_{on_max})や最小値(Δt_{on_min})を設けても良い。また、時間幅 Δt_{on} の値は線形的に変化させなくても良いし、離散的な値を使用しても良い。このように設定するのは、パワー半導体41のドレインソース間電圧 V_{ds} が小さいほど、許容電圧までの電圧差が大きくなることにより、スイッチング速度をより高速化できるからである。図6(a)のように時間幅 Δt_{on} を設定することで、パワー半導体41のドレインソース間電圧 V_{ds} に応じて、より広範囲で高速スイッチングを実現でき、スイッチング損失が低減される。

[0042] 図6(b)は、ターンオフ時の時間幅 Δt_{on} を、ドレインソース電流 I_{ds} に基づいて設定する場合を示す。この場合、素子電流検出部61の検出値が大きいほど時間幅 Δt_{on} を小さく、素子電流検出部61の検出値が小さい

ほど時間幅 Δt_{on} を大きく設定する。その際に、時間幅 Δt_{on} に最大値(Δt_{on_max})や最小値(Δt_{on_min})を設けても良い。また、時間幅 Δt_{on} の値は線形的に変化させなくても良いし、離散的な値を使用しても良い。このように設定するのは、パワー半導体41のドレインソース電流 I_{ds} が小さいほど、許容電圧までの電圧差が大きくなることにより、スイッチング速度をより高速化できるからである。図6(b)に示すように時間幅 Δt_{on} を設定することで、パワー半導体41のドレインソース電流 I_{ds} に応じて、より広範囲で高速スイッチングを実現でき、スイッチング損失が低減される。

[0043] 次に、パワー半導体41のターンオン時における信号端子12の制御指令生成方法について説明する。図4の波形(B)に示す時間幅 Δt_{on} が小さいほど、ターンオン時により高速スイッチングとなる。なお、図4において、信号端子12の電圧信号の時間幅 Δt_{on} の立ち下がり時刻は、例えば、パワー半導体41のターンオン終了時刻でも良いし、ターンオン終了時刻から任意の時間を加算もしくは減算した値でも良い。その場合、時間幅 Δt_{on} の立ち上がり時刻は、立ち下がり時刻から時間幅 Δt_{on} を差し引いた値とされる。

[0044] 図7(a)は、ターンオン時の時間幅 Δt_{on} を、素子電圧検出部62で検出されるドレインソース間電圧 V_{ds} に基づいて設定する場合を示す。その場合、素子電圧検出部62の検出値が大きいほど時間幅 Δt_{on} を大きく、検出値が小さいほど時間幅 Δt_{on} を小さく設定する。その際に、時間幅 Δt_{on} に最大値(Δt_{on_max})や最小値(Δt_{on_min})を設けても良い。また、時間幅 Δt_{on} の値は線形的に変化させなくても良いし、離散的な値を使用しても良い。このように設定するのは、パワー半導体41のドレインソース間電圧 V_{ds} が小さいほど、許容電圧までの電圧差が大きくなることにより、このようなターンオン動作を行うことで、スイッチング速度をより高速化できるからである。図7(a)のように時間幅 Δt_{on} を設定することにより、パワー半導体41のドレインソース間電圧 V_{ds} に応じてより広範囲で高速スイッチングを実現でき、スイッチング損失が低減される。

[0045] 図7(b)は、ターンオン時の時間幅 Δt_{on} を、素子電流検出部61で検出されるドレインソース電流 I_{ds} に基づいて設定する場合を示す。その場合、素子電流検出部61の検出値が大きいほど時間幅 Δt_{on} を大きく、素子電流検出部61の検出値が小さいほど時間幅 Δt_{on} を小さく設定する。その際に、時間幅 Δt_{on} に最大値(Δt_{on_max})や最小値(Δt_{on_min})を設けても良い。また、時間幅 Δt_{on} の値は線形的に変化させなくても良いし、離散的な値を使用しても良い。このように設定するのは、パワー半導体41のドレインソース電流 I_{ds} が小さいほど、許容電圧までの電圧差が大きくなることにより、このようなターンオン動作を行うことで、スイッチング速度をより高速化できるからである。図7(b)のように時間幅 Δt_{on} を設定することにより、パワー半導体41のドレインソース電流 I_{ds} に応じてより広範囲で高速スイッチングを実現でき、スイッチング損失が低減される。

[0046] 図7(c)は、ターンオン時の時間幅 Δt_{on} を、素子温度検出部63で検出されるパワー半導体41の温度 T_j に基づいて設定する場合を示す。その場合、温度 T_j が大きいほど時間幅 Δt_{on} を大きく、温度 T_j が小さいほど時間幅 Δt_{on} を小さく設定する。その際に、時間幅 Δt_{on} に最大値(Δt_{on_max})や最小値(Δt_{on_min})を設けても良い。また、時間幅 Δt_{on} の値は線形的に変化させなくても良いし、離散的な値を使用しても良い。このように設定するのは、パワー半導体41の温度 T_j が小さいほど、許容電圧までの電圧差が大きくなることにより、このようなターンオン動作を行うことで、スイッチング速度をより高速化できるからである。図7(c)のように時間幅 Δt_{on} を設定することにより、パワー半導体41の温度 T_j に応じてより広範囲で高速スイッチングを実現でき、スイッチング損失が低減される。

[0047] (変形例)

図8は、上述した第1の実施形態の変形例を示す図である。図8に示す変形例では、第2放電回路C3を並列接続された2つの放電回路で構成した。並列接続された放電回路の一方は充放電ゲート抵抗3Rとスイッチング素子M3とを備え、他方は充放電ゲート抵抗5Rとスイッチング素子M5とを備

える。図8に示す例では、充放電ゲート抵抗 $3R$ 、 $5R$ を可変抵抗としたが、可変抵抗でなくても良い。なお、第2放電回路 $C3$ において、並列接続される放電回路は3つ以上であっても良い。

[0048] 充放電ゲート抵抗 $3R$ 、 $5R$ の値は制御回路30の制御指令に応じて決めても良いし、図5に示した素子電流検出部61、素子電圧検出部62および素子温度検出部63の検出値を用いて決定してもよい。図8の構成の場合、例えば、ターンオフの場合に、スイッチング素子 $M2$ 、 $M3$ 、 $M5$ の全てをオンすることで、さらに高速化を図ることができる。なお、図2に示した第2放電回路 $C3$ の場合にも、充放電ゲート抵抗 $R3$ を可変抵抗とすることで、例えば、素子温度 T_j の値に応じて可変抵抗の値を制御することで、より適切に充放電制御を行うことができる。

[0049] (第2の実施形態)

図9は、本発明の第2の実施形態のスイッチング駆動装置1を説明する図である。図9に示すスイッチング駆動装置1は、制御回路30と、パワー半導体41に駆動電力を送るゲート駆動装置10Aとを備える。なお、図示は省略するが、上アーム側のパワー半導体42に関するスイッチング駆動装置も、ゲート駆動装置10Aと同様の構成のゲート駆動装置を備えている。

[0050] ゲート駆動装置10Aは、スイッチング素子 $M1$ を有する第1充電回路 $C1$ と、スイッチング素子 $M2$ を有する第1放電回路 $C2$ と、スイッチング素子 $M4$ を有する第2充電回路 $C4$ とを備えている。以下の説明では、パワー半導体41およびスイッチング素子 $M2$ がN型MOSFETで、スイッチング素子 $M1$ 、 $M4$ がP型MOSFETである場合を例に説明する。

[0051] ゲート駆動装置10Aの第1充電回路 $C1$ および第1放電回路 $C2$ は、図2に示したゲート駆動装置10の第1充電回路 $C1$ および第1放電回路 $C2$ と同一構成である。第2充電回路 $C4$ は、スイッチング素子 $M4$ および充放電ゲート抵抗 $R4$ を備えている。スイッチング素子 $M4$ のソース側端子 $S4$ は、正側電源 $V2$ に接続される。スイッチング素子 $M4$ のゲート端子 $G4$ は、ゲート駆動装置10Aの信号端子12に接続される。スイッチング素子 M

4のドレイン側端子D4は、充放電ゲート抵抗R4の一端に接続される。充放電ゲート抵抗R4の他端は、ゲート駆動装置10Aのゲート端子13に接続される。

[0052] 逆流防止用ダイオードD_{i1}のカソードは、逆流防止用ダイオードD_{i2}のアノードに接続されると共に、ゲート駆動装置10Aのゲート端子13および充放電ゲート抵抗R4の他端に接続される。第1充電回路C1と第2充電回路C4とは、ゲート端子13に対して並列に接続されている。なお、逆流防止用ダイオードD_{i1}、D_{i2}を省略した構成でもよい。

[0053] ゲート駆動装置10Aの信号端子11、12は制御回路30に接続される。ゲート駆動装置10Aのゲート端子13は、パワー半導体41のゲート端子G_pに接続される。ゲート駆動装置10Aのソース端子14は、パワー半導体41のソース端子S_pに接続される。図9に示す例では、信号端子11、12を共通の制御回路30に接続したが、各信号端子11、12を独立して設けられた2つの制御回路に個別に接続するような構成としても良い。正側電源V1、V2の電位は異なっても良いが一般には等しく設定され、本実施形態においても同一電位に設定されている場合を例に説明する。

[0054] (ターンオフ時の動作説明)

図10は、パワー半導体41のターンオフ時における各信号の波形例を示す図である。波形(A)は、信号端子11の電圧波形を示す。波形(B)は、信号端子12の電圧波形を示す。波形(C)は、パワー半導体41のゲートソース間電圧V_{gs}を示す。波形(D)は、パワー半導体41のドレインソース間電圧V_{ds}を示す。波形(E)は、パワー半導体41のドレインソース電流I_{ds}を示す。波形(F)は、パワー半導体41のスイッチング損失の波形を示す。なお、図10において破線で示す波形は、図9に示す回路図において第2充電回路C4を削除した従来構成の場合の信号波形を示す。

[0055] 波形(A)の実線で示すように、時刻t0において、パワー半導体41をオフする制御指令が、制御回路30からゲート駆動装置10の信号端子11に入力される。すなわち、信号端子11の電圧がLレベルからHレベルに切

り替えられる。この信号がスイッチング素子M1、M2のゲート端子G1、G2に入力されると、P型MOSFETであるスイッチング素子M1はオンからオフへ切り替わり、N型MOSFETであるスイッチング素子M2はオフからオンへ切り替わる。

[0056] 時刻 t_0 にスイッチング素子M2がオン（スイッチング素子M1はオフ）すると、パワー半導体41のゲート端子Gpより、逆流防止用ダイオードDi2、オフゲート抵抗R2およびスイッチング素子M2を経由して、パワー半導体41のゲートソース間容量の放電が開始される。その結果、波形（C）の実線で示すように、パワー半導体41のゲートソース間電圧 V_{gs} が減少し始める。

[0057] 第1の実施形態で説明したように、従来構成の場合（破線）には、パワー半導体41のドレインソース間電圧 V_{ds} を許容電圧以下に抑制するために、オフゲート抵抗R2の値を大きく設定している。一方、第2の実施形態における第1放電回路C2のオフゲート抵抗R2の値は、従来構成の場合よりも小さく設定される。例えば、図10に示す例では、時刻 t_0 から時刻 t_1 までのゲートソース間電圧 V_{gs} の放電時定数が図3に示す時定数 τ_2 と同じになるように、オフゲート抵抗R2の値が設定される。そのため、図10における時刻 t_0 から時刻 t_1 までのゲートソース間電圧 V_{gs} の実線ラインの傾きは、図3の波形（C）の時刻 $t_0 \sim t_1$ における実線ラインの傾きと同じになっている。

[0058] 時刻 t_1 にパワー半導体41のゲートソース間電圧 V_{gs} がミラー期間に到達すると、波形（D）の実線で示すように、パワー半導体41のドレインソース間電圧 V_{ds} が増加し始める。波形（C）の実線で示すように、時刻 t_2 においてパワー半導体41のゲートソース電圧 V_{gs} に関するミラー期間が終了すると、波形（E）に示すように、パワー半導体41のドレインソース電流 I_{ds} が減少し始める。

[0059] 波形（B）に示すように、時刻 t_{21} において、制御回路30から信号端子12にスイッチング素子M4をオンする制御指令が入力される。すなわち

、信号端子 1 2 の電圧が H レベルから L レベルに切り替えられる。なお、信号端子 1 2 にオンの制御指令が入力されるタイミング（時刻 t_{21} ）は、時刻 t_2 より遅くてもよい。

[0060] 時刻 t_{21} にスイッチング素子 M 4 がオンすると、正側電源 V 2、スイッチング素子 M 4、充放電ゲート抵抗 R 4 を経由して充電電流が流れる。その結果、スイッチング素子 M 4 がオンの時は、パワー半導体 4 1 のゲートソース間電圧 V_{gs} は、第 2 充電回路 C 4 の充放電ゲート抵抗 R 4 と第 1 放電回路 C 2 のオフゲート抵抗 R 2 との比で決定される電圧値に収束する。このように、第 1 放電回路 C 2 で放電を行っている最中にスイッチング素子 M 4 をオンすることにより放電速度が低速化され、パワー半導体 4 1 のドレインソース間電圧 V_{ds} が許容電圧以下に抑制される。

[0061] そのため、上述したようにオフゲート抵抗 R 2 の値を従来構成の場合よりも小さく設定することが可能となり、スイッチング素子 M 3 がオフである期間において放電速度を従来よりも高速化することができる。その結果、波形（F）の実線で示すように、損失の発生する期間がオフゲート抵抗 R 2 を大きくする従来構成の場合（破線）よりも短くなる。すなわち、第 2 の実施形態においても、従来構成の場合に比べてターンオフにおけるスイッチング損失量を低減することができる。

[0062] なお、図 1 0 に示す例では、信号端子 1 2 にオフの制御指令が入力されるタイミング、すなわち L レベルから H レベルに切り替わるタイミングの時刻 t_3 は、ドレインソース電流 I_{ds} がゼロとなる時刻 t_3 と同時でも良いし、時刻 t_3 より遅くてもよい。

[0063] （ターンオン時の動作説明）

図 1 1 は、パワー半導体 4 1 のターンオン時における各信号の波形例を示す図である。波形（A）は、信号端子 1 1 の電圧波形を示す。波形（B）は、信号端子 1 2 の電圧波形を示す。波形（C）は、パワー半導体 4 1 のゲートソース間電圧 V_{gs} を示す。波形（D）は、図 1 に示した上アーム側のパワー半導体 4 2 のドレインソース間電圧 V_{ds} を示す。波形（E）は、パワ

一半導体41のドレインソース電流 I_{ds} を示す。波形(F)は、パワー半導体41のスイッチング損失を示す。また、破線で示す波形は、図9に示す回路図において第2充電回路C4を削除した従来構成の場合の信号波形を示す。

[0064] 波形(A)に示すように、時刻 t_0 において、パワー半導体41をオンする制御指令が、制御回路30からゲート駆動装置10の信号端子11に入力される。すなわち、信号端子11の電圧がHレベルからLレベルに切り替えられる。この信号がスイッチング素子M1、M2のゲート端子G1、G2に入力されると、スイッチング素子M1はオフからオンへ切り替わり、スイッチング素子M2はオンからオフへ切り替わる。時刻 t_0 にスイッチング素子M1がオン(スイッチング素子M2はオフ)すると、正側電源V1、スイッチング素子M1、逆流防止用ダイオードD1およびオンゲート抵抗R1を経由して充電電流が流れる。

[0065] また、波形(B)に示すように、信号端子12には、時刻 t_0 にスイッチング素子M4をオフからオンする制御指令が制御回路30から入力される。すなわち、信号端子12の電圧がHレベルからLレベルに切り替えられる。時刻 t_0 にスイッチング素子M4がオンすると、正側電源V2、スイッチング素子M4、充放電ゲート抵抗R4を経由して充電電流が流れる。なお、信号端子12にオンの制御指令が入力されるタイミングは、時刻 t_0 より遅くてもよい。

[0066] 第2充電回路C4を備えていない従来構成のように第1充電回路C1だけによる充電を行う場合、パワー半導体41のゲート容量をCとすると、パワー半導体41のドレインソース間電圧 V_{ds} の充電時定数 τ_3 は CR_1 になる。一方、第2の実施形態では、並列接続された第1充電回路C1と第2充電回路C4とにより充電を行うので、パワー半導体41のドレインソース間電圧 V_{ds} の充電時定数 τ_4 は $C(R_1//R_4)$ となる。なお、 $R_1//R_4$ は、並列接続された抵抗R1、R4の合成抵抗を表す。そのため、スイッチング素子M4がオンしている間は、パワー半導体41のゲートソース間電圧V

d_s の充電速度が高速化され、ドレインソース間電圧 V_{ds} が従来に比べて急激に増加する。

[0067] 波形 (C) の実線で示すように、時刻 t_1 において、パワー半導体 41 のゲートソース間電圧 V_{gs} が閾電圧 (V_{th}) を超えると、波形 (D), (E) の実線で示すように、上アーム側のパワー半導体 42 のドレインソース間電圧 V_{ds} が増加し始めると共に、パワー半導体 41 のドレインソース電流 I_{ds} が増加し始める。

[0068] 波形 (B) に示すように、時刻 t_2 において、制御回路 30 から信号端子 12 にスイッチング素子 M4 をオフする制御指令が入力される。すなわち、信号端子 12 の電圧が L レベルから H レベルに切り替えられる。なお、信号端子 12 にオフの制御指令が入力されるタイミングは、時刻 t_2 より遅くてもよい。時刻 t_2 以降は、パワー半導体 41 のゲートソース間電圧 V_{gs} の充電時定数は従来構成の場合と同じ CR_1 となる。そのため、時刻 t_2 以降に発生する充電時定数に関連するパワー半導体 41 のドレインソース間のサージ電圧は、従来構成の場合と同様となる。

[0069] 波形 (F) の実線で示すように、パワー半導体 41 のスイッチング損失は、時刻 t_1 から時刻 t_4 までの間で発生し、対アームのパワー半導体 42 のドレインソース間電圧 V_{ds} を抑制するためにオンゲート抵抗 R_1 を大きくする従来構成の場合 (破線) に比べて、損失期間をより短くすることができる。すなわち、第 2 の実施形態においても、従来構成の場合に比べてターンオンにおけるスイッチング損失量を低減することができる。

[0070] なお、時刻 t_3 以降に、波形 (B) に示すように、制御回路 30 から信号端子 12 にスイッチング素子 M4 をオンする制御指令を入力し、高速スイッチングを行ってもよい。これにより、スイッチング素子 M4 がオンの時には、波形 (C) に示すようにゲートソース間電圧 V_{gs} が高速で上昇するのでターンオン動作が高速化され、パワー半導体 41 のスイッチング損失量はさらに低減される。

[0071] なお、第 2 の実施形態の場合においても、図 5 に示す素子電流検出部 61

、素子電圧検出部 6 2 および素子温度検出部 6 3 を備える構成を適用することができる。

[0072] (第 3 の実施形態)

図 1 2 は、第 3 の実施形態に係るスイッチング駆動装置 1 を示す図である。図 2 に示したゲート駆動装置 1 0 は電圧駆動型のゲート駆動装置であったが、図 1 2 に示すゲート駆動装置 1 0 B は電圧駆動型を定電流駆動型に変更した場合の一例を示したものである。スイッチング素子 M 1, M 2, M 3 は、定電流型駆動型のスイッチング素子に置き換えられている。なお、図 1 2 ではオペアンプを使用した方式としているが、オペアンプを使用した方式でなくても良い。各オペアンプの正側の入力端子には、ゲート駆動装置 1 0 B の信号端子 1 1, 1 2, 1 5 を介して制御回路 3 0 から制御指令が入力される。

[0073] また、スイッチング素子 M 1, M 2, M 3 の全てを定電流型駆動型とせず、電圧駆動型と定電流型駆動型とを併用しても良い。例えば、ターンオフは定電流駆動型、ターンオンは電圧駆動型にしたいという場合には、スイッチング素子 M 2, M 3 に関しては図 1 2 に示す構成とし、スイッチング素子 M 1 に関しては図 2 に示した構成とすれば良い。電圧駆動型の場合には回路構成がシンプルになるが、電流量が負荷によって変わる。一方、定電流駆動型は電流が一定なので制御しやすいが、回路構成が電圧駆動型の場合に比べてやや複雑になる。

[0074] なお、図 1 2 は、図 2 の構成で電圧駆動型のスイッチング素子 M 1, M 2, M 3 を定電流型駆動型のスイッチング素子に置き換えたものであるが、図 9 の構成においても定電流型駆動型のスイッチング素子を適用することが可能である。

[0075] 以上説明した本発明の実施形態および変形例によれば、以下の作用効果を奏する。

[0076] (1) 図 2 ~ 4, 9 ~ 1 2 等 to 示すように、パワー半導体 4 1 のゲート端子 G p に駆動電圧または駆動電流を供給するスイッチング駆動装置 1 は、ター

ンオン抵抗 R_1 と第1スイッチング素子 M_1 を有し、パワー半導体41のターンオン時にゲート端子 G_p を充電する第1回路（第1充電回路 C_1 ）と、ターンオフ抵抗 R_2 と第2スイッチング素子 M_2 を有し、パワー半導体41のターンオフ時にゲート端子 G_p を放電する第2回路（第1放電回路 C_2 ）と、ゲート端子 G_p に接続され、ゲート抵抗（充放電ゲート抵抗 R_3 または R_4 ）と第3スイッチング素子 M_3 または M_4 を有してゲート端子 G_p の放電または充電を行う第3回路（第2放電回路 C_3 または第2充電回路 C_4 ）と、第1乃至第3スイッチング素子 $M_1 \sim M_4$ のオン／オフを制御する制御装置（制御回路30）と、を備える。

[0077] そして、制御回路30は、パワー半導体41のターンオン時に、第1回路（第1充電回路 C_1 ）による充電と第3回路（第2放電回路 C_3 または第2充電回路 C_4 ）による放電または充電とを制御して、図4または図11の時刻 $t_0 \sim t_2$ における第1ターンオン動作モードを実行させた後に、該第1ターンオン動作モードよりも低速な図4の時刻 $t_2 \sim t_3$ または図11の時刻 $t_2 \sim t_3$ における第2ターンオン動作モードを実行する。このように第1および第2ターンオン動作モードを実行することで、ターンオン時のサージ電圧を抑制しつつ、パワー半導体41におけるスイッチング損失の発生する期間を短くすることが可能となる。その結果、ターンオン時におけるスイッチング損失量を低減することができる。

[0078] また、パワー半導体41のターンオフ時に、第2回路（第1放電回路 C_2 ）による放電と第3回路（第2放電回路 C_3 または第2充電回路 C_4 ）による放電または充電とを制御して、図3の時刻 $t_0 \sim t_2$ または図10の時刻 $t_0 \sim t_{21}$ における第1ターンオフ動作モードを実行させた後に、該第1ターンオフ動作モードよりも低速な図3の時刻 $t_2 \sim t_3$ または図10の時刻 $t_{21} \sim t_3$ における第2ターンオフ動作モードを実行する。このように第1および第2ターンオフ動作モードを実行することで、ターンオフ時のサージ電圧を抑制しつつ、パワー半導体41におけるスイッチング損失の発生する期間を短くすることが可能となる。その結果、ターンオフ時におけるス

スイッチング損失量を低減することができる。

[0079] 上述のように、スイッチング駆動装置 1 は、第 1 回路（第 1 充電回路 C 1）および第 2 回路（第 1 放電回路 C 2）対して第 3 回路（第 2 放電回路 C 3 または第 2 充電回路 C 4）を追加するだけで、すなわち、コスト増を抑えつつ、サージ抑制とターンオン時およびターンオフ時のスイッチング損失量の低減とを図ることができる。

[0080] （2）上記（1）において、図 2、12 に示すように、第 3 回路は、第 1 放電回路 C 2（第 2 回路）と並列に設けられる第 2 放電回路 C 3 である。そして、図 4 の時刻 $t_0 \sim t_2$ における第 1 ターンオン動作モードでは、第 1 充電回路 C 1（第 1 回路）による充電を行い、時刻 $t_2 \sim t_3$ における第 2 ターンオン動作モードでは、第 1 充電回路 C 1 による充電および第 2 放電回路 C 3 による放電を行う。また、図 3 の時刻 $t_0 \sim t_2$ における第 1 ターンオフ動作モードでは、第 1 放電回路 C 2 による放電および第 2 放電回路 C 3 による放電を行い、時刻 $t_2 \sim t_3$ における第 2 ターンオフ動作モードでは、第 1 放電回路 C 2 による放電を行う。

[0081] 図 2、12 のスイッチング駆動装置 1 では、図 4 に示す第 2 ターンオン動作モードにおいて、第 1 充電回路 C 1 による充電を行いつつ第 2 放電回路 C 3 による放電を行って充電低速化によるサージ抑制を図っているので、オンゲート抵抗 R_1 を従来よりも小さく設定することが可能となる。その結果、第 1 ターンオン動作モードにおける充電速度を従来よりも高速化することができ、ターンオン時におけるスイッチング損失量を低減することができる。また、図 3 に示す第 1 ターンオフ動作モードでは、第 1 放電回路 C 2 による放電および第 2 放電回路 C 3 による放電を実行することで、パワー半導体 41 のドレインソース間電圧 V_{ds} の放電時定数 τ_2 は $C(R_2 // R_3)$ となり、パワー半導体 41 のゲートソース間電圧 V_{ds} の放電速度が高速化される。その結果、従来と比べてスイッチング損失の発生する期間が短くなり、ターンオフ時のスイッチング損失量を低減することができる。

[0082] （3）上記（1）において、図 9 に示すように、第 3 回路は、第 1 充電回路

C 1（第 1 回路）と並列に設けられる第 2 充電回路 C 4 である。そして、図 1 1 の時刻 $t_0 \sim t_2$ における第 1 ターンオン動作モードでは、第 1 充電回路 C 1 による充電および第 2 充電回路 C 4 による充電を行い、時刻 $t_2 \sim t_3$ における第 2 ターンオン動作モードでは、第 1 充電回路 C 1 による充電を行う。また、図 1 0 における時刻 $t_0 \sim t_{21}$ における第 1 ターンオフ動作モードでは、第 1 放電回路 C 2 による放電を行い、時刻 $t_{21} \sim t_3$ における第 2 ターンオフ動作モードでは、第 1 放電回路 C 2 による放電および第 2 充電回路 C 4 による充電を行う。

[0083] 図 9 のスイッチング駆動装置 1 では、図 1 1 の時刻 $t_0 \sim t_2$ における第 1 ターンオン動作モードでは、第 1 充電回路 C 1 による充電および第 2 充電回路 C 4 による充電を行うので、パワー半導体 4 1 のドレインソース間電圧 V_{ds} の充電時定数 τ_4 は $C(R_1 // R_4)$ となる。そのため、パワー半導体 4 1 のゲートソース間電圧 V_{ds} の放電速度が高速化され、従来と比べてスイッチング損失の発生する期間が短くなり、ターンオン時のスイッチング損失量を低減することができる。また、図 1 0 に示す第 2 ターンオフ動作モードにおいて、第 1 放電回路 C 2 で放電を行っている最中にスイッチング素子 M 4 をオンすることにより放電速度を低速化しているので、オフゲート抵抗 R_2 を従来よりも小さく設定することが可能となる。その結果、第 1 ターンオフ動作モードにおける放電速度が高速化され、スイッチング損失の発生する期間が従来と比べて短くなり、ターンオフ時におけるスイッチング損失量を低減することができる。

[0084] (4) 上記 (1) において、図 2 に示すように、第 3 回路が放電を行う第 2 放電回路 C 3 である場合には、第 2 ターンオン動作モードを実行した後に、さらに図 4 の時刻 t_3 以降のように、第 1 充電回路 C 1（第 1 回路）による充電を行う第 1 ターンオン動作モードを再実行する。また、図 9 に示すように第 3 回路が充電を行う第 2 充電回路 C 4 である場合には、図 1 0 の第 2 ターンオフ動作モードを実行した後に、さらに図 1 0 の時刻 t_3 以降のように、第 1 放電回路 C 2（第 2 回路）による放電を行う第 1 ターンオフ動作モー

ドを再実行する。このような制御を行うことにより、パワー半導体41のスイッチング動作をより高速に行うことができる。

[0085] (5) 上記(1)において、図5等に応示するように、パワー半導体41の電圧 V_{ds} 、電流 I_{ds} および温度 T_j の少なくとも一つを検知する検知部(素子電流検出部61、素子電圧検出部62、素子温度検出部63)をさらに備え、制御回路30は、検知部の検知情報(電圧 V_{ds} 、電流 I_{ds} および温度 T_j)に基づいて第3スイッチング素子M3のオン/オフを制御する。このように、検知されたパワー半導体41の状態に応じて第3スイッチング素子M3のオン/オフを制御することで、パワー半導体41のスイッチング動作をより適切に制御することができる。

[0086] (6) 例えば、上記(2)において、図3の時刻 $t_0 \sim t_2$ の第1ターンオフ動作モードにおける第3回路(第2放電回路C3)による放電期間(時間幅 Δt_{on})は、図6(a)、6(b)に応示するように、パワー半導体41の入力電圧(ドレインソース間電圧 V_{ds})またはパワー半導体41を流れるドレインソース電流 I_{ds} が低くなるほど長く設定される。

[0087] (7) 例えば、上記(2)において、図4の時刻 $t_2 \sim t_3$ の第2ターンオン動作モードにおける第3回路(第2放電回路C3)による放電期間(時間幅 Δt_{on})は、図7に応示するように、パワー半導体41の入力電圧 V_{ds} またはパワー半導体41を流れるドレインソース電流 I_{ds} またはパワー半導体41のデバイス温度 T_j が高くなるほど長く設定される。

[0088] 以上説明した各実施形態や各種変形例はあくまで一例であり、発明の特徴が損なわれない限り、本発明はこれらの内容に限定されるものではない。また、上記では種々の実施形態や変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0089] 1…スイッチング駆動装置、10、10A、10B、20…ゲート駆動装置、30…制御回路、41、42…パワー半導体、51…負極配線、52…

正極配線、53…出力端子、61…素子電流検出部、62…素子電圧検出部、63…素子温度検出部、C1…第1充電回路、C2…第1放電回路、C3…第2放電回路、Di1, Di2…逆流防止用ダイオード、M1, M2, M3, M4, M5…スイッチング素子、R1…オンゲート抵抗、R2…オフゲート抵抗、R3, R4, R5…充放電ゲート抵抗、V1, V2…正側電源、 Δt_{on} …時間幅

請求の範囲

- [請求項1] 半導体素子のゲート端子に駆動電圧または駆動電流を供給するスイッチング駆動装置であって、
- ターンオン抵抗と第1スイッチング素子を有し、前記半導体素子のターンオン時に前記ゲート端子を充電する第1回路と、
- ターンオフ抵抗と第2スイッチング素子を有し、前記半導体素子のターンオフ時に前記ゲート端子を放電する第2回路と、
- 前記ゲート端子に接続され、ゲート抵抗と第3スイッチング素子を有して前記ゲート端子の放電または充電を行う第3回路と、
- 前記第1乃至第3スイッチング素子のオン／オフを制御する制御装置と、を備え、
- 前記制御装置は、
- 前記半導体素子のターンオン時に、前記第1回路による充電と前記第3回路による放電または充電とを制御して、第1ターンオン動作モードを実行させた後に、該第1ターンオン動作モードよりも低速な第2ターンオン動作モードを実行し、
- 前記半導体素子のターンオフ時に、前記第2回路による放電と前記第3回路による放電または充電とを制御して、第1ターンオフ動作モードを実行させた後に、該第1ターンオフ動作モードよりも低速な第2ターンオフ動作モードを実行する、スイッチング駆動装置。
- [請求項2] 請求項1に記載のスイッチング駆動装置において、
- 前記第3回路は、前記第2回路と並列に設けられる放電回路であり、
- 前記第1ターンオン動作モードでは、前記第1回路による充電を行い、
- 前記第2ターンオン動作モードでは、前記第1回路による充電および前記第3回路による放電を行い、
- 前記第1ターンオフ動作モードでは、前記第2回路による放電および

び前記第3回路による放電を行い、

前記第2ターンオフ動作モードでは、前記第2回路による放電を行う、スイッチング駆動装置。

[請求項3]

請求項1に記載のスイッチング駆動装置において、

前記第3回路は、前記第1回路と並列に設けられる充電回路であり、

前記第1ターンオン動作モードでは、前記第1回路による充電および前記第3回路による充電を行い、

前記第2ターンオン動作モードでは、前記第1回路による充電を行い、

前記第1ターンオフ動作モードでは、前記第2回路による放電を行い、

前記第2ターンオフ動作モードでは、前記第2回路による放電および前記第3回路による充電を行う、スイッチング駆動装置。

[請求項4]

請求項1に記載のスイッチング駆動装置において、

前記第3回路が放電を行う回路である場合には、前記第2ターンオン動作モードを実行した後に、さらに前記第1ターンオン動作モードを再実行し、

前記第3回路が充電を行う回路である場合には、前記第2ターンオフ動作モードを実行した後に、さらに前記第1ターンオフ動作モードを再実行する、スイッチング駆動装置。

[請求項5]

請求項1に記載のスイッチング駆動装置において、

前記半導体素子の電圧、電流および温度の少なくとも一つを検知する検知部をさらに備え、

前記制御装置は、前記検知部の検知情報に基づいて前記第3スイッチング素子のオン／オフを制御する、スイッチング駆動装置。

[請求項6]

請求項2に記載のスイッチング駆動装置において、

前記第1ターンオフ動作モードにおける前記第3回路による放電期

間は、前記半導体素子の入力電圧または前記半導体素子を流れる電流が低くなるほど長く設定される、スイッチング駆動装置。

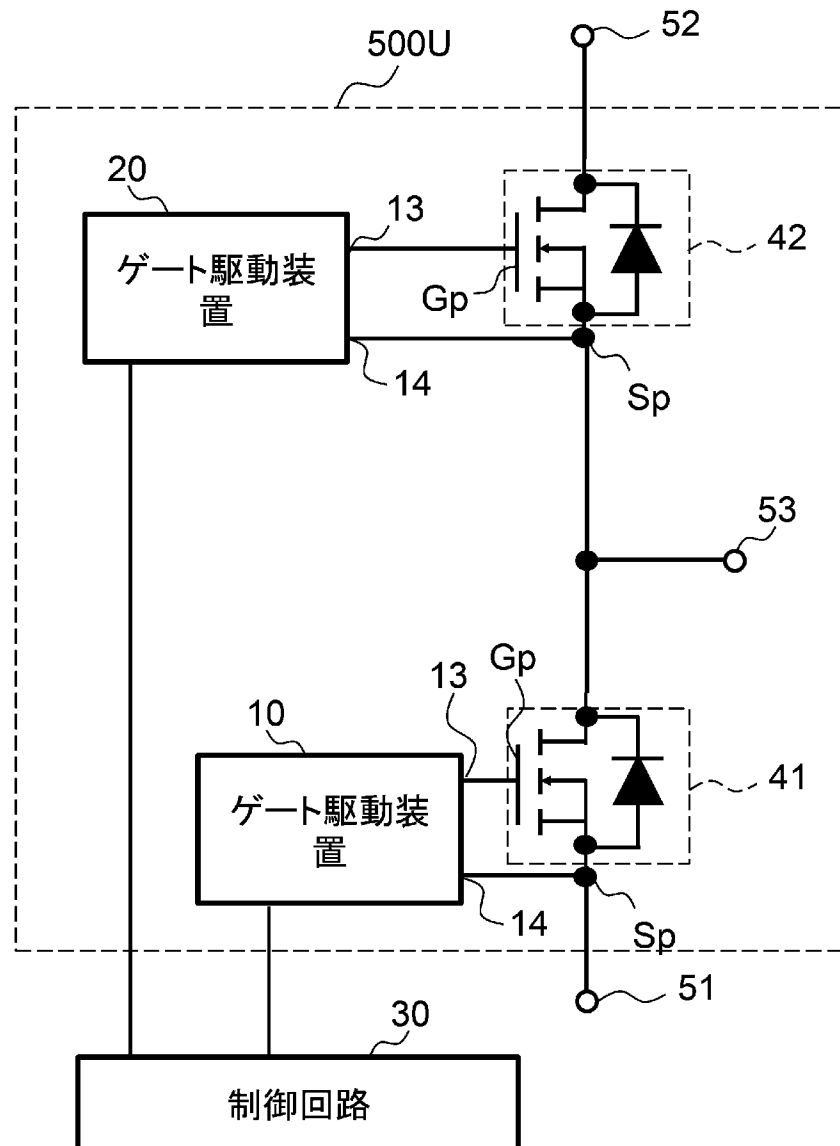
[請求項7]

請求項2に記載のスイッチング駆動装置において、

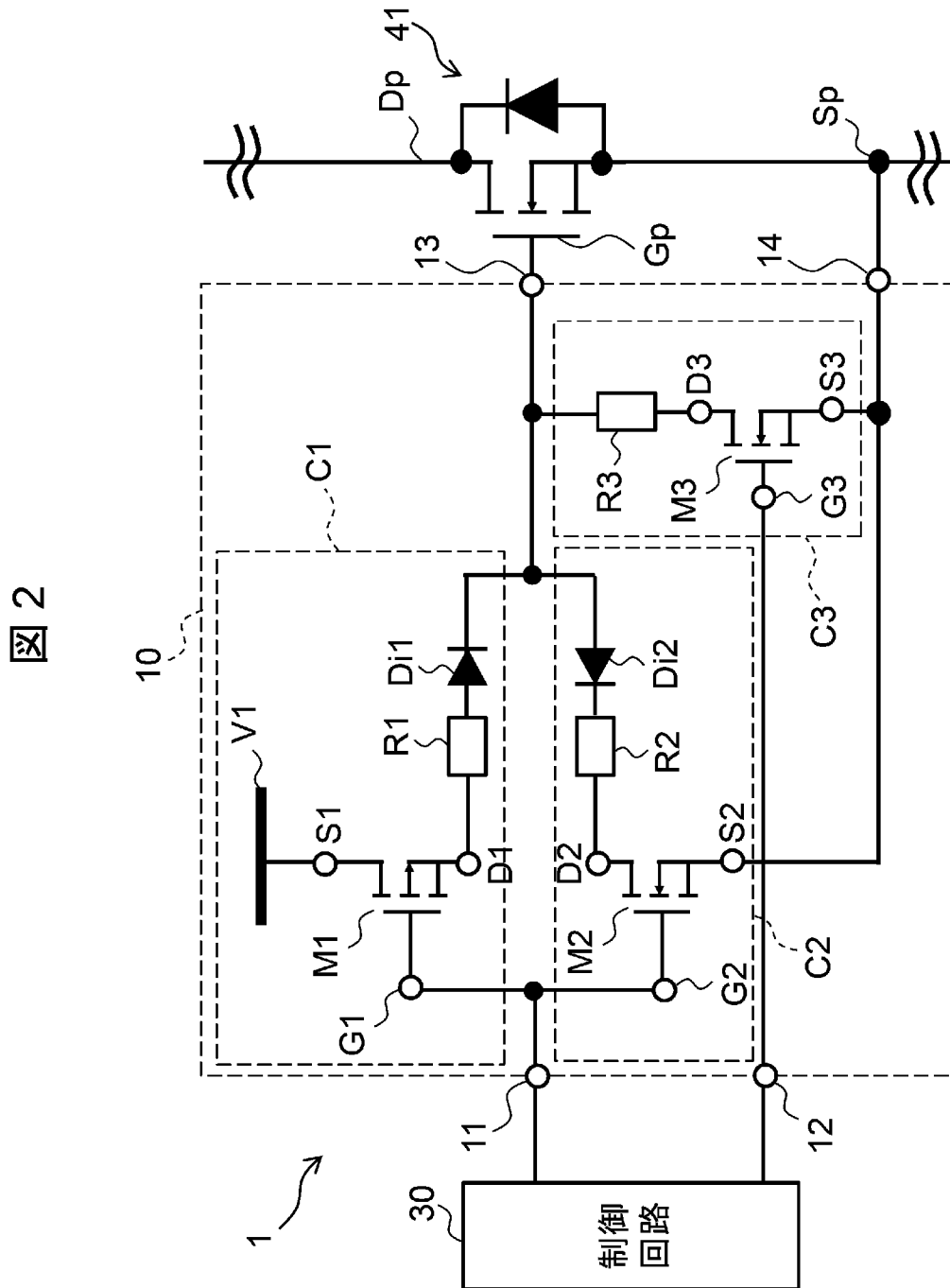
前記第2ターンオン動作モードにおける前記第3回路による放電期間は、前記半導体素子の入力電圧または前記半導体素子を流れる電流または前記半導体素子のデバイス温度が高くなるほど長く設定される、スイッチング駆動装置。

[図1]

図 1

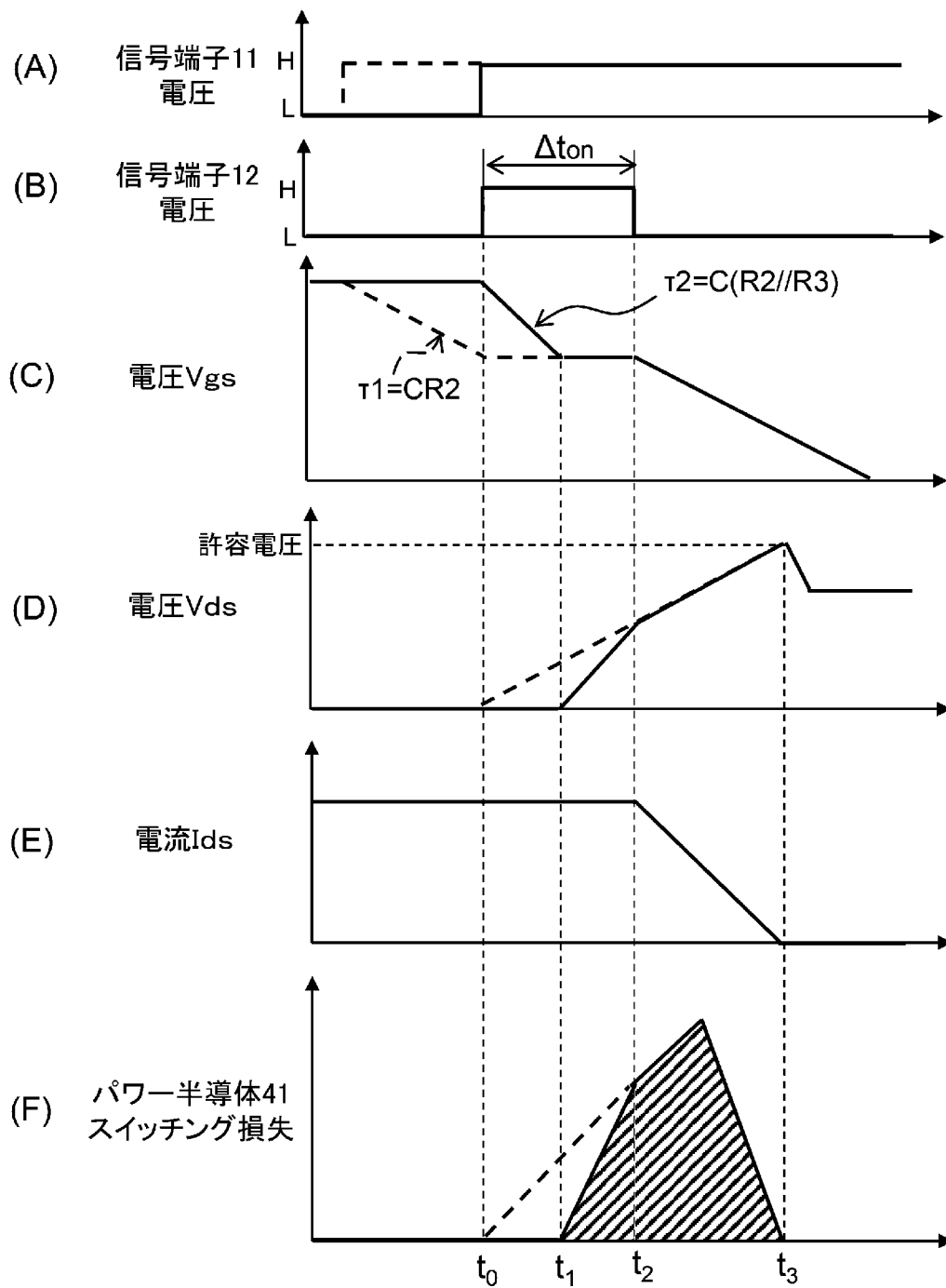


[図2]



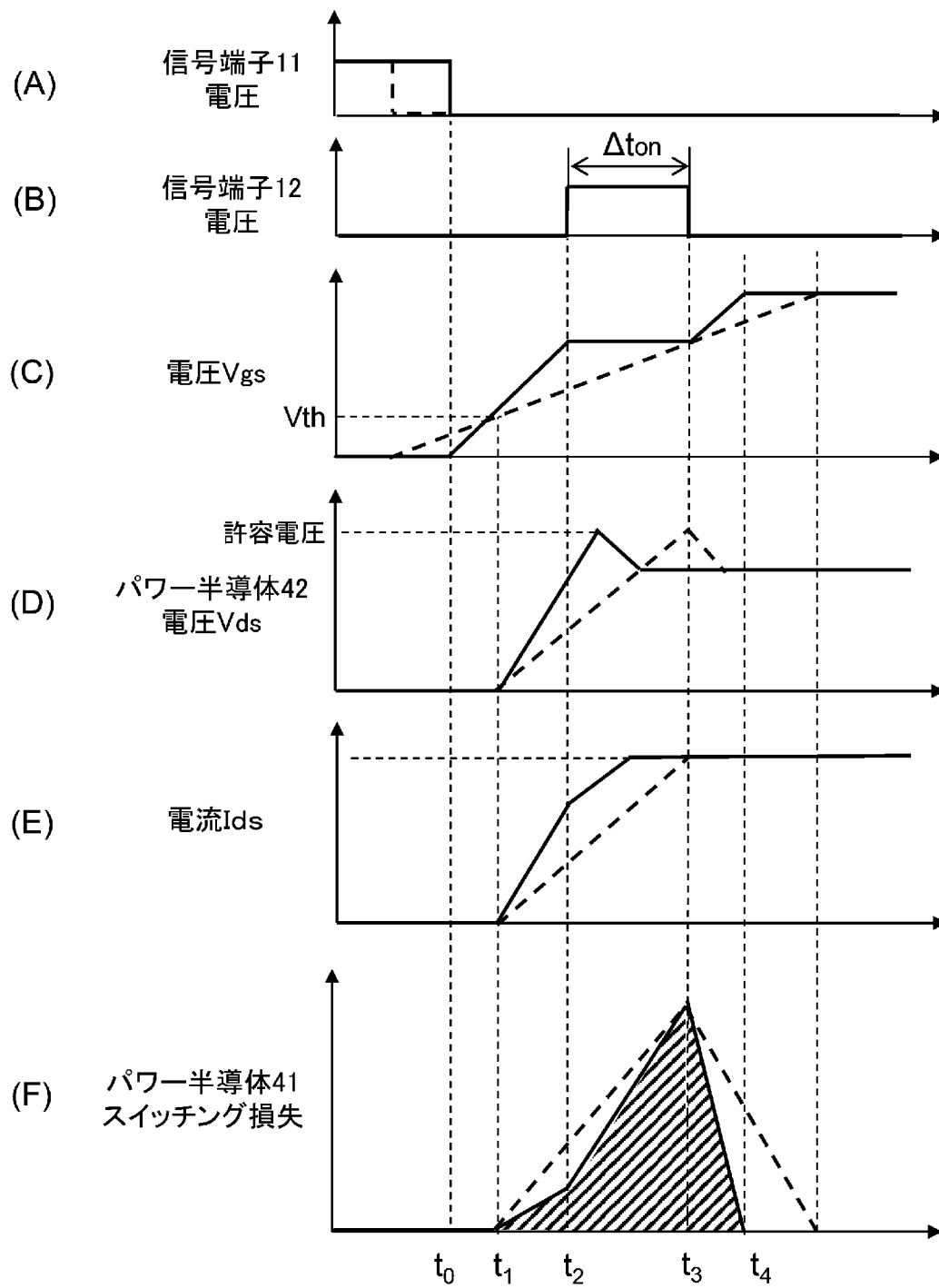
[図3]

図 3



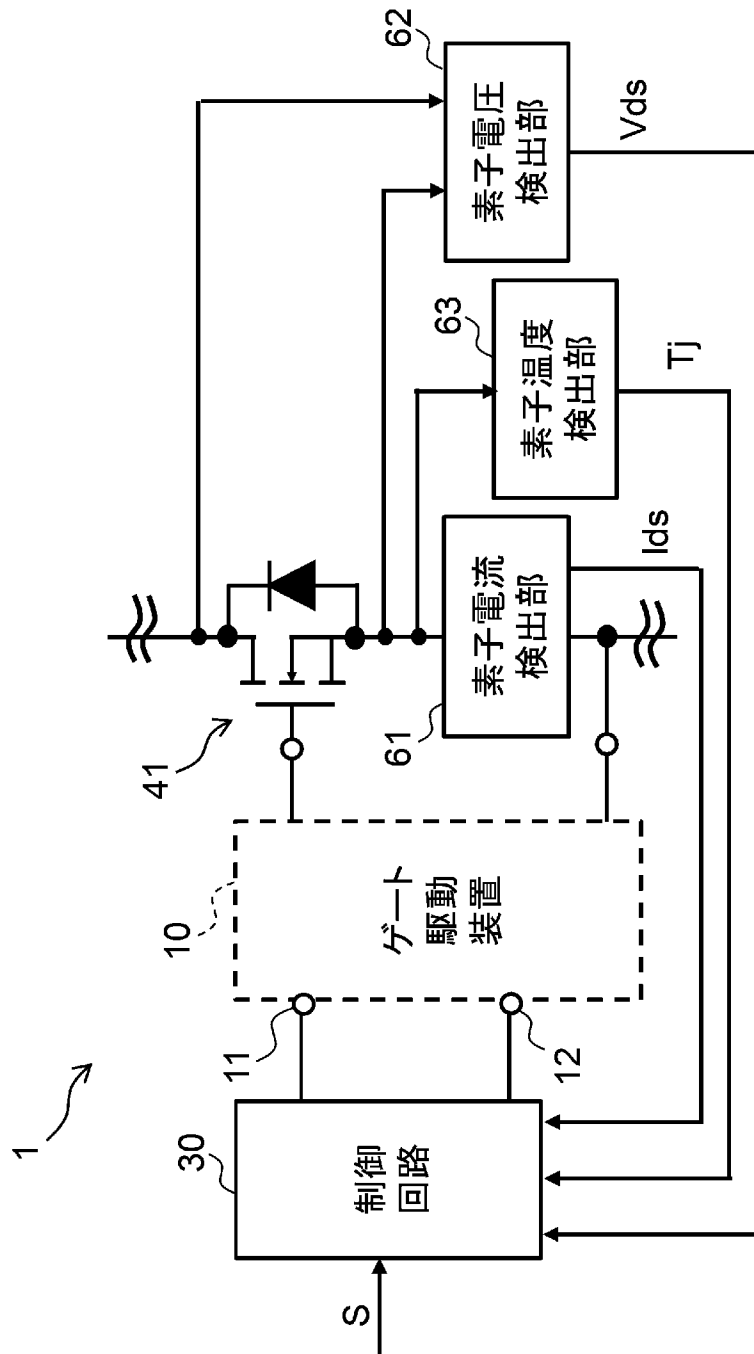
[図4]

図 4



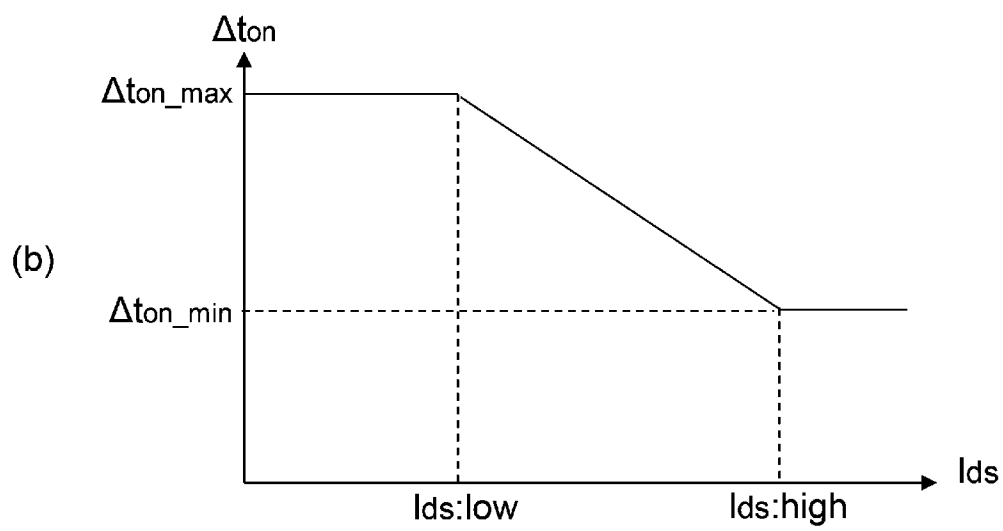
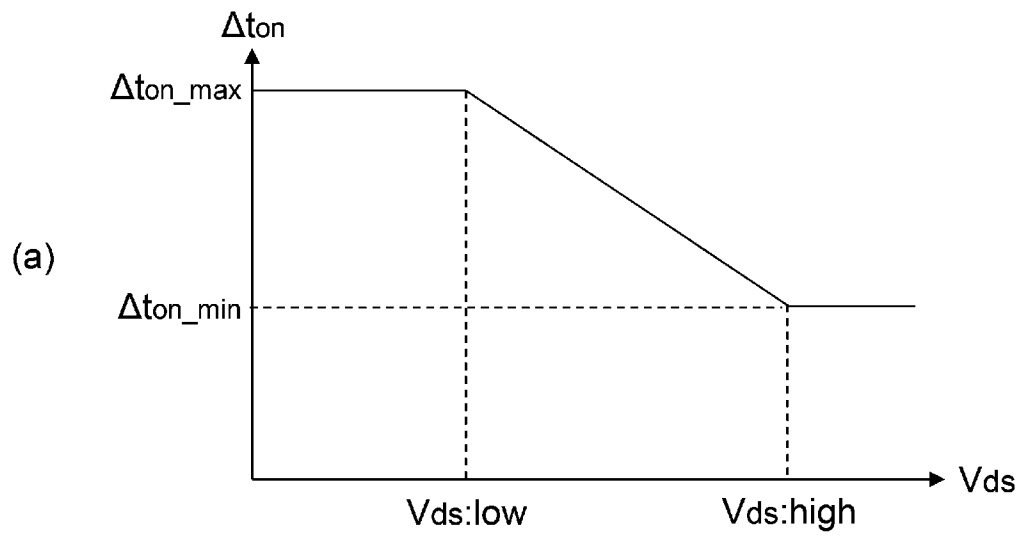
[図5]

図 5



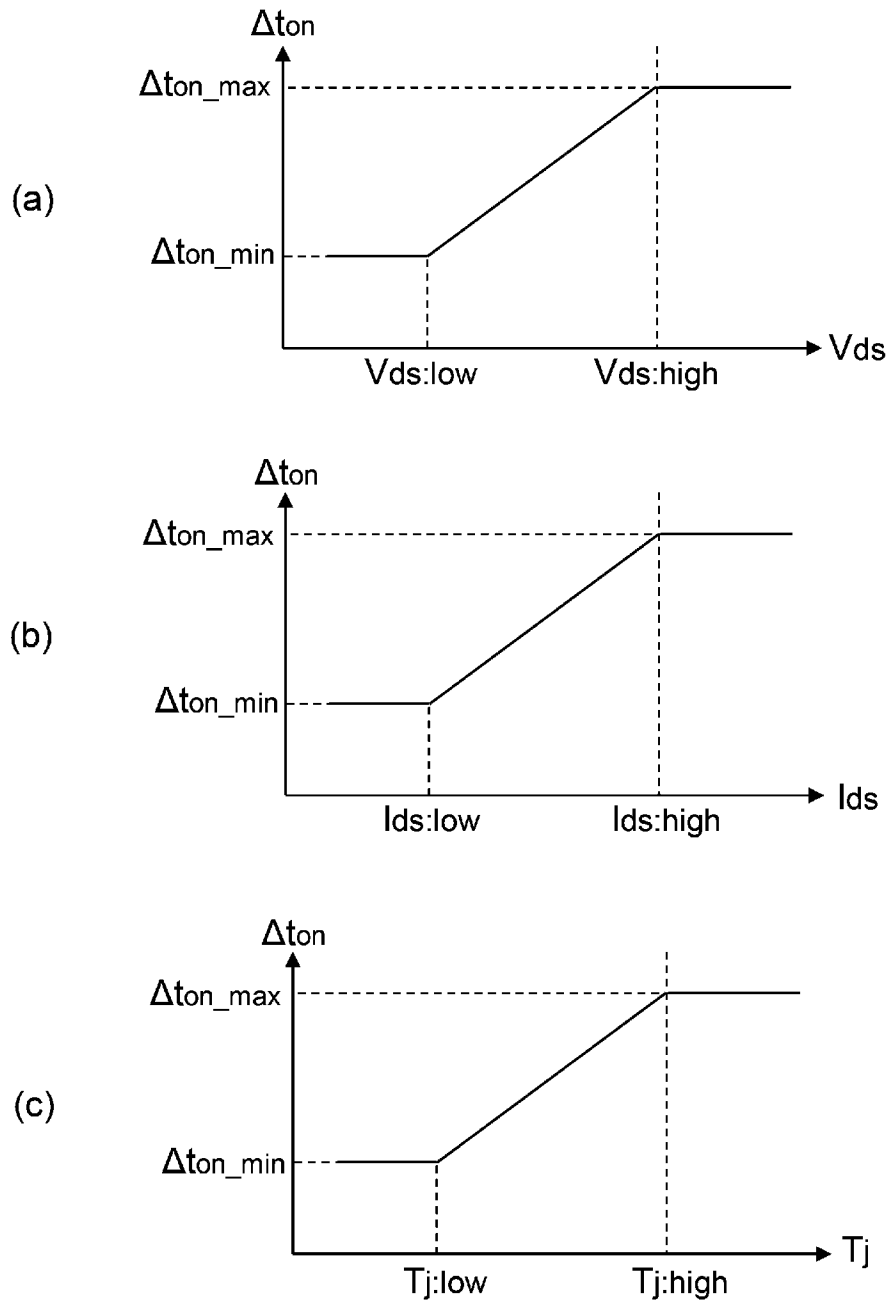
[図6]

図 6



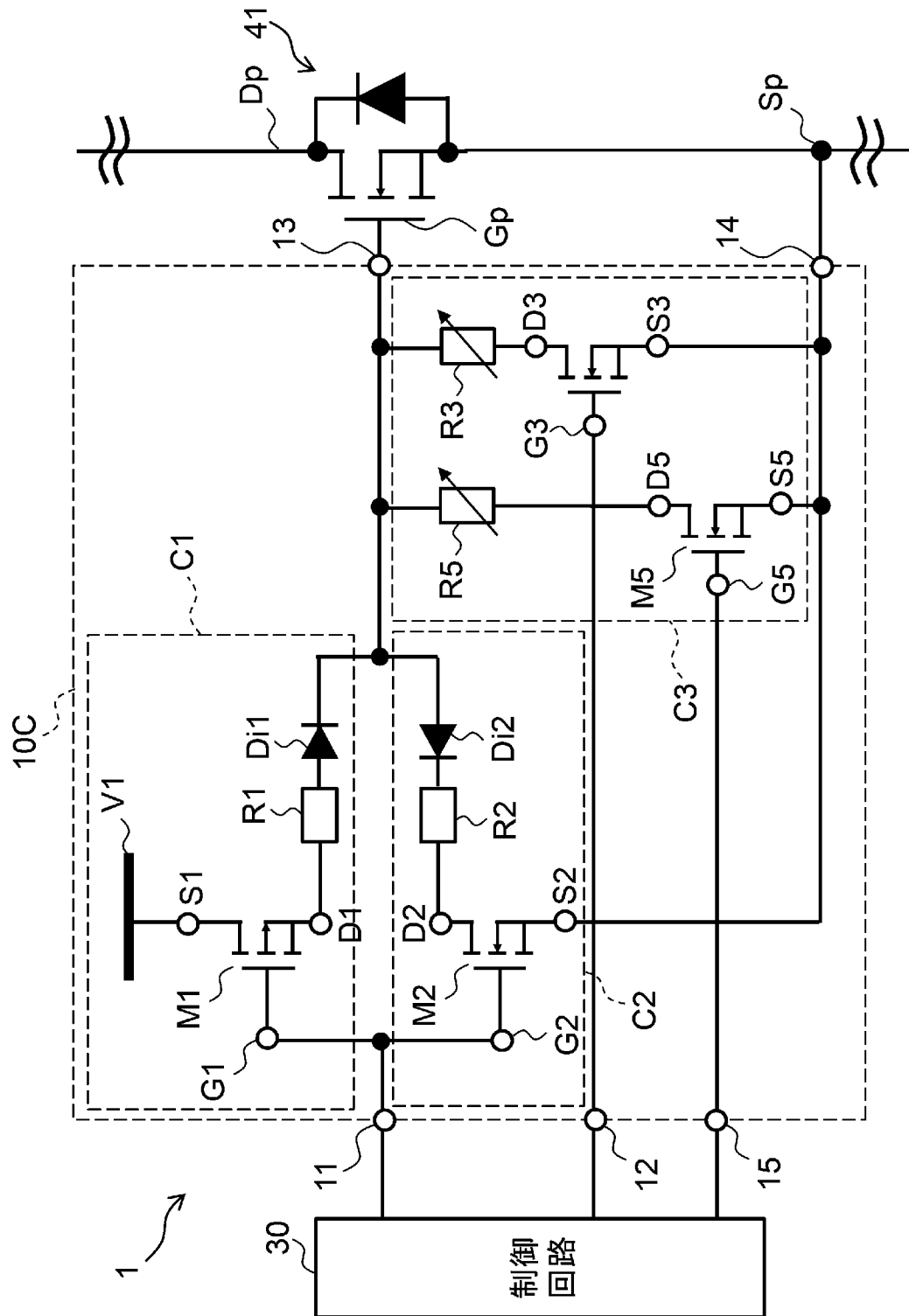
[図7]

図 7



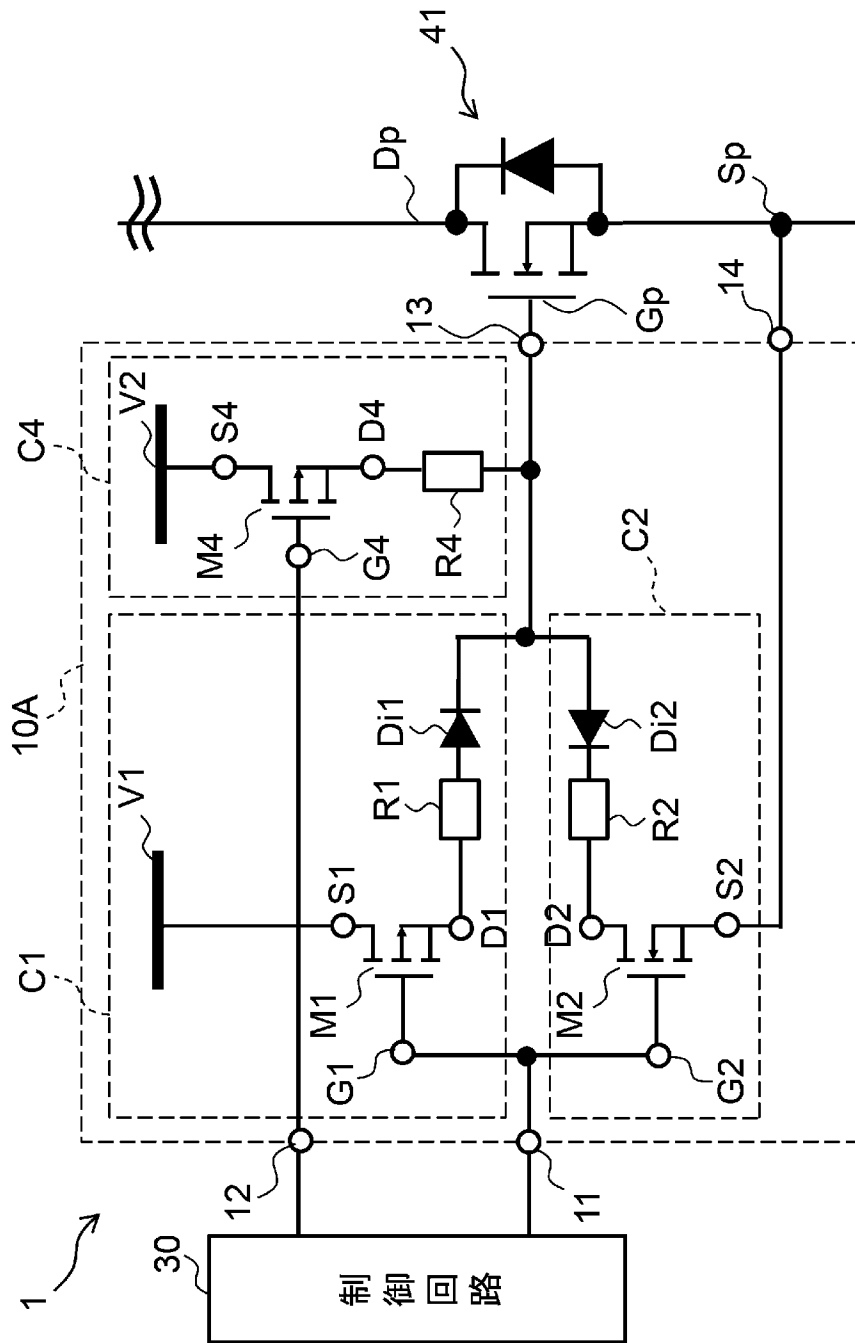
[図8]

図 8



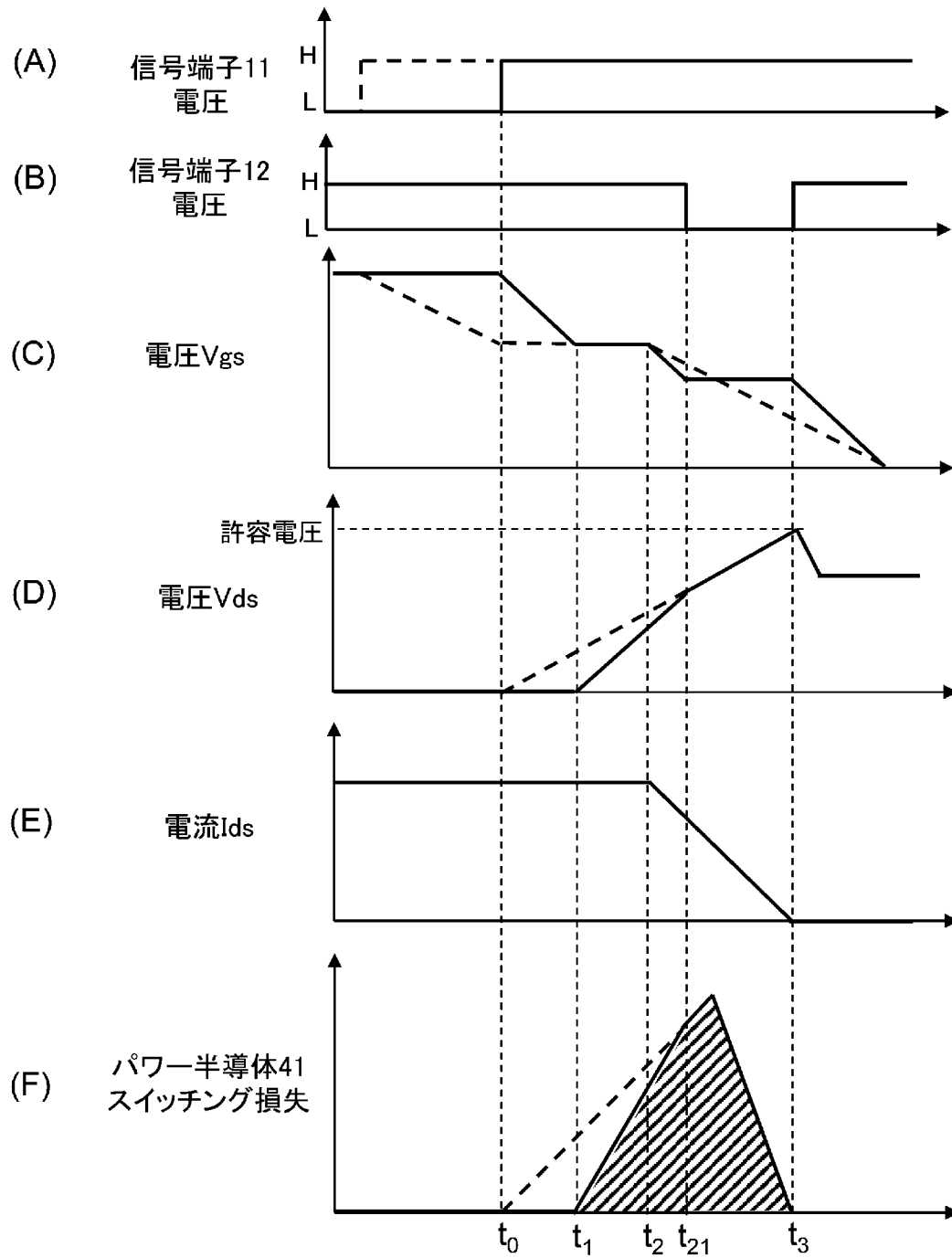
[図9]

図 9



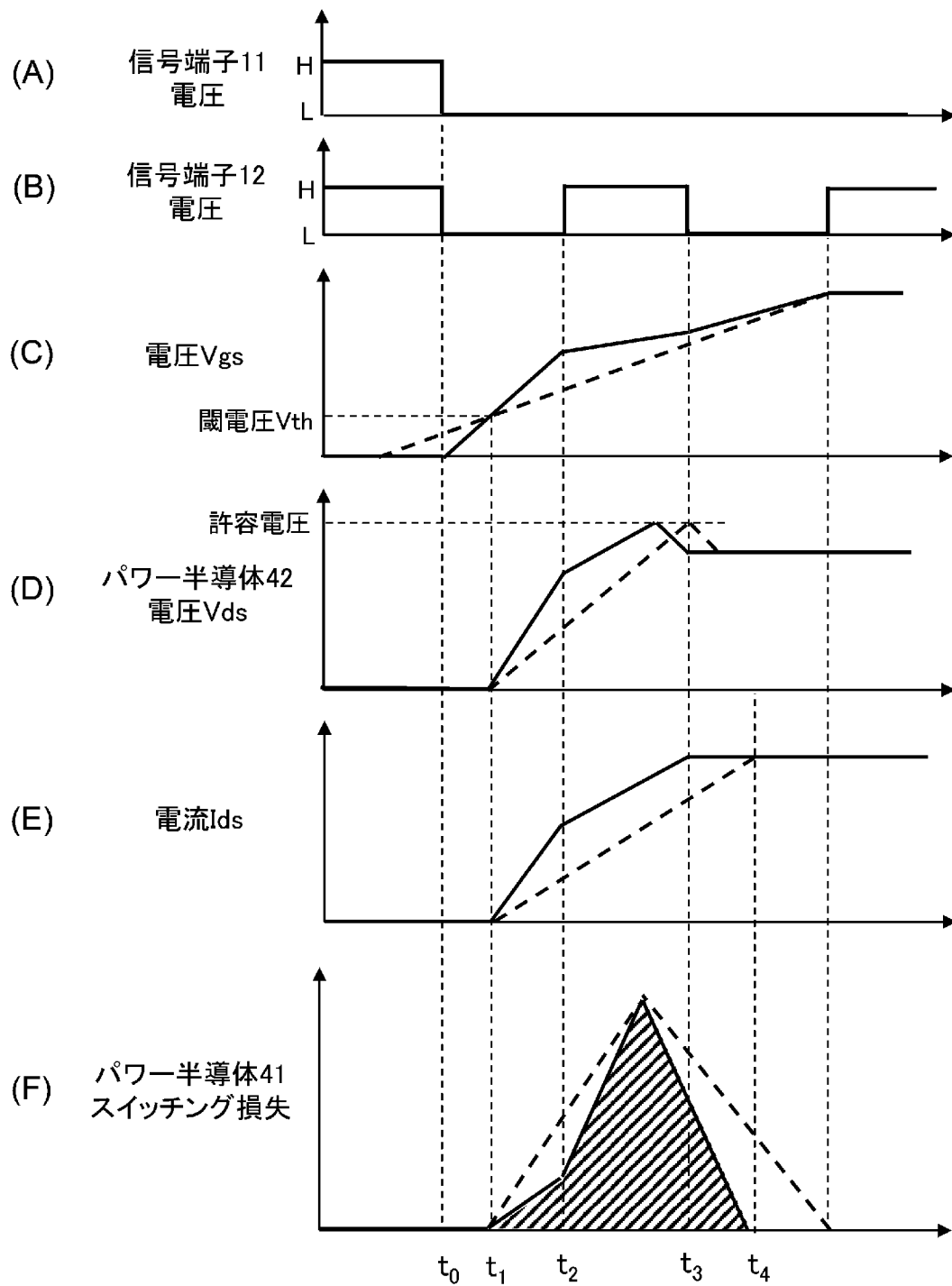
[図10]

図 10



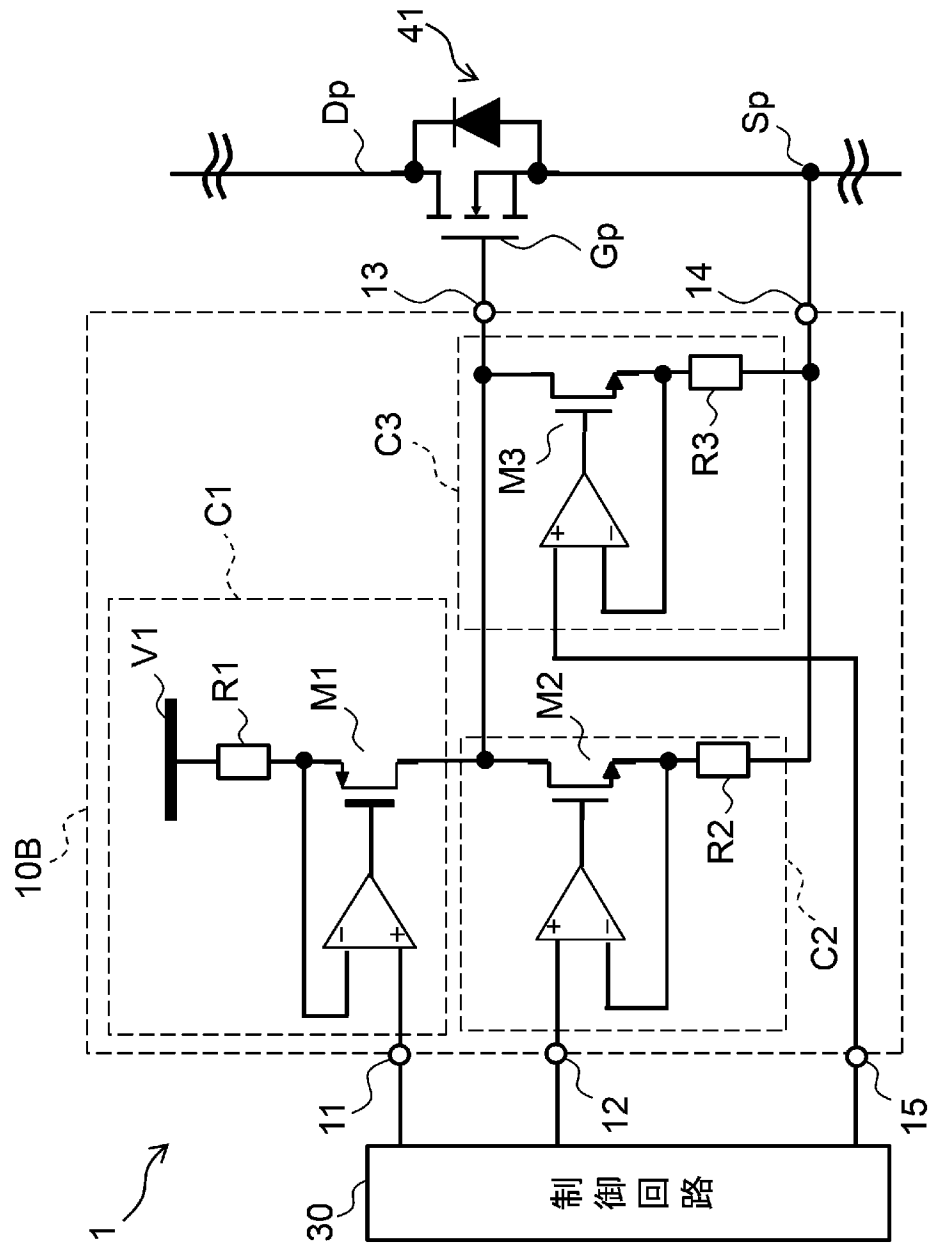
[図11]

図 11



[図12]

図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019769

A. CLASSIFICATION OF SUBJECT MATTER**H02M 1/08**(2006.01)i

FI: H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2021-129396 A (DENSO CORPORATION) 02 September 2021 (2021-09-02) entire text, all drawings	1-7
A	JP 2001-217697 A (HITACHI, LTD.) 10 August 2001 (2001-08-10) entire text, all drawings	1-7
A	JP 2020-36424 A (HITACHI, LTD.) 05 March 2020 (2020-03-05) entire text, all drawings	1-7
A	JP 2021-125908 A (HITACHI ASTEMO, LTD.) 30 August 2021 (2021-08-30) entire text, all drawings	1-7
A	JP 2023-68606 A (FUJI ELECTRIC CO., LTD.) 17 May 2023 (2023-05-17) entire text, all drawings	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 July 2024

Date of mailing of the international search report

06 August 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019769

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2021-129396	A	02 September 2021	(Family: none)			
JP	2001-217697	A	10 August 2001	US	2001/0 030880	A1	
				EP	1648087	A1	
JP	2020-36424	A	05 March 2020	WO	2020/044625	A1	
JP	2021-125908	A	30 August 2021	US	2023/0059002	A1	
				WO	2021/157221	A1	
				CN	115039326	A	
JP	2023-68606	A	17 May 2023	DE	102022124873	A1	
				CN	116073631	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 1/08(2006.01)i
FI: H02M1/08 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2021-129396 A（株式会社デンソー）02.09.2021（2021 - 09 - 02） 全文、全文	1-7
A	JP 2001-217697 A（株式会社日立製作所）10.08.2001（2001 - 08 - 10） 全文、全文	1-7
A	JP 2020-36424 A（株式会社日立製作所）05.03.2020（2020 - 03 - 05） 全文、全文	1-7
A	JP 2021-125908 A（日立Astemo株式会社）30.08.2021（2021 - 08 - 30） 全文、全文	1-7
A	JP 2023-68606 A（富士電機株式会社）17.05.2023（2023 - 05 - 17） 全文、全文	1-7

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

29.07.2024

国際調査報告の発送日

06.08.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

富永 達朗 3H 3866

電話番号 03-3581-1101 内線 3316

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/019769

引用文献			公表日	パテントファミリー文献			公表日
JP	2021-129396	A	02.09.2021	(ファミリーなし)			
JP	2001-217697	A	10.08.2001	US	2001/0030880	A1	
				EP	1648087	A1	
JP	2020-36424	A	05.03.2020	WO	2020/044625	A1	
JP	2021-125908	A	30.08.2021	US	2023/0059002	A1	
				WO	2021/157221	A1	
				CN	115039326	A	
JP	2023-68606	A	17.05.2023	DE	102022124873	A1	
				CN	116073631	A	