



(12) 发明专利

(10) 授权公告号 CN 101385133 B

(45) 授权公告日 2010.12.08

(21) 申请号 200680003369.1

(22) 申请日 2006.02.01

(30) 优先权数据

11/092,289 2005.03.29 US

(85) PCT申请进入国家阶段日

2007.07.27

(86) PCT申请的申请数据

PCT/US2006/003528 2006.02.01

(87) PCT申请的公布数据

W02006/104562 EN 2006.10.05

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 L.·马修 V.·R.·克拉冈塔

D.·C.·辛格

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 付建军

(51) Int. Cl.

H01L 21/425 (2006.01)

H01L 23/58 (2006.01)

(56) 对比文件

US 6806584 B2, 2004.10.19, 全文.

US 6127248 A, 2000.10.03, 全文.

CN 1520613 A, 2004.08.11, 全文.

US 6352885 B1, 2002.03.05, 全文.

JP 特开 2003-133549 A, 2003.05.09, 全文.

审查员 王子元

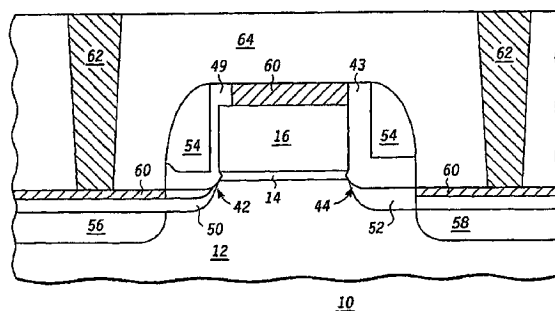
权利要求书 2 页 说明书 7 页 附图 3 页

(54) 发明名称

形成具有不对称电介质区域的半导体器件的方法及其结构

(57) 摘要

一种用于形成半导体器件 (10) 的方法, 包括形成半导体衬底 (2); 在该半导体衬底上形成具有第一侧面和第二侧面的栅电极 (16); 在栅电极之下形成栅极电介质。该栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域 (42)、位于栅电极之下并邻近栅电极的第二侧面的第二区域 (44)、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域 (14), 其中第一区域比第二区域薄, 第三区域比第一区域薄且比第二区域薄。



1. 一种用于形成半导体器件的方法,该方法包括:
形成半导体衬底;
在该半导体衬底上形成具有第一侧面和第二侧面的栅电极;
在栅电极之下形成栅极电介质,其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域;其中第一区域比第二区域薄,第三区域比第一区域薄且比第二区域薄。
2. 根据权利要求1所述的方法,其中在栅电极之下形成栅极电介质还包括:
形成第一电介质层;
向半导体衬底注入氧化增强核素以形成氧化增强区域;以及
氧化该氧化增强区域。
3. 根据权利要求2所述的方法,其中注入氧化增强核素还包括向栅电极注入氧化增强核素以形成氧化增强区域。
4. 根据权利要求2所述的方法,其中所述注入是倾斜地执行的。
5. 根据权利要求1所述的方法,其中在栅电极之下形成栅极电介质还包括:
形成第一电介质层;
向半导体衬底注入氧化减弱核素以形成氧化减弱区域;以及
氧化该半导体衬底。
6. 根据权利要求5所述的方法,其中注入氧化减弱核素还包括向栅电极注入氧化减弱核素以形成氧化减弱区域。
7. 根据权利要求5所述的方法,其中所述注入是倾斜地执行的。
8. 根据权利要求1所述的方法,其中在栅电极之下形成栅极电介质还包括:
形成第一电介质层;
向半导体衬底注入氧化增强核素以形成氧化增强区域;
向半导体衬底注入氧化减弱核素以形成氧化减弱区域;以及
氧化半导体衬底,其中氧化包括在氧化增强区域中形成电介质。
9. 根据权利要求1所述的方法,还包括:
在形成栅极电介质之后形成源极延伸区域和漏极延伸区域,其中源极延伸区域比漏极延伸区域深。
10. 根据权利要求1所述的方法,还包括:
在形成栅极电介质之后,形成邻近栅电极的第一侧面的第一间隔件和邻近栅电极的第二侧面的第二间隔件。
11. 一种用于形成半导体器件的方法,该方法包括:
提供半导体衬底;
在该半导体衬底上形成电介质层;
在该电介质层上形成栅电极,其中该栅电极具有第一侧面和与第一侧面相对的第二侧面;
向栅电极的第一侧面和半导体衬底的第一区域注入氧化增强核素,其中该第一区域位于栅电极之下并且邻近栅电极的第一侧面;以及

将半导体衬底的第一区域转换为第一电介质,将半导体衬底的第二区域转换为第二电介质,其中该第二区域位于栅电极之下并且邻近栅电极的第二侧面,其中第一电介质的厚度大于第二电介质的厚度。

12. 根据权利要求 11 所述的方法,其中所述转换包括对半导体衬底进行退火。

13. 根据权利要求 11 所述的方法,其中所述注入包括注入从锗、氧、氟和氯中选择的至少一种核素。

14. 根据权利要求 11 所述的方法,还包括向第二区域注入氧化减弱核素。

15. 根据权利要求 14 所述的方法,其中注入氧化减弱核素包括注入氮。

16. 根据权利要求 11 所述的方法,还包括:

在转换第一区域和第二区域之后形成源极延伸区域和漏极延伸区域,其中源极延伸区域比漏极延伸区域深。

17. 根据权利要求 11 所述的方法,还包括:

在转换之后形成邻近栅电极的第一侧面的第一间隔件和邻近栅电极的第二侧面的第二间隔件。

18. 根据权利要求 11 所述的方法,其中倾斜地执行注入。

19. 一种半导体器件,包括:

半导体衬底;

半导体衬底上具有第一侧面和第二侧面的栅电极;以及

位于栅电极之下的栅极电介质,其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域,其中第一区域比第二区域薄,第三区域比第一区域薄且比第二区域薄。

20. 根据权利要求 19 所述的半导体器件,其中所述栅电极的第一侧面包括第一电介质,第二侧面包括第二电介质,其中第二电介质比第一电介质厚。

形成具有不对称电介质区域的半导体器件的方法及其结构

技术领域

[0001] 本发明总的涉及半导体器件,更具体地说涉及具有非对称电介质区域的半导体器件。

背景技术

[0002] 诸如 MOSFET(金属氧化物半导体场效应晶体管)的半导体器件可以具有非对称的掺杂源极和漏极区以增加驱动电流并减少字称 (parity)。在现有技术中,非对称的源极和漏极掺杂区可以具有不同的掺杂剂或不同数量的注入区。此外,为了形成不同的掺杂剂区域,栅电极两侧上的间隔件可以具有不同的形状或尺寸。虽然这些现有技术允许增加驱动电流,但是为了形成这些非对称掺杂的半导体器件,要采用另外的加工步骤,从而不期望地增加了循环时间。因此,需要获得非对称掺杂的源极和漏极区的优点而又不会显著增加循环时间。

发明内容

[0003] 根据本发明的一个方面,提供了一种用于形成半导体器件的方法,该方法包括:形成半导体衬底;在该半导体衬底上形成具有第一侧面和第二侧面的栅电极;在栅电极之下形成栅极电介质,其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域;其中第一区域比第二区域薄,第三区域比第一区域薄且比第二区域薄。

[0004] 根据本发明的另一个方面,提供了一种用于形成半导体器件的方法,该方法包括:提供半导体衬底;在该半导体衬底上形成电介质层;在该电介质层上形成栅电极,其中该栅电极具有第一侧面和与第一侧面相对的第二侧面;向栅电极的第一侧面和半导体衬底的第一区域注入氧化增强核素,其中该第一区域位于栅电极之下并且邻近栅电极的第一侧面;以及将半导体衬底的第一区域转换为第一电介质,将半导体衬底的第二区域转换为第二电介质,其中该第二区域位于栅电极之下并且邻近栅电极的第二侧面,其中第一电介质的厚度大于第二电介质的厚度。

[0005] 根据本发明的另一个方面,提供了一种半导体器件,包括:半导体衬底;半导体衬底上具有第一侧面和第二侧面的栅电极;以及位于栅电极之下的栅极电介质,其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域,其中第一区域比第二区域薄,第三区域比第一区域薄且比第二区域薄。

附图说明

[0006] 通过举例来说明本发明,但本发明不限于附图,在附图中相同的附图标记表示相似的元素。

[0007] 图 1 示出在根据本发明的实施例注入氧化增强核素 (species) 时工件一部分的截面视图；

[0008] 图 2 示出在按照本发明的实施例注入氧化增强核素之后的图 1 的工件；

[0009] 图 3 示出在按照本发明实施例形成电介质层之后的图 2 的工件；

[0010] 图 4 示出在按照本发明实施例进行额外的处理以形成半导体器件之后的图 3 的工件；

[0011] 图 5 示出在按照本发明实施例注入氧化减弱 (reduction) 核素时的图 2 的工件；

[0012] 图 6 示出在按照本发明实施例注入氧化减弱物质之后的图 5 的工件。

[0013] 本领域的技术人员应当理解，附图中的元素是为简单和清楚起见而示出的，不一定按比例绘制。例如，附图中某些元素的尺度可以相对于其它元素夸大，以帮助理解本发明的实施例。

具体实施方式

[0014] 图 1 示出执行掺杂时工件 10 的一部分的截面视图，该工件具有半导体衬底 12、第一电介质层 14、栅电极 16、源极区 18 和漏极区 20。工件 10 是半导体晶片的一部分，并且将经历各种处理以形成半导体器件。半导体衬底 12 可以是任何半导体材料或材料的组合，如砷化镓、硅锗、绝缘体上硅 (SOI) (例如完全耗尽的 SOI (FDSOI))、硅、单晶硅等以及上述材料的组合。第一电介质层 14 可以是二氧化硅、高介电常数 (hi-k) 电介质 (如氧化铪或氧化锆) 等，或它们的组合。在一个实施例中，第一电介质层 14 是氧化铪，其中底层是二氧化硅，它可以是天然的二氧化硅。尽管如图 1 所示第一电介质层 14 没有被构图，但是其可以被构图。例如，可以在对栅电极层构图以形成栅电极 16 时去除第一电介质层 14 的不在栅电极 16 之下的部分。栅电极 16 可以是任何合适的材料，如多硅 (其随后可以被掺杂)、金属栅极等，或它们的组合。第一电介质层 14 和栅电极 16 通过任何合适的过程如热氧化、化学汽相沉积 (CVD)、物理汽相沉积 (PVD) 等以及它们的组合来形成。本领域的技术人员应当认识到，源极区 18 和漏极区 20 可以交换，从而源极区 18 位于栅电极 16 的右侧，而漏极区 20 位于栅电极 16 的左侧。在一个实施例中，在处理的该时刻还没有掺杂以便在源极区 18 或漏极区 20 中形成源极和漏极区。换句话说，还没有进行延伸或晕环注入。

[0015] 用氧化增强核素 22 注入图 1 中的工件 10。在进一步说明之后就将更好地理解，该氧化增强核素 22 被注入半导体衬底 12 和栅电极 16 的部分，从而在这些区域中会加强氧化生长。尽管未示出，可以在工件 10 上 (以及在半导体衬底 12 上) 形成诸如光致抗蚀剂的掩模，并且对其构图以暴露工件 10 内将设置氧化增强核素 22 的区域。如果使用掩模，则可以垂直于工件 10 或以倾斜从而半导体衬底 12 和注入之间的角度小于 90 度的方式进行注入。如果不使用掩模或者掩模被构图为既暴露源极区 18 又暴露漏极区 20，则优选倾斜，从而可以在其中一个区域——在优选实施例中是源极区 18——中形成阴影区域 24。阴影区域 24 是其中没有氧化增强核素 22 经过的区域，从而阴影区域 24 周围的区域不会被注入氧化增强核素 22。在图 1 所示的实施例中，阴影区域 24 防止氧化增强核素 22 注入第一电介质层 14、栅电极 16 和半导体衬底 12 的部分中，在讨论了图 2 之后将更好的理解这一点。在一个实施例中，所述倾斜角大约等于 5 至 30 度。但是最令人满意的倾斜角取决于栅电极 16 的高度和密度。栅电极 16 越高和密度越大，则令人满意的是使用越小的倾斜角。

[0016] 氧化增强核素 22 可以是氧、锗、氟、氯等等或它们的组合。所使用的能量最好足够低,使得氧化增强核素 22 在半导体衬底 12 和栅电极 16 中到达期望的深度。在一个实施例中,所期望的深度大约是 5 至 10nm。在一个实施例中,能量在大约 2 至 8keV 之间。所选择的实际能量取决于期望的深度,而该深度可以根据特征的尺度、可能发生的其它处理以及所使用的核素而改变。此外,可以使用任何剂量。在一个实施例中,使用 $1\text{E}15/\text{cm}^2$ 的剂量。在优选实施例中,用锗作为 5keV 且 $1\text{E}15/\text{cm}^2$ 剂量的氧化增强核素 22。在一个实施例中,令人满意的是对于 N 型半导体器件使用氟,对于 P 型半导体器件使用锗。

[0017] 图 2 示出按照图 1 所示的实施例倾斜注入氧化增强核素 22 之后产生的注入的氧化增强区域 26。氧化增强区域 26 存在于漏极区 20、栅电极 16 的上表面和栅电极 16 的第一侧面中。氧化增强区域 26 还存在于源极区 18 的第一部分和栅电极 16 的第二侧面的第一部分中。在源极区 18 的第二部分和栅电极 16 的第二侧面的第二部分中没有氧化增强区域 26 是因为阴影区域。因此,在栅电极第二侧面之下和邻近的区域以及栅电极的位于栅电极第二侧面邻近的一部分区域不包括氧化增强区域 26。相反,在栅电极第一侧面之下和邻近的一部分区域以及栅电极的位于栅电极第一侧面邻近的一部分区域包括氧化增强区域 26。

[0018] 如图 3 所示,在形成氧化增强区域 26 之后,半导体衬底 12 的部分,以及可选地,栅电极 16 的部分,转换为第二电介质层 40。如果选择用于栅电极 16 的材料在暴露于用于氧化部分半导体衬底 12 的环境中时不发生氧化,则栅电极 16 的部分可能无法转换。因此,所产生的电介质材料取决于用于栅电极 16 和半导体衬底 12 的材料。在一个实施例中,在栅电极 16 和半导体衬底 12 包括硅的情况下,第二电介质层 40 是二氧化硅。第二电介质层 40 可以与用于第一电介质层 14 的材料相同或不同。

[0019] 在一个实施例中,所述转换是通过对工件 10 退火来进行的。例如,该转换可以通过在干氧环境中以大约 700 到 1000 摄氏度之间的温度进行热氧化来进行。可以使用氮气以及可能的氧气的环境。热氧化的时间根据使用的温度而变化。例如,热氧化的持续时间可以是在 10 分钟至 2 小时之间。但是,如果热氧化的温度大约为 1000 摄氏度,则热氧化的持续时间可以短,如 10 分钟。随着温度降低,持续时间将增加。但是第二电介质层 40 可以通过任何合适的方法来形成,如除热氧化之外的其它氧化过程。

[0020] 如图 3 所示,第二电介质层 40 的形成在栅电极 16 和半导体衬底 12 的氧化增强区域 26 中的部分具有大于第二电介质层 40 其余部分的厚度。如果栅电极 16 的部分被转换为第二电介质层 40,则由于在栅电极 16 的第一侧面上存在氧化增强区域 26 而在邻近栅电极 16 的区域中不存在氧化增强区域 26,在栅电极 16 的第二侧面上的第二电介质层 40 的厚度小于在栅电极 16 的第一侧面上的第二电介质层 40 的厚度。

[0021] 由于氧化增强区域 26,源极区 18 中的区域 46 比漏极区 20 中的区域 48 厚。在栅电极 16、第一电介质层 14 和邻近栅电极 16 的第一侧面的半导体衬底 12 相交之处是第一电介质区域 44。在栅电极 16、第一电介质层 14 和邻近栅电极 16 的第二侧面的半导体衬底 12 相交之处是第二电介质区域 42。第一电介质区域 44 和第二电介质区域 42 都形成鸟嘴 (bird's beak),鸟嘴是赋予具有鸟嘴形状的电介质区域的名称,如在用于形成隔离区域的 LOCOS (局部氧化) 处理期间产生的鸟嘴。由于在第二电介质区域 42 中以及附近没有氧化增强区域 26,第二电介质区域 42 小于第一电介质区域 44。在一个实施例中,第二电介质区域 42 的厚度大约是第一电介质区域 44 的 1/2。在一个实施例中,第二电介质区域 42 的

厚度大约是 2nm,第一电介质区域 44 的厚度大约是 4nm。如图 3 所示,第三电介质区域位于第一电介质区域 44 和第二电介质区域 42 之间。第三电介质区域比第一电介质区域 44 和第二电介质区域 42 都薄,因为第三电介质区域在转换处理期间没有被充分氧化。第三电介质区域是第一电介质层 14 的一部分。因此,栅极电介质,即栅电极 16 下方的电介质,包括第一电介质区域 44、第二电介质区域 42 和第一电介质层 14 的一部分。因此,栅极电介质是具有非对称鸟嘴或电介质区域的电介质,其中一端的电介质区域比另一端的电介质区域厚。第一电介质层 14 可以是与第二电介质层 40 相同的材料。可替换地,可以使用不同的材料。在一个实施例中,栅极电介质由两个电介质制成,其中端部是相同的材料,而端部之间的区域是不同的材料;此外,端部是非对称的电介质区域,其中一端的电介质区域比另一端的电介质区域厚。

[0022] 第一电介质区域 44 和第二电介质区域 42 作为栅极电介质的部分的存在,减小了半导体器件中的延迟和电容而没有降低电流。随着第一电介质区域 44 和第二电介质区域 42 的宽度增加,驱动电流下降。由于第一电介质区域 44 的厚度大于形成栅极电介质的第一电介质层 14 的厚度,因此在半导体器件工作期间形成的反型层在漏极饱和区域附近被夹断,使得饱和漏极电流对栅极-漏极重叠不敏感。栅极-漏极重叠电容在第一电介质区域 44 的厚度增加时改善。能够获得的最大斜度 (steep) 改善大约是 3.4%。

[0023] 第一电介质区域 44 和第二电介质区域 42 可以完全位于栅电极之下或者栅电极 16 和围绕栅电极 16 的第二电介质层 40 之下,但是这些区域中的一些可以延伸到被栅电极和第二电介质层 40 覆盖的区域之外。无论如何,第一电介质区域 44 和第二电介质区域 42 的至少部分将位于栅电极 16 之下。

[0024] 在形成了第二电介质层 40 之后,继续传统的处理以形成半导体器件,如图 4 所示。首先,分别在源极区 18 和漏极区 20 中形成源极延伸 50 和漏极延伸 52。在形成了源极延伸 50 和漏极延伸 52 之后,例如通过 CVD 形成诸如氮化硅的第三电介质层,并对其构图以形成间隔件 54。接着,在源极区 18 中形成深源极区 56,在漏极区 20 中形成深漏极区 58。在形成间隔件 54 时或在形成深源极区 56 和深漏极区 58 之后,可以去除第二电介质层 40 的部分以形成第四电介质 49 和第五电介质 43。第四电介质 49 比第五电介质 43 薄,因为在转换为第五电介质 43 的区域中存在比在转换为第四电介质 49 的区域中更多的氧化增强核素。

[0025] 接着,在深源极区 56 和深漏极区 58 上形成硅化物 60。此外,如果栅电极 16 包括硅,则在栅电极 16 上形成硅化物。然后,在工件 10 上形成层间电介质层 64,并对其构图以形成开口,稍后将在该开口中填充导电材料以形成触点 62。在图 4 所示的截面中,触点 62 形成在源极区 18 和漏极区 20 中。此外,形成触点 (未示出) 并与栅电极 16 连接。

[0026] 在图 1-4 所示的实施例中,注入氧化增强核素。可替换地,注入氧化减弱核素。在另一个实施例中,除了氧化增强核素之外还注入氧化减弱核素,如图 5 和 6 所示。换句话说,在一个实施例中执行氧化增强核素和氧化减弱核素的共同注入。

[0027] 如图 5 所示,在形成氧化增强区域 26 之后将氧化减弱核素 28 如氮注入工件 10。氧化减弱核素 28 注入半导体衬底 12 和栅电极 16 的部分中从而在这些区域中抑制氧化生长。尽管未示出,可以在工件 10 上 (以及在半导体衬底 12 上) 形成诸如光致抗蚀剂的掩模,并且对其构图以暴露氧化减弱核素 28 将要注入的区域。如果使用掩模,则可以垂直于工件 10 或以倾斜从而半导体衬底 12 和注入之间的角度小于 90 度的方式进行注入。如果

不使用掩模或者掩模被构图为既暴露源极区 18 又暴露漏极区 20, 则优选倾斜, 从而可以在其中一个区域——在优选实施例中是漏极区 20——中形成阴影区域 30。阴影区域 30 类似于图 1 的阴影区域 24, 因为它是其中没有氧化减弱核素 28 经过的区域, 从而阴影区域 30 附近的区域不会被注入氧化减弱核素 28。在图 5 所示的实施例中, 阴影区域 30 防止氧化减弱核素 28 注入第一电介质层 14、栅电极 16 和半导体衬底 12 的部分中, 在讨论了图 6 之后将更好的理解这一点。在一个实施例中, 所述倾斜角大约等于 5 至 30 度。但是最令人满意的倾斜角取决于栅电极 16 的高度和密度。栅电极 16 越高和密度越大, 则令人满意的是使用越小的倾斜角。

[0028] 在一个实施例中, 氧化减弱核素 28 是氮。所使用的能量最好足够低, 使得氧化减弱核素 28 在半导体衬底 12 和栅电极 16 中到达期望的深度。在一个实施例中, 所期望的深度在大约 5 至 10nm 之间。在一个实施例中, 能量在大约 1 至 3keV 之间。所选择的能量取决于期望的深度, 而该深度可以根据特征的尺度、可能发生的其它处理以及所使用的核素而改变。此外, 可以使用任何剂量。在一个实施例中, 使用 $1E15/cm^2$ 的剂量。

[0029] 图 6 示出在倾斜注入氧化减弱核素 28 和氧化增强核素 22 之后所产生的注入的氧化增强区域 26、氧化减弱区域 32 以及包括氧化增强核素和氧化减弱核素的组合区域 34。氧化增强区域 26 存在于暴露给氧化增强核素并且靠近阴影区域 30 的区域中。氧化增强区域 26 靠近栅电极 16 的第一侧面。氧化减弱区域 32 是暴露给氧化减弱核素并且靠近阴影区域 24 的区域。氧化减弱区域靠近栅电极 16 的第一侧面。组合区域 34 位于漏极区 20 中离位于栅电极 16 之下的区域一定距离处, 位于源极区 18 中离位于栅电极 16 之下的区域一定距离处, 以及位于栅电极 16 的最顶部区域中。

[0030] 在形成氧化减弱区域 32 之后, 半导体衬底 12 的部分, 以及可选地, 栅电极 16 的部分, 利用参照图 3 讨论的任何工艺转换为电介质层。氧化减弱区域 32 抑制电介质的生长, 而氧化增强区域 26 加强电介质生长。组合区域 34 对氧化物生长的影响将取决于氧化减弱核素和氧化增强核素的相对量。组合区域 34 可以抑制或加强电介质生长。作为替代, 氧化减弱核素和氧化增强核素的影响可以相互抵消, 因此组合区域 34 将与氧化减弱核素和氧化增强核素都没有的物质相同地表现。因此, 组合区域 34 的存在可以不影响电介质生长。在形成电介质层之后, 执行参照图 4 讨论的附加处理。

[0031] 在一个实施例中, 用于形成半导体器件的方法包括形成半导体衬底, 在半导体衬底上形成具有第一侧面和第二侧面的栅电极, 在栅电极之下形成栅极电介质, 其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域, 其中第一区域比第二区域薄, 第三区域比第一区域薄且比第二区域薄。在一个实施例中, 在栅电极之下形成栅极电介质还包括形成第一电介质层, 向半导体衬底注入氧化增强核素以形成氧化增强区域, 以及氧化该氧化增强区域; 在一个实施例中, 注入氧化增强核素还包括向栅电极注入氧化增强核素以形成氧化增强区域; 在一个实施例中, 该注入是倾斜地执行的。在一个实施例中, 在栅电极之下形成栅极电介质还包括形成第一电介质层, 向半导体衬底注入氧化减弱核素以形成氧化减弱区域, 以及氧化该半导体衬底。在一个实施例中, 注入氧化减弱核素还包括向栅电极注入氧化减弱核素以形成氧化减弱区域, 在一个实施例中, 该注入是倾斜地执行的。在一个实施例中, 在栅电极之下形成栅极电介质还包括形

成第一电介质层,向半导体衬底注入氧化增强核素以形成氧化增强区域,向半导体衬底注入氧化减弱核素以形成氧化减弱区域,以及氧化半导体衬底,其中氧化包括在氧化增强区域中形成电介质。在一个实施例中,该方法还包括在形成栅极电介质之后形成源极延伸区域和漏极延伸区域,其中源极延伸区域比漏极延伸区域深。在一个实施例中,该方法还包括在形成栅极电介质之后,形成邻近栅电极的第一侧面的第一间隔件和邻近栅电极的第二侧面的第二间隔件。

[0032] 在一个实施例中,用于形成半导体器件的方法包括提供半导体衬底,在该半导体衬底上形成电介质层,在该电介质层上形成栅电极,其中该栅电极具有第一侧面和与第一侧面相对的第二侧面,向栅电极的第一侧面和半导体衬底的第一区域注入氧化增强核素,其中该第一区域位于栅电极之下并且邻近栅电极的第一侧面,将第一区域转换为第一电介质,将半导体衬底的第二区域转换为第二电介质,其中该第二区域位于栅电极之下并且邻近栅电极的第二侧面,第一电介质的厚度大于第二电介质的厚度。在一个实施例中,转换包括对半导体衬底进行退火。在一个实施例中,注入包括注入从锗、氧、氟和氯中选择的至少一种核素。在一个实施例中,该方法还包括向第二区域注入氧化减弱核素。在一个实施例中,注入氧化减弱核素包括注入氮。在一个实施例中,该方法还包括在转换第一区域和第二区域之后形成源极延伸区域和漏极延伸区域,其中源极延伸区域比漏极延伸区域深。在一个实施例中,该方法还包括在转换之后形成邻近栅电极的第一侧面的第一间隔件和邻近栅电极的第二侧面的第二间隔件。在一个实施例中,倾斜执行注入。

[0033] 在一个实施例中,半导体器件包括半导体衬底、半导体衬底上具有第一侧面和第二侧面的栅电极、以及位于栅电极之下的栅极电介质,其中栅极电介质具有位于栅电极之下并邻近栅电极的第一侧面的第一区域、位于栅电极之下并邻近栅电极的第二侧面的第二区域、以及位于栅电极之下并介于第一区域和第二区域之间的第三区域,其中第一区域比第二区域薄,第三区域比第一区域薄且比第二区域薄。在一个实施例中,栅电极的第一侧面包括第一电介质,第二侧面包括第二电介质,其中第二电介质比第一电介质厚。在一个实施例中,第一区域的厚度是第二区域的厚度的至少 2 倍。在一个实施例中,半导体器件还包括延伸区域,其中第一区域之下的延伸区域比第二区域之下的延伸区域深。在一个实施例中,第一区域是源极区,第二区域是漏极区。在一个实施例中,第一区域是漏极区,第二区域是源极区。

[0034] 到现在应当理解已经提供了一种鸟嘴电介质在栅极电介质的一侧(如半导体器件的漏极侧)形成得较厚的结构。可替换地,该较厚的电解质可以在源极侧。此外,讲述了一种通过执行氧化增强注入、氧化减弱注入或两者都进行来制作这种结构的方法。在一个实施例中,采用成角度的注入,使得能够在一侧形成阴影而在另一侧注入氧化增强或氧化减弱核素。该方法的实施是成本低廉的,因为使用的是无掩模注入过程或只采用一个附加掩模的工艺。所产生的结构提供了增强的性能,如减小了延迟并降低了电容(C_{gd} 和密勒(Miller) 电容)而没有减小电流。此外,在最高场(field)(例如栅电极附近的漏极区)之处具有厚氧化物将减小泄漏并提高可靠性。

[0035] 在上面的说明中,本发明是参照具体实施例来描述的。但是,本领域的技术人员可以理解,在不脱离如所附权利要求提出的本发明范围的情况下,可以作出各种修改和变化。例如,可以使用与图中所示的不同的半导体器件。例如,该半导体器件可以是 FinFET 或非

易失性存储器 (NVM) 器件。

[0036] 因此,说明书和附图被认为是说明性的而非限制性的,而且期望所有这样的修改都涵盖在本发明的范围内。

[0037] 此外,说明书和权利要求中的术语“前面”、“后面”、“顶部”、“底部”、“之上”、“之下”等等,如果有的话,是用于描述目的而不是一定在描述永久的相对位置。应当理解,这样使用的术语可以在适当情况下互换,使得在此描述的本发明实施例例如可以在与这里示出或描述的不同的方向上操作。

[0038] 上面参照具体实施例描述了益处、其它优点和对问题的解决方案。但是,这些益处、优点、对问题的解决方案和可能导致任何益处、优点或解决方案发生或变得更为显著的元素不能解释为任何或全部权利要求的关键的、必须的或基本的特征或元素。在这里使用的术语“包括 (comprises、comprising)”或其它变形意欲涵盖非排他性包含,使得包括一系列元素的过程、方法、物品或装置不仅包括这些元素,而且还可以包括其它没有明确列出或这些过程,方法,物品或装置所固有的元素。术语“一”、“一个”(“a”、“an”)在此定义为一个或多个。

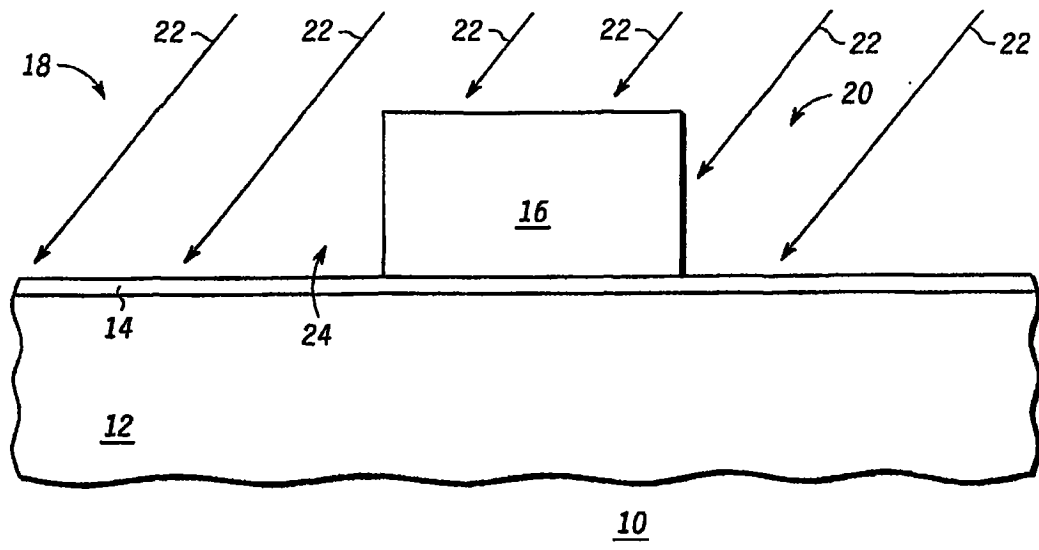


图 1

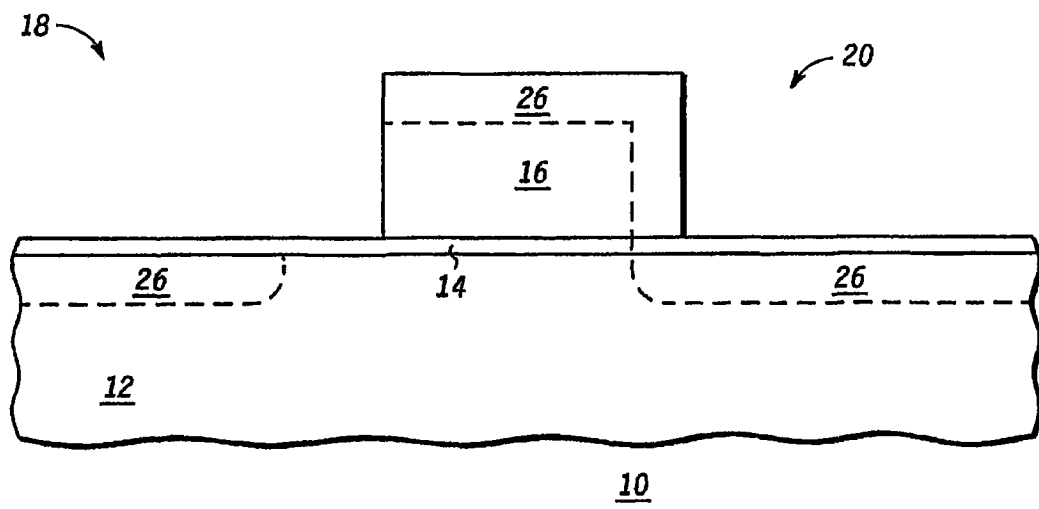


图 2

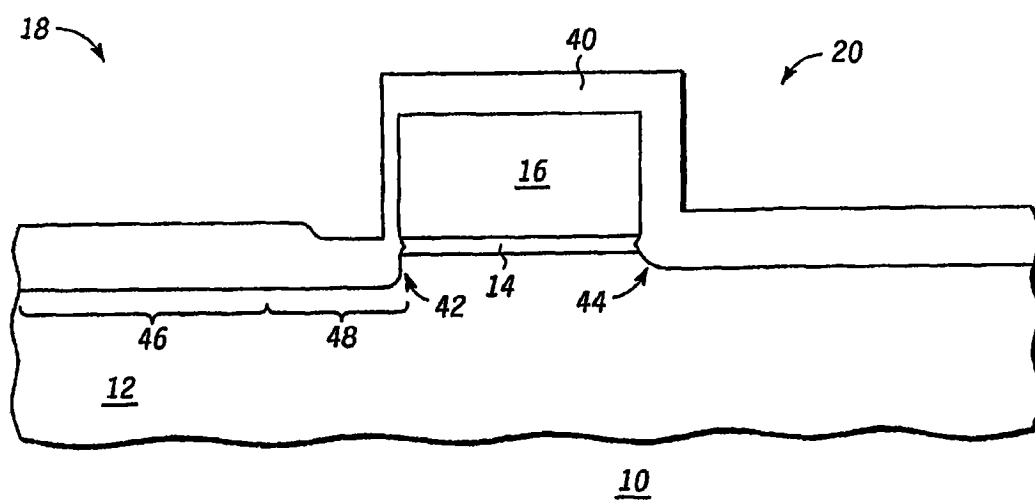


图 3

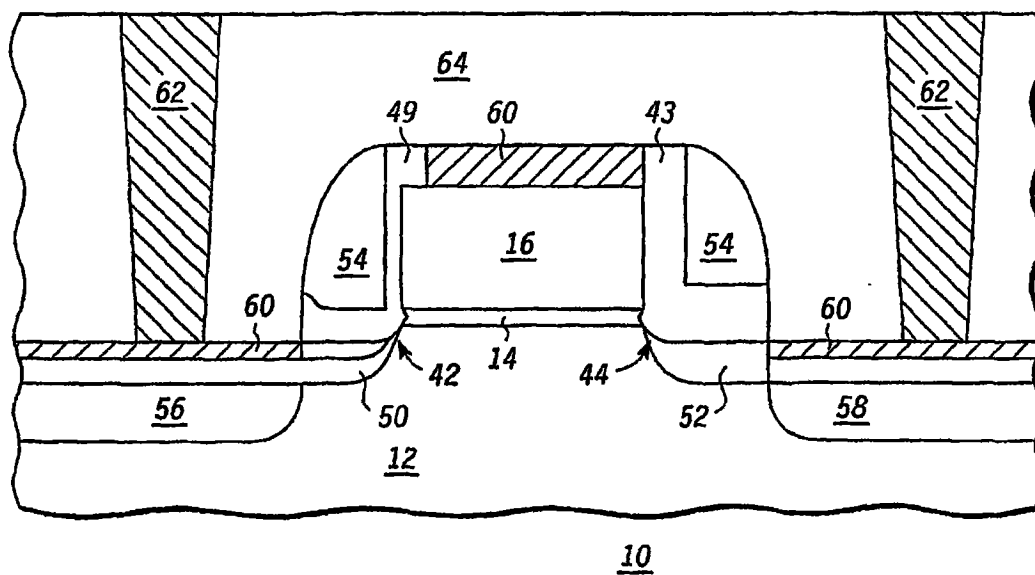


图 4

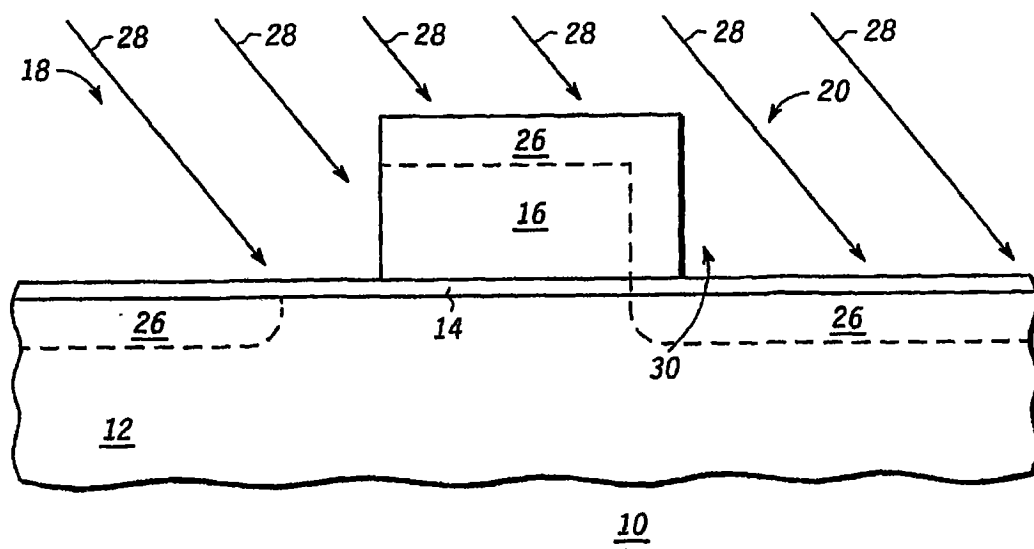


图 5

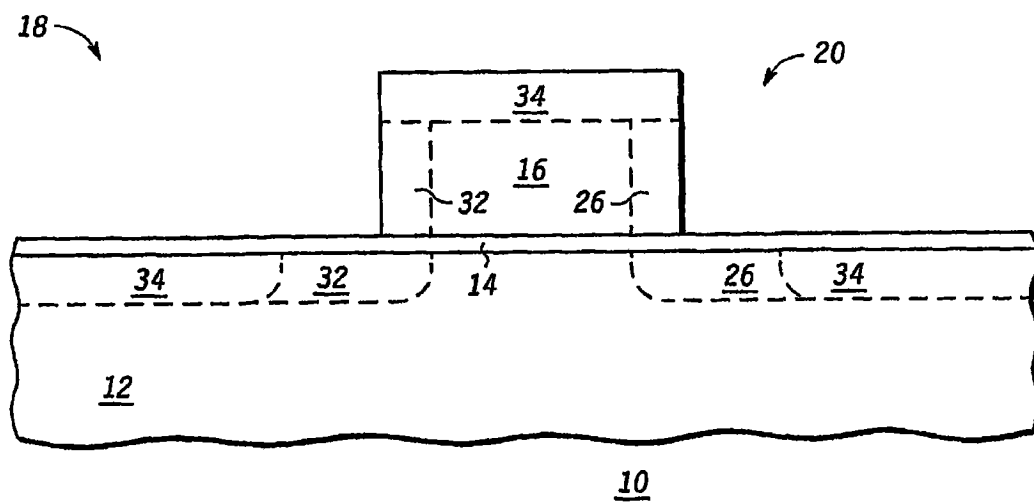


图 6