

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5285103号
(P5285103)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.	F I	
HO3K 17/687 (2006.01)	HO3K 17/687	A
HO3K 19/0175 (2006.01)	HO3K 19/00	I O I F
HO1L 21/338 (2006.01)	HO1L 29/80	H
HO1L 29/778 (2006.01)	HO1L 29/80	E
HO1L 29/812 (2006.01)	HO1L 29/80	L
請求項の数 9 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2011-53604 (P2011-53604)
 (22) 出願日 平成23年3月10日(2011.3.10)
 (65) 公開番号 特開2012-191454 (P2012-191454A)
 (43) 公開日 平成24年10月4日(2012.10.4)
 審査請求日 平成23年9月19日(2011.9.19)

前置審査

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 池田 健太郎
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 審査官 柳下 勝幸

最終頁に続く

(54) 【発明の名称】 窒化物半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1ゲートと、第1ソースと、第1ドレインと、を有し、窒化物半導体を含む、nチャンネル型の第1トランジスタと、

第2ゲートと、前記第1ゲートと電氣的に接続された第2ソースと、第2ドレインと、を有し、窒化物半導体を含む、nチャンネル型の第2トランジスタと、

第3ゲートと、前記第1ソースと接続された第3ソースと、前記第1ゲート及び前記第2ソースと電氣的に接続された第3ドレインと、を有し、窒化物半導体を含む、nチャンネル型の第3トランジスタと、

前記第3ゲートと電氣的に接続された第4ゲートと、前記第1ソース及び前記第3ソースと電氣的に接続された第4ソースと、前記第2ゲートと電氣的に接続された第4ドレインと、を有し、窒化物半導体を含む、nチャンネル型の第4トランジスタと、

一端が前記第2ドレインと電氣的に接続され、他端が前記第2ゲート及び前記第4ドレインと電氣的に接続された抵抗と、

一端が前記第2ドレイン及び前記抵抗の前記一端と電氣的に接続され、他端が前記第1ソース、前記第3ソース及び前記第4ソースと電氣的に接続されたキャパシタと、

を備え、

前記第1ゲート、前記第1ソース及び前記第1ドレインは、第1の方向に伸び、
 前記第3トランジスタは、前記第1の方向に沿って前記第2トランジスタと並び、
 前記抵抗は、前記第1の方向に沿って前記第4トランジスタと並び、

10

20

前記第4トランジスタは、前記第1の方向と交差する第2の方向に沿って前記第3トランジスタと並び、

前記抵抗は、前記第2の方向に沿って前記第2トランジスタと並び、

前記第1トランジスタの一部と前記第2トランジスタとの間に前記第3トランジスタが配置され、

前記第1トランジスタの別の一部と前記抵抗との間に前記第4トランジスタが配置され、

前記キャパシタの一部と前記第3トランジスタとの間に前記第4トランジスタが配置され、

前記キャパシタの別の一部と前記第2トランジスタとの間に前記抵抗が配置され、

前記キャパシタ、前記第3トランジスタ及び前記第4トランジスタのそれぞれから前記第1トランジスタに向かう方向は、前記第1の方向に対して平行であり、

前記第1ドレインの前記キャパシタとは反対側の端は、前記第1ソースの前記キャパシタとは反対側の端よりも前記キャパシタから遠く、

前記第1ソースの前記キャパシタ側の端は、前記第1ドレインの前記キャパシタ側の端よりも前記キャパシタに近く、

前記第1ソースの前記キャパシタ側の前記端が、前記キャパシタの前記他端、前記第3ソース及び前記第4ソースと接続されることを特徴とする窒化物半導体装置。

【請求項2】

GaNの第1層と、

前記第1層の上に設けられ $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$) の第2層と、

を含む窒化物半導体層をさらに備え、

前記キャパシタは、前記窒化物半導体層の一部を含むことを特徴とする請求項1記載の窒化物半導体装置。

【請求項3】

前記キャパシタは、2次元電子ガスを含むことを特徴とする請求項1または2に記載の窒化物半導体装置。

【請求項4】

前記第2トランジスタの活性部分の面積、前記第3トランジスタの活性部分の面積、前記第4トランジスタの活性部分の面積の、前記第1トランジスタの活性部分の面積に対する比は、 5×10^{-5} 以上、 5×10^{-1} 以下であることを特徴とする請求項1～3のいずれか1つに記載の窒化物半導体装置。

【請求項5】

前記第4トランジスタの前記活性部分の前記面積は、前記第2トランジスタの前記活性部分の前記面積以下であり、前記第3トランジスタの前記活性部分の前記面積以下であることを特徴とする請求項4記載の窒化物半導体装置。

【請求項6】

窒化物半導体層をさらに備え、

前記第1、第2、第3及び第4トランジスタのそれぞれに含まれるチャネルのそれぞれは、前記窒化物半導体層の内部に設けられることを特徴とする請求項1～5のいずれか1つに記載の窒化物半導体装置。

【請求項7】

ヘテロジャンクションを有する基板をさらに備え、

前記第1、第2、第3及び第4トランジスタは、前記基板上に設けられることを特徴とする請求項1～6のいずれか1つに記載の窒化物半導体装置。

【請求項8】

GaNの第1層と、

前記第1層の上に設けられ $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$) の第2層と、

10

20

30

40

50

を含む窒化物半導体層をさらに備え、

前記抵抗は、前記窒化物半導体層の一部を含むことを特徴とする請求項 1 ~ 7 のいずれか 1 つに記載の窒化物半導体装置。

【請求項 9】

前記抵抗は、2次元電子ガスを含むことを特徴とする請求項 1 ~ 8 のいずれか 1 つに記載の窒化物半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、窒化物半導体装置に関する。

10

【背景技術】

【0002】

GaN、SiC、ダイヤモンド及びZnOなどのワイドギャップ半導体を用いた半導体装置は、Siを用いた半導体装置に比べ、高耐圧、低抵抗、高速動作である。特に、AlGaN/GaNヘテロ構造をもつHEMT (High Electron Mobility Transistor) では、高い電子移動度とキャリア密度とを有しているため、高周波性能が良好で、オン抵抗が低い。

【0003】

このような高速スイッチング素子を実際に使用する際に、高速スイッチング素子を駆動する駆動回路の性能が高いことが望まれるが、そのような駆動回路が実際には得られない

20

場合もある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-176298号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、駆動回路への要求を緩和した使いやすい高速動作の窒化物半導体装置を提供する。

30

【課題を解決するための手段】

【0006】

本発明の実施形態によれば、第1トランジスタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、抵抗と、キャパシタと、を備えた窒化物半導体装置が提供される。前記第1トランジスタは、第1ゲートと、第1ソースと、第1ドレインと、を有し、窒化物半導体を含み、nチャンネル型である。前記第2トランジスタは、第2ゲートと、前記第1ゲートと電氣的に接続された第2ソースと、第2ドレインと、を有し、窒化物半導体を含み、nチャンネル型である。前記第3トランジスタは、第3ゲートと、前記第1ソースと接続された第3ソースと、前記第1ゲート及び前記第2ソースと電氣的に接続された第3ドレインと、を有し、窒化物半導体を含み、nチャンネル型である。前記第4トランジスタは、前記第3ゲートと電氣的に接続された第4ゲートと、前記第1ソース及び前記第3ソースと電氣的に接続された第4ソースと、前記第2ゲートと電氣的に接続された第4ドレインと、を有し、窒化物半導体を含み、nチャンネル型である。前記抵抗の一端は、前記第2ドレインと電氣的に接続され、前記抵抗の他端は、前記第2ゲート及び前記第4ドレインと電氣的に接続される。前記キャパシタの一端は、前記第2ドレイン及び前記抵抗の前記一端と電氣的に接続され、前記キャパシタの他端は、前記第1ソース、前記第3ソース及び前記第4ソースと電氣的に接続される。前記第1ゲート、前記第1ソース及び前記第1ドレインは、第1の方向に伸びる。前記第3トランジスタは、前記第1の方向に沿って前記第2トランジスタと並ぶ。前記抵抗は、前記第1の方向に沿って前記第4トランジスタと並ぶ。前記第4トランジスタは、前記第1の方向と交差する第2の

40

50

方向に沿って前記第3トランジスタと並ぶ。前記抵抗は、前記第2の方向に沿って前記第2トランジスタと並ぶ。前記第1トランジスタの一部と前記第2トランジスタとの間に前記第3トランジスタが配置される。前記第1トランジスタの別の一部と前記抵抗との間に前記第4トランジスタが配置される。前記キャパシタの一部と前記第3トランジスタとの間に前記第4トランジスタが配置される。前記キャパシタの別の一部と前記第2トランジスタとの間に前記抵抗が配置される。前記キャパシタ、前記第3トランジスタ及び前記第4トランジスタのそれぞれから前記第1トランジスタに向かう方向は、前記第1の方向に対して平行である。前記第1ドレインの前記キャパシタとは反対側の端は、前記第1ソースの前記キャパシタとは反対側の端よりも前記キャパシタから遠い。前記第1ソースの前記キャパシタ側の端は、前記第1ドレインの前記キャパシタ側の端よりも前記キャパシタに近い。前記第1ソースの前記キャパシタ側の前記端が、前記キャパシタの前記他端、前記第3ソース及び前記第4ソースと接続される。

10

【図面の簡単な説明】

【0007】

【図1】第1の実施形態に係る窒化物半導体装置を示す模式図である。

【図2】第1の実施形態に係る窒化物半導体装置を示す回路図である。

【図3】第1の実施形態に係る窒化物半導体装置の一部を示す模式的断面図である。

【図4】第1の実施形態に係る窒化物半導体装置の特性を示す模式図である。

【図5】窒化物半導体装置の動作を示す模式図である。

【図6】窒化物半導体装置の動作を示す模式図である。

20

【図7】窒化物半導体装置を示す模式的平面図である。

【図8】窒化物半導体装置の動作を示す模式図である。

【図9】第1の実施形態に係る窒化物半導体装置の一部を示す模式的断面図である。

【図10】第2の実施形態に係る窒化物半導体装置を示す模式図である。

【図11】第2の実施形態に係る窒化物半導体装置を示す回路図である。

【図12】第2の実施形態に係る窒化物半導体装置の一部の示す模式的断面図である。

【発明を実施するための形態】

【0008】

以下に、各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

30

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0009】

(第1の実施形態)

図1は、第1の実施形態に係る窒化物半導体装置の構成を例示する模式図である。

同図は、本実施形態に係る窒化物半導体装置111のパターンレイアウトの例を模式的に示している。

図2は、第1の実施形態に係る窒化物半導体装置の構成を例示する回路図である。

40

図1及び図2に表したように、実施形態に係る窒化物半導体装置111は、第1～第4トランジスタ10、20、30及び40と、抵抗51と、を備える。

【0010】

第1～第4トランジスタ10、20、30及び40は、窒化物半導体を含み、nチャンネル型である。すなわち、窒化物半導体装置111においては、nチャンネルを有するトランジスタで回路が形成されている。

【0011】

第1トランジスタ10は、第1ゲート10gと、第1ソース10sと、第1ドレイン10dと、を有する。

【0012】

50

第2トランジスタ20は、第2ゲート20gと、第2ソース20sと、第2ドレイン20dと、を有する。第2ソース20sは、第1ゲート10gと電氣的に接続される。

【0013】

第3トランジスタ30は、第3ゲート30gと、第3ソース30sと、第3ドレイン30dと、を有する。第3ソース30sは、第1ソース10sと電氣的に接続される。第3ドレイン30dは、第1ゲート10g及び第2ソース20sと電氣的に接続される。

【0014】

第4トランジスタ40は、第4ゲート40gと、第4ソース40sと、第4ドレイン40dと、を有する。第4ゲート40gは、第3ゲート30gと電氣的に接続される。第4ソース40sは、第1ソース10s及び第3ソース30sと電氣的に接続される。第4ドレイン40dは、第2ゲート20gと電氣的に接続される。

10

【0015】

抵抗51の一端は、第2ドレイン20dと電氣的に接続される。抵抗51の他端は、第2ゲート20g及び第4ドレイン40dと電氣的に接続される。

【0016】

この例では、窒化物半導体装置111は、ドレイン電極パッド61と、ソース電極パッド62と、ゲート電極パッド63と、電源電極パッド64と、導通部65と、をさらに備える。

【0017】

ドレイン電極パッド61は、第1ドレイン10dと電氣的に接続される。ソース電極パッド62は、第1ソース10s、第3ソース30s及び第4ソース40sと電氣的に接続される。ゲート電極パッド63は、第4ゲート40g及び第3ゲート30gと電氣的に接続される。電源電極パッド64は、第2ドレイン20d、及び、抵抗51の上記の一端と電氣的に接続される。導通部65は、第2ゲート30g、第4ドレイン40d、及び、抵抗51の上記の他端と、電氣的に接続される。

20

【0018】

これにより、窒化物半導体装置111へのゲート信号が高速でない場合、ゲート駆動回路の出力インピーダンスが高い場合、及び、配線インダクタンスの影響が懸念される場合などにおいても、高速にスイッチングできる。すなわち、駆動回路への要求を緩和した使いやすい高速動作の窒化物半導体装置が提供できる。

30

【0019】

発明者の検討によると、高速スイッチング素子を実際に使用する際に、高速スイッチング素子を駆動する駆動回路の性能が高いことが望まれるが、そのような駆動回路が実際には得られない場合もあることが分かった。例えば、高速スイッチング素子を駆動するゲート駆動回路や配線が高速化に対応しており、出力インピーダンスが低いことが望まれる。しかしながら、実際には、このような構成が得られない場合がある。そのため、配線インダクタや出力インピーダンスが高く、高速な信号が得られない場合でも、高速にスイッチングできるGa₂N素子が望まれる。

実施形態によれば、このようなときにも、高速なスイッチングが確保できる。

【0020】

窒化物半導体装置111の具体的な構成の例についてさらに説明する。第1～第4トランジスタ10、20、30及び40の構成は、同様とすることができるので、以下では、第1トランジスタ10の例について説明する。

40

【0021】

図3は、第1の実施形態に係る窒化物半導体装置の一部の構成を例示する模式的断面図である。

同図は、図1のA1-A2線断面図である。すなわち、同図は、第1トランジスタ10の構成の例を示している。

図3に表したように、窒化物半導体装置111においては、窒化物半導体層70が設けられる。窒化物半導体層70は、Ga₂Nの第1層75と、In_xAl_yGa_{1-x-y}N

50

($0 < x < 1$ 、 $0 < y < 1$)の第2層73と、を含む。第2層73は、例えば、AlGa N層である。第2層73は、第1層75の上に設けられる。

【0022】

第1層75は、例えば、キャリア走行層である。第2層73は、例えば、電子誘起層である。Ga N系材料による第1層75と、AlGa N系材料による第2層73により、ヘテロ構造が形成される。

【0023】

図4は、第1の実施形態に係る窒化物半導体装置の特性を例示する模式図である。

すなわち、同図は、窒化物半導体層70におけるエネルギー状態を例示している。第1層75(例えばキャリア走行層)と、第2層73(例えば電子誘起層)と、によるヘテロ接合において、第1層75と第2層73との界面にフェルミレベル70aよりもエネルギー準位が低い井戸70cが形成される。井戸70cは、例えば、平面状に分布する量子的な井戸である。この井戸70cは、フェルミレベル70aよりも低いエネルギー準位である。このため、電子によるチャンネルが形成される。井戸70cの電子を、2次元電子ガス70bと言う。このチャンネルにある電子(2次元電子ガス70b)の移動度は、非常に高い。ヘテロ接合を持つ窒化物半導体は、この2次元電子ガス70bをチャンネルとして用いる。

10

【0024】

図3に表したように、窒化物半導体層70に形成される2次元電子ガスチャンネル74を利用する。この2次元電子ガスチャンネル74には、大量の電子が存在し、2次元電子ガスチャンネル74は電流パスとなる。このヘテロ構造の上にソース電極71s(例えば、第1~第4ソース10s、20s、30s及び40s)、ゲート電極71g(例えば、第1~第4ゲート10g、20g、30g及び40g)、及び、ドレイン電極71d(例えば、第1~第4ドレイン10d、20d、30d及び40d)を設けることで、第1~第4トランジスタ10、20、30及び40が形成される。

20

【0025】

このように、窒化物半導体装置111は、窒化物半導体層70をさらに備え、第1、第2、第3及び第4トランジスタは、窒化物半導体層70の一部をチャンネルとして利用する。

【0026】

すなわち、第1、第2、第3及び第4トランジスタ10、20、30及び40のそれぞれに含まれるチャンネルのそれぞれは、窒化物半導体層70の内部(具体的には、2次元電子ガスチャンネル74)に設けられる。

30

【0027】

例えば、窒化物半導体層70は、基板の上に設けられる。すなわち、窒化物半導体層111は、ヘテロジャンクションを有する基板をさらに備え、第1、第2、第3及び第4トランジスタ10、20、30及び40は、その基板上に設けられる。

【0028】

図1及び図2に例示した窒化物半導体装置111においては、第1~第4トランジスタ10、20、30及び40並びに抵抗51は、例えば、1つのウェーハ上に形成され、ワンチップの構成を有することができる。窒化物半導体装置111は、外部からみると、4端子の素子として扱うことができる。すなわち、ドレイン電極パッド61をドレイン端子として用い、ソース電極パッド62をソース端子として用い、ゲート電極パッド63をゲート端子として用い、電源電極パッド64を電源端子として用いることができる。すなわち、電源電極パッド64に電源電圧(例えばシステムの電源の電圧)が供給(印加)される。

40

【0029】

以下、窒化物半導体装置111の動作の例について、図2を参照しつつ説明する。

電源電極パッド64に電源電圧を供給している状態において、ゲート端子(ゲート電極パッド63)にローレベルの信号が入力された時には、第3トランジスタ30及び第4ト

50

ランジスタ40がオフする。このため、第2トランジスタ20の第2ゲート20gには抵抗51を介して、高電圧が印加される。そして、第2トランジスタ20はオン状態になる。その結果、第2トランジスタ20のオン抵抗程度の低インピーダンスで、電源と、第1トランジスタ10の第1ゲート10gと、が接続される。これにより、第1トランジスタ10の第1ゲート10gは急速に充電される。すなわち、第1トランジスタ10を高速にオン状態にすることができる。

【0030】

一方、ハイレベルの信号がゲート端子に入力された時は、第3トランジスタ30及び第4トランジスタ40はオン状態となり、第2トランジスタ20の第2ゲート20gと第2ソース20sとの間の電圧は0Vとなり、第2トランジスタ20はオフ状態になる。その結果、第1トランジスタ10の第1ゲート10gは、オン状態の第3トランジスタ30を介して急速に放電される。これにより、第1トランジスタ10は高速にオフ状態にできる。

10

【0031】

実施形態に係る窒化物半導体装置111の動作の特性について、参考例の窒化物半導体装置と比較して説明する。参考例の窒化物半導体装置においては、上記の第1トランジスタ10が設けられ、第2～第4トランジスタ20、30及び40並びに抵抗51が設けられていない。

【0032】

図5及び図6は、窒化物半導体装置の動作を例示する模式図である。

20

これらの図は、実施形態に係る窒化物半導体装置及び参考例の窒化物半導体装置119の特性をシミュレーションした結果を例示している。図5は、これらの窒化物半導体装置への入力信号を例示している。図6は、シミュレーションにより得られた、これらの窒化物半導体装置の出力信号（ドレイン電流の信号波形）を例示している。これらの図の横軸は時間tを示す。図5の縦軸は、入力信号の電圧 V_{in} を示す。図6の縦軸は、出力信号の電圧 V_{out} を示す。

【0033】

図5に表したように、このシミュレーションでは、入力信号として、サイン波を用いた。これは、窒化物半導体装置111及び119のゲート端子に入力されるゲート信号が高速でない場合、ゲート駆動回路の出力インピーダンスが高い場合、及び、配線インダクタンスの影響が懸念される場合などを想定している。すなわち、窒化物半導体装置を駆動するための回路の高速性が著しく阻害されている状態を想定している。

30

【0034】

図6に表したように、参考例の窒化物半導体装置119においては、出力信号は台形である。窒化物半導体装置のスイッチングにおいて、出力信号（ドレイン電流波形）は矩形波であることが望ましいが、サイン波入力では、波形になまりが発生し、高速にスイッチングしていない。高速にスイッチングができていない場合には、素子の損失が増えてしまう。

【0035】

これに対し、図6に表したように、実施形態に係る窒化物半導体装置111においては、入力信号がサイン波である場合においても、出力信号（ドレイン電流波形）は、ほぼ矩形波である。すなわち、オンとオフとの差が明確である。

40

【0036】

このように、実施形態に係る窒化物半導体装置111においては、ゲート端子に入力されるゲート信号が高速でない場合、ゲート駆動回路の出力インピーダンスが高い場合、及び、配線インダクタンスの影響が懸念される場合などにおいても、高速にスイッチングできる。

【0037】

そして、実施形態においては、pチャンネルを使用せずに、nチャンネルのトランジスタにより、上記のように、高速に動作する回路が得られる。ゲート駆動回路には、通常、

50

pチャンネルのトランジスタが用いられる。しかしながら、窒化物半導体装置において、pチャンネルのトランジスタを形成することが実用上、非常に困難である。本実施形態においては、上記の構成を用いることで、pチャンネルのトランジスタを用いず、nチャンネルのトランジスタにより駆動回路を形成しており、実用性が高い。

【0038】

窒化物半導体装置111において、第1トランジスタ10の駆動に必要な電力のほとんどは電源端子から供給される。このため、外部に設けられるゲート駆動回路の負荷は非常に小さくてよく、ゲート駆動回路の出力インピーダンスは高くても良い。

【0039】

さらに、実施形態においては、ゲート駆動回路からは小さな電力しか窒化物半導体装置111に加える必要が無い。このため、ゲート駆動回路と窒化物半導体装置111との間に流れる電流（ゲート駆動電流）を小さくできる。インダクタンスは、電流の大きさに依存するので、ゲート駆動電流を小さくすることにより、配線インダクタンスの影響を抑制できる。

【0040】

以下、実施形態において、各トランジスタのサイズの例について説明する。以下では、第1トランジスタ10のサイズについて説明する。

【0041】

図7は、窒化物半導体装置の構成を例示する模式的平面図である。

図7に表したように、第1トランジスタ10の面積 S （サイズ）は、活性部11の面積とする。活性部11は、トランジスタの動作が実質的に行われる部分である。図7に表したように、ソース（第1ソース10s）と、ドレイン（第1ドレイン10d）と、ゲート（第1ゲート10g）を介して互いに対向する部分の長さ L_1 と、幅 L_2 と、の積を、面積 S とする。この例のように、ソースが複数の部分を有し、ドレインが複数の部分を有し、これらが櫛歯状に組み合わせられている場合は、一方の端のソースまたはドレインと、他方の端のソースまたはドレインと、を含む長さが、幅 L_2 とされる。

第2～第4トランジスタ20、30及び40の面積も同様に定義される。

【0042】

コストや歩留まりの観点からは、トランジスタのチップに占める面積は小さいほうが良い。しかし、トランジスタの面積を過度に小さくすると、オン抵抗が大きくなり駆動能力が低下する。

【0043】

例えば、第2～第4トランジスタ20、30及び40の面積が過度に小さい場合は、第1トランジスタ10を十分に速く駆動することが困難になる。第2～第4トランジスタ20、30及び40の面積を大きくしてオン抵抗を小さくすると、第1トランジスタ10を高速に駆動できるが、コストの増大と歩留まりの低下を招く。さらに、窒化物半導体装置111の入力容量が大きくなる。すなわち、窒化物半導体装置111を低インピーダンスの信号源で駆動することが困難にする。

【0044】

実施形態において、第2～第4トランジスタ20、30及び40には適切な面積（サイズ）が存在する。

【0045】

まず、第1トランジスタ10を高速に駆動するために、ミラー期間を短くする必要がある。ミラー期間は、トランジスタのしきい値電圧におけるゲート入力容量の充電または放電の時間に相当する。

【0046】

図8は、窒化物半導体装置の動作を例示する模式図である。

同図は、窒化物半導体のトランジスタの動作を例示している。横軸は時間 t を示す。縦軸はゲート電圧 V_g を示す。

図8に表したように、初期の時刻 t_0 から第1時刻 t_1 までの期間、トランジスタのゲ

10

20

30

40

50

ート電圧 V_g を徐々に上昇させたとき、ゲート電圧 V_g は上昇する。ゲート電圧 V_g がトランジスタのしきい値電圧 V_{th} に達すると、ゲート電圧 V_g がある期間（第1時刻 t_1 から第2時刻 t_2 までの期間）上昇しなくなる。

【0047】

これは、トランジスタのゲート電圧 V_g がしきい値 V_{th} に達したため、ドレイン電流が流れ始めるのに同期してドレイン電圧が変化し、この電圧変化がトランジスタの寄生容量を介してゲート電圧 V_g に回り込むためである。トランジスタを高速に動作させるためには、このミラー期間を短くする。このミラー期間を脱するのに必要な電荷量を「 Q_{gd} 」という。この Q_{gd} を早くゲートに与えることが、トランジスタの高速動作を可能にする。

10

【0048】

ミラー期間を t （図8の例では、 $t = t_2 - t_1$ ）とする。窒化物半導体装置111の電源電極パッド64に印加する電圧を V_{in1} とする。第1トランジスタ10のしきい値電圧を V_{th1} とする。さらに、 $V = V_{in1} - V_{th1}$ とする。トランジスタの面積によらないトランジスタの性能の指標である $R_{on}Q_{gd}$ （ $\cdot C$ の次元を有する）を用いる。そして、第1トランジスタ10を面積 A_{10} とし、第3トランジスタ30の面積を A_{30} とする。これらのトランジスタの面積比 R_{13} は、

$$R_{13} = A_{30} / A_{10} = R_{on}Q_{gd} / (V \cdot t)$$

20

で表される。

【0049】

$R_{on}Q_{gd}$ は、例えばトランジスタの耐圧などにより変化するが、約 $0.05 n \cdot C$ 以上 $0.5 n \cdot C$ 以下程度である。

【0050】

V_{in1} は使用者によって定められる電圧であるため、 V も使用者によって決まる。実用的な範囲としては、 V は、1V以上20V以下が適切である。一方、 t は、1ns以上50ns以下が実的に有用な値である。

【0051】

これらの適正な定数を用いると、 $R_{13} = A_{30} / A_{10} = 5 \times 10^{-5} \sim 5 \times 10^{-1}$ となる。同様に、第2トランジスタ20及び第4トランジスタ40の面積比を設定できる。

30

【0052】

すなわち、第2トランジスタ20の活性部分の面積、第3トランジスタ30の活性部分の面積、第4トランジスタ40の活性部分の面積の、第1トランジスタ10の活性部分の面積に対する比は、 5×10^{-5} 以上、 5×10^{-1} 以下であることが望ましい。これにより、ミラー期間が短い、より適正な駆動が得られる。

【0053】

ただし、上記の値（面積比）は、第1トランジスタ10と同じ耐圧で第3トランジスタ30を形成した時の面積比である。第3トランジスタ30の耐圧は、 V_{in1} の入力電圧に耐えられれば良いので、必ずしも第1トランジスタ10と同じ設計である必要は無い。つまり、第3トランジスタ30の面積は、上記の面積比の値よりも小さくても良い。さらに、第3トランジスタ30と第4トランジスタ40と第2トランジスタ20とは、互いに同じ面積である必要は無い。特に、第4トランジスタ40は、第3トランジスタ30及び第2トランジスタ20と同じか、それらよりも小さい面積でも良い。

40

【0054】

第4トランジスタ40の活性部分の面積は、第2トランジスタ20の活性部分の面積以下であり、第3トランジスタ30の活性部分の面積以下である。これにより、適正な駆動特性を維持しつつ、第4トランジスタ40の面積を適正に小さくでき、コストの増大、歩留まりの低下及び入力容量の増大を抑制できる。

50

【 0 0 5 5 】

なお、トランジスタの面積は、例えば、窒化物半導体装置の電極などを顕微鏡により観察した像などに基づいて求めることができる。

【 0 0 5 6 】

実施形態において、抵抗 5 1 には、金属薄膜などの導電薄膜を適切な形状に加工したものをを用いることができる。また、抵抗 5 1 として、2次元電子ガス 7 0 b (2次元電子ガスチャネル 7 4) を利用しても良い。

【 0 0 5 7 】

図 9 は、第 1 の実施形態に係る窒化物半導体装置の一部の構成を例示する模式的断面図である。

10

すなわち、同図は、抵抗 5 1 の構成を例示している。

図 9 に表したように、窒化物半導体層 7 0 の第 2 層 7 3 の上に、電極 5 1 a 及び電極 5 1 b が設けられる。これらの電極は、第 2 層 7 3 とオーミック性接触を形成する。すなわち、電極 5 1 a 及び電極 5 1 b は、オーミック性接触によって、2次元電子ガスチャネル 7 4 に電氣的に接続されている。

【 0 0 5 8 】

図 9 に表したように、第 2 層 7 3 に凹部 7 3 d を設け、この凹部 7 3 d の深さ (リセス量) を変えることで、2次元電子ガスチャネル 2 4 の抵抗を変えることができる。これを利用して、適切な抵抗値を有する抵抗 5 1 を形成することができる。

【 0 0 5 9 】

20

このように、実施形態において、第 1 層 7 5 及び第 2 層 7 3 を含む窒化物半導体層 7 0 を設け、抵抗 5 1 は、窒化物半導体層 7 0 の一部 (具体的は、2次元電子ガスチャネル 7 4) を含むことができる。

【 0 0 6 0 】

抵抗 5 1 として金属薄膜を用いた場合に比べ、2次元電子ガスチャネル 7 4 を用いた場合は、温度変化による抵抗値の変化が小さい。このため、抵抗 5 1 として、2次元電子ガス 7 0 b を用いことがより望ましい。

【 0 0 6 1 】

本実施形態において、窒化物半導体装置 1 1 1 の構成の例として、図 1 を用いて説明したが、窒化物半導体装置 1 1 1 に含まれる各要素のレイアウトは、図 1 に示した例に限定されず、任意である。

30

【 0 0 6 2 】

また、上記においては、窒化物半導体装置 1 1 1 として、図 3 に例示した GaN - HEMT の構成を用いる場合として説明したが、実施形態はこれに限らない。また、用いる半導体材料においても、組成比やドーパントなどを種々変形できる。

【 0 0 6 3 】

窒化物半導体装置 1 1 1 において、電源端子に印加される電圧 (電源電圧) は、例えば、3 V 以上 2 0 V 以下程度が適切である。ただし、実施形態はこれに限らず、電源電圧は任意である。そして、窒化物半導体装置 1 1 1 を用いるシステム側の条件などに応じて、電源電圧は、適宜変更される。電源電圧が、2 0 V を超える場合には、各トランジスタの高耐圧化のために、トランジスタの面積が大きくなり、また、消費電力が大きくなる。

40

【 0 0 6 4 】

一般に、高速回路は、出力インピーダンスが大きくなる傾向がある。高速回路においては、電界効果トランジスタ (FET) の駆動のような容量性負荷を駆動することが難しくなる。出力インピーダンスが大きいと、容量性負荷の充放電が遅くなり、結局 FET の駆動が遅くなる。

【 0 0 6 5 】

また、FET のゲートとゲート駆動回路との間には、物理的に配線インダクタが存在する。この配線インダクタは、FET のゲートにリングングをもたらし、FET を破壊することもある。また、インダクタンスにより、ゲート信号が遅延し、FET の駆動が遅くな

50

る。

【0066】

このような現象は、信号が高速であればあるほど顕著となる。このため、高速スイッチング回路に応用が期待されるGaN素子を使用する際には、これらの問題が表面化してくる。

【0067】

これらの問題を解決する方法として、FETのゲートに接続される補助用の駆動回路を、FETと同じウェーハ上に形成することが考えられる。しかしながら、GaNにおいては、p形の半導体の制御が難しく、pチャンネルのFETを形成することが困難である。特に、GaN-HEMTにおいては、pチャンネルのFETを実現することは非常に困難である。一般に、FETの駆動回路には、pチャンネルのFETとnチャンネルのFETを組み合わせる方法が用いられるが、上記のように、この方法をGaNに適用することは困難である。

10

【0068】

本実施形態においては、pチャンネルのトランジスタを用いず、nチャンネルのトランジスタにより駆動回路を形成しており、実用性が高い。

【0069】

(第2の実施形態)

図10は、第2の実施形態に係る窒化物半導体装置の構成を例示する模式図である。

同図は、本実施形態に係る窒化物半導体装置112のパターンレイアウトの例を模式的に示している。

20

図11は、第2の実施形態に係る窒化物半導体装置の構成を例示する回路図である。

図10及び図11に表したように、実施形態に係る窒化物半導体装置112は、上記の第1～第4トランジスタ10、20、30及び40と、抵抗51と、に加え、キャパシタ52をさらに備える。これ以外の構成は、窒化物半導体装置111と同様とすることができるので説明を省略する。

【0070】

キャパシタ52の一端は、第2ドレイン20d、及び、抵抗51の上記の一端と電氣的に接続される。キャパシタ52の他端は、第1ソース10s、第3ソース30s及び第4ソース40sと電氣的に接続される。

30

【0071】

第1トランジスタ10のゲート信号駆動に必要な電荷が、キャパシタ52から供給される。すなわち、キャパシタ52を設けることにより、第1トランジスタ10をより高速に駆動することが可能となる。

【0072】

また、窒化物半導体装置112に供給する電源から見た時の駆動負荷電流を、キャパシタ52は平準化する。このため、例えば、外部コンデンサを省略でき、また、配線インダクタンスの影響を抑制できる。

【0073】

キャパシタ52の容量を、第1トランジスタ10の入力容量以上に設定することで、より効果的に働く。より具体的には、キャパシタ52の容量は、第1トランジスタ10のしきい値電圧での入力容量以上に設定される。

40

【0074】

キャパシタ52の容量は大きくても良い。ただし、容量を過剰に設定すると、キャパシタ52の面積が増大しコストが増大する。また、歩留まりの低下、耐圧の低下を引き起こす。従って、キャパシタ52の容量は、第1トランジスタ10のしきい値電圧での入力容量の100倍程度以下とすることが望ましい。

【0075】

キャパシタ52は、例えば、金属または高電導ポリシリコンと、絶縁膜と、の積層構造

50

によって形成される。また、キャパシタ52は、例えば、後述するように、2次元電子ガス70bを含んでも良い。

【0076】

キャパシタ52に含まれる絶縁膜には、例えば、 SiO_2 、 SiN 、 Al_2O_3 、 TiO_2 、 BaTiO_3 、 SrTiO_3 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 Ta_2O_5 、 LiTaO_3 、 HfO_2 及び ZrO_2 よりなる群から選択された少なくともいずれかを用いることができる。実施形態はこれに限らず、絶縁膜には任意の材料を用いることができる。

【0077】

図12は、第2の実施形態に係る窒化物半導体装置の一部の構成を例示する模式的断面図である。

10

すなわち、同図は、キャパシタ52の構成を例示している。

図12に表したように、窒化物半導体層70の第2層73の上に、絶縁膜76が設けられ、絶縁膜76の上に、キャパシタ電極52aが設けられている。

【0078】

2次元電子ガスチャンネル74はオーミック性接触により、ソース電極パッド62または電源電極パッド64に電氣的に接続されている。そして、キャパシタ電極52aは、ソース電極パッド62または電源電極パッド64に電氣的に接続される。

【0079】

このような構造を用いることで、2次元電子ガスチャンネル74とキャパシタ電極52aとによって、平行平板形のキャパシタが形成される。ただし、この構成は例であり、実施形態はこれに限定されない。キャパシタ52の構成は、任意である。

20

【0080】

本実施形態において、窒化物半導体装置112の構成の例として、図10を用いて説明したが、窒化物半導体装置112に含まれる各要素のレイアウトは、図10に示した例に限定されず、任意である。

【0081】

実施形態によれば、駆動回路への要求を緩和した使いやすい高速動作の窒化物半導体装置が提供される。

【0082】

以上、具体例を参照しつつ、本発明のいくつかの実施形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、窒化物半導体装置に含まれるトランジスタ、抵抗及びキャパシタなどの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

30

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0083】

その他、本発明の実施の形態として上述した窒化物半導体装置を基にして、当業者が適宜設計変更して実施し得る全ての窒化物半導体装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

40

【0084】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0085】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

50

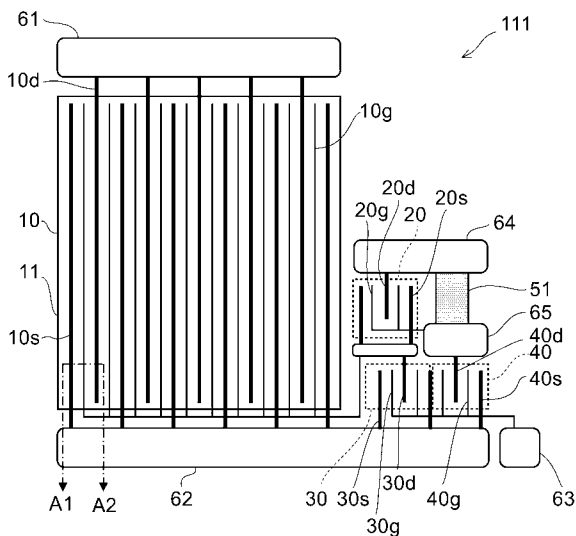
【符号の説明】

【0086】

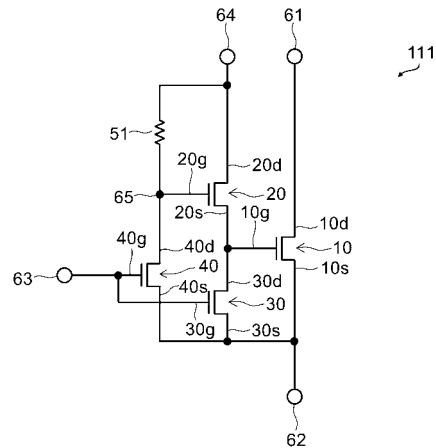
10...第1トランジスタ、10d...第1ドレイン、10g...第1ゲート、10s...第1ソース、11...活性部、20...第2トランジスタ、20d...第2ドレイン、20g...第2ゲート、20s...第2ソース、30...第3トランジスタ、30d...第3ドレイン、30g...第3ゲート、30s...第3ソース、40...第4トランジスタ、40d...第4ドレイン、40g...第4ゲート、40s...第4ソース、51...抵抗、51a...電極、51b...電極、52...キャパシタ、52a...キャパシタ電極、61...ドレイン電極パッド、62...ソース電極パッド、63...ゲート電極パッド、64...電源電極パッド、65...導通部、70...窒化物半導体層、70a...フェルミレベル、70b...2次元電子ガス、70c...井戸、71d...ドレイン電極、71g...ゲート電極、71s...ソース電極、73...第2層、73d...凹部、74...2次元電子ガスチャネル、75...第1層、76...絶縁膜、111、112、119...窒化物半導体装置、L1...長さ、L2...幅、S...面積、Vg...ゲート電圧、Vin、Vout...電圧、t...時間、t0...時刻、t1、t2...第1、第2時刻

10

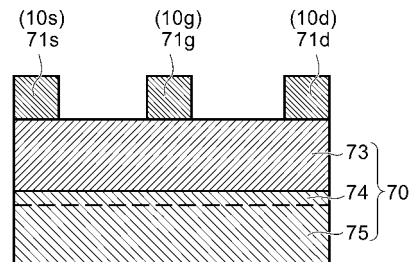
【図1】



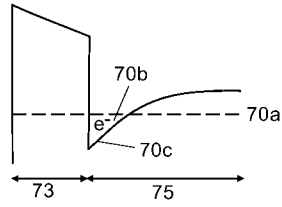
【図2】



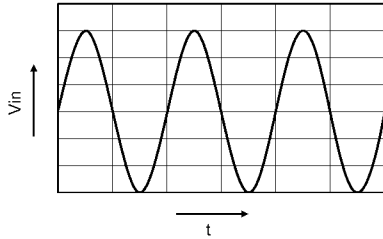
【図3】



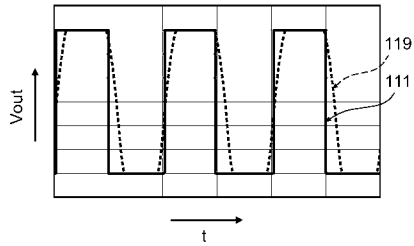
【 図 4 】



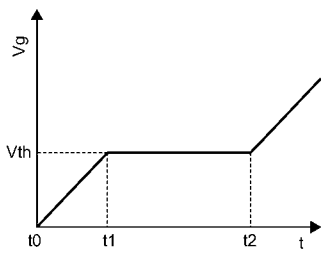
【 図 5 】



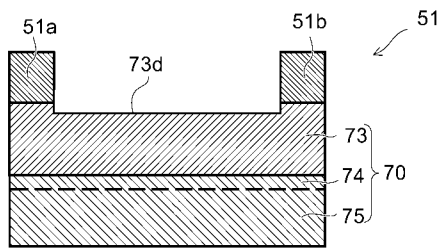
【 図 6 】



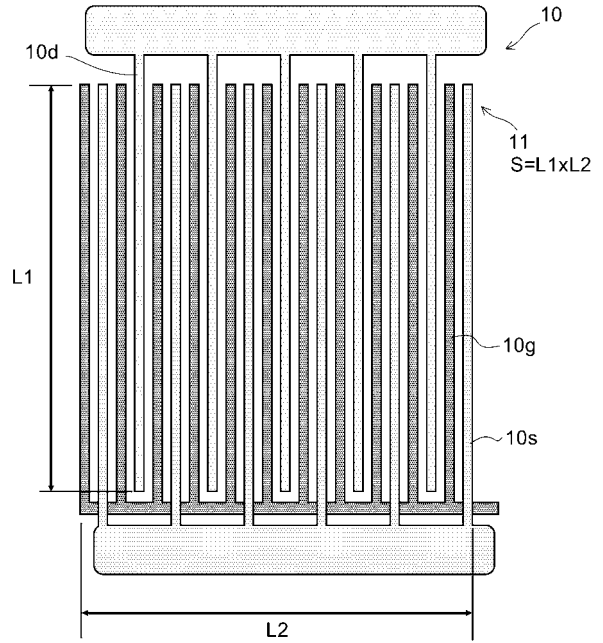
【 図 8 】



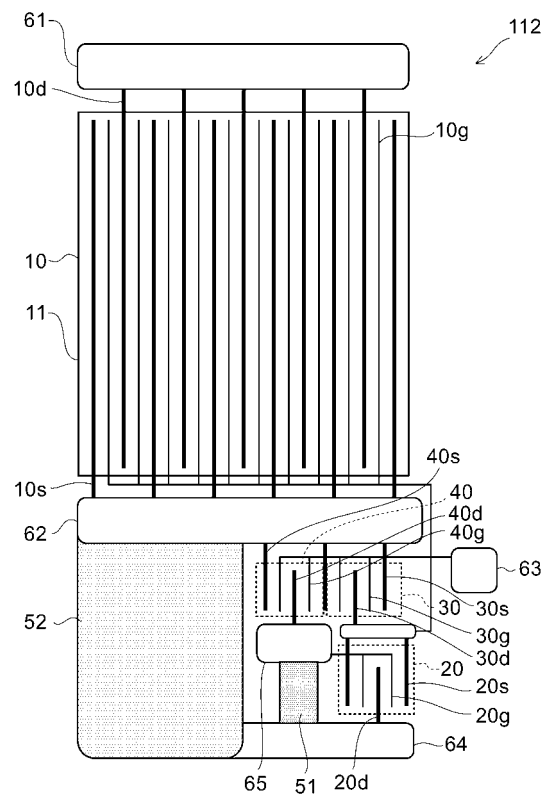
【 図 9 】



【 図 7 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/095 (2006.01)

(56)参考文献 実開平06-005221(JP,U)
特開平06-085250(JP,A)
特開2007-228299(JP,A)
特開平01-105612(JP,A)
特開2007-324363(JP,A)
特開昭63-234622(JP,A)
特開昭63-285022(JP,A)
特開平07-321621(JP,A)
特開昭60-194825(JP,A)
特開平01-175335(JP,A)
特開2008-252436(JP,A)
特開昭63-087770(JP,A)
特開平08-264762(JP,A)
国際公開第2008/096521(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H01L 21/338
H01L 27/095
H01L 29/778
H01L 29/812
H03K 19/0175