公告本

申請日期	89 年 4 月 25 日
案號	89107726
類別	G01R 13/20 19/04 H03K 5/24

（以上各欄由本局填註）

A4
C4

493077

發明 新型 專利說明書

一、發明新型名稱	中文	交錯式數位波峰偵測器
	英文	An interleaved digital peak detector
二、發明創作人	姓名	(1) 麥可・莫瑟 Moser, Michael F.
	國籍	(1) 美國
	住、居所	(1) 美國俄勒岡州畢維頓史普司西南街六一五五號 6155 S.W. Spruce Avenue, Beaverton, Oregon 97005, USA
三、申請人	姓名（名稱）	(1) 泰克特洛尼克斯公司 Tektronix Inc.
	國籍	(1) 美國
	住、居所（事務所）	(1) 美國俄勒崗州比佛頓卡爾布萊恩西南大道一四二〇〇號 14200 S.W. Karl Braun Drive, P.O. Box 500, Beaverton, Oregon 97077, U.S.A.
	代表人姓名	(1) 法蘭西斯・格瑞 Gray, Francis I.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999 年　4 月 29 日	09/302,016	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

發明背景

本發明係相關於數位波峰偵測，以及特別是相關於數位波峰偵測電路以及獲取（acquisition）模式，使用在測量像是示波器之測量裝備。

像是示波器、數位轉換器等之高速數位測量設備，係使用交錯式獲取管線（pipe），以得到在獲取頻道中之輸入信號之數位化取樣。一個一般之取樣時脈，係藉由將每個管線取樣時脈與其他管線取樣時脈相延遲，而使用在每個管線中之電路。每個管線具有一追蹤－並－保持（track-and-hold）元件，而對近來之信號取樣，一類比至數位信號轉換器，其將類比樣本（sample）予以數位化，以及一解多工器，其在使用者所選擇獲取速率下而對經數位化樣品取十分之一（decimate）。該來自於每個管線之經取十分之一之經數位化獲取樣品，係交錯以及儲存於記憶體中以顯示且／或進一步處理。該交錯儲存之樣品，係具有一最大頻道獲取速率，其係較取樣時脈速率爲N倍大，其中N係爲獲取管線之數目。

ＴＤＳ　７００系列之示波器（由美國奧立岡州Wilsonvile之Oregon Tektronix公司所生產銷售，並爲本發明之受讓人）包括一數位波峰偵測獲取模式，係在一般之獲取樣品之間，而使用在低速獲取以偵測高速是件時。當數位波峰偵測時，獲取管線中之一個，係以管線之最大取樣速率而得到樣品，並累積在較低所要求獲取速率之時期中之高速樣品之最小值以及最大值。在每個獲取週期中之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（2 ）

最小以及最大值，係儲存在記憶體中以便顯示。然而，該方法係受限於捕捉事件之時間段，必須大於或等於獲取管線之取樣速率。

因此，很需要對於在數位波峰偵測獲取函數下之獲取較短時間段事件之裝置以及方法。

發明概述

於是，本發明係關於一種交錯式數位波峰偵測器以及其運作方法，包括多數個經連接以接收輸入線號之獲取管線。每個獲取管線具有一類比至數位轉換器，其接收該輸入信號以及一取樣時脈信號。對於每個管線之取樣時脈信號係經由一延遲電路而連接，該延遲電路係作爲選擇性延遲每個獲取管線之輸入信號之取樣。一波峰偵測器接收來自於類比至數位轉換器之輸出，並累積（ accumulate ）該數位化輸入信號之最大以及最小值。一獲取電路藉由將取樣時脈信號取十分之一，作爲取十分之一（ decimation value ）之函數，以啓動儲存來自於波峰偵測器之累積最大以及最小值之閂鎖電路，而接收建立獲取時脈之獲取信號。一控制器（在程式控制下而運作），比較在獲取時間段中，來自於每個獲取管線之最大以及最小波峰偵測器值或值等，並產生在多數個獲取管線之獲取時間段中之最大以及最小波峰偵測器值。

在本發明之交錯式數位波峰偵測器中，一追蹤－並－持有電路將捕捉輸入信號之類比值，以輸入至類比至數位

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

轉換器。在本發明之較佳實施例中，該獲取電路包括一獲取記憶體，以儲存在獲取時間段中之經閂鎖之最大以及最小波峰偵測器值。該獲取電路可進一步包括一解多工器，作爲接收取樣信號，並接收該取樣信號以及藉由將取樣信號取十分之一作爲取十分之一值之函數，而建立一獲取時脈信號之取十分之一值。一獲取時脈觸發儲存來自於之波峰偵測器之所累積之最大以及最小值之一閂鎖電路。

使用該交錯式數位波峰偵測器以偵測最大以及最小之數位值的方法，係包括使用具有接受可由每個管線中之延遲電路而調整延遲之共同取樣時脈信號之類比至數位轉換器在每個管線中之多重獲取管線，而數位化輸入信號之步驟。在每個獲取管線中之經數位化輸入信號之最大以及最小波峰值係在一獲取時間段中而累積並儲存之。來自於每個獲取管線，而在該獲取時間段中之經數位化輸入信號之所儲存累積之最大以及最小波峰值，係經比較，以產生在獲取時間段中之最大以及最小波峰值。並顯示在該時間段中之最大以及最小波峰值。該數位化、累積、儲存以及儲存步驟，係在額外獲取時間段中而反覆執行，以建立將顯示之獲取記錄。該數位化步驟亦包括該額外步驟，該步驟係藉由類比至數位轉換器而在作爲取樣之時脈時，而捕捉輸入信號之類比值。

本發明之目的、優點宜及新穎特徵將藉由以下之申請專利範圍、圖式而詳細說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

圖形的簡單敘述

本發明將藉由以下之附圖爲例，而解釋於後（其中相等之標號係表示相同之元件）；其中：

圖1係本發明之數位信號接收器波峰偵測器之方塊圖。

圖2A係本案數位波峰偵測器之類比輸入波形之波形圖。

圖2B係本案使用數位波峰偵測器之輸入波形之取樣之取樣點圖。

圖2C係本案之使用數位波峰偵測器所取得之數位樣品之數位化樣品圖。

圖2D係本案在數位波峰偵測器中之數位樣品之累積之所累積之數位樣品圖。

圖2E係本案來自於數位波峰偵測器之所儲存數位最大。

以及最小數位樣品之所儲存樣品圖。

圖3係本發明之數位波峰偵測器之更詳細方塊圖。

元件對照表

10	數位波峰偵測器
14	獲取頻道
16	前板面
18	顯示器
20	微處理器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

22	ROM記憶體
24	RAM記憶體
26A，26B，26C，26D	獲取管線
28	系統時脈
40A，40B，40C，40D	類比至數位轉換器
30	共同輸入信號
42A，42B，42C，42D	延遲電路
44A，44B，44C，44D	數位波峰偵測器
46A，46B，46C，46D	延遲
48A，48B，48C，48D	獲取電路
50A，50B，50C，50D	追蹤－並－持有電路
58A，58B，58C，58D	可程式取十分之一電路
60A，60B，60C，60D	獲取記憶體

較佳實施例之詳細描述

以下藉由詳細介紹本發明。然而，對於熟知此技藝者應瞭解本案並不一定要在以下描述之情況而實施。在某些情況中，已知之方法、程序、構件以及電路並未詳細描述，以免使本案變得複雜。

此外，各種操作將以多重分離步驟而描述，以使本案易於瞭解，然而，發明步驟之順序並非意指該等操作係順序相關，特別是其表示之順序。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

參考圖1，其係爲本發明數位波峰偵測器10之方塊圖。該數位波峰偵測器10可裝設於測量測試裝備，像是數位示波器、數位轉換器等。此等裝備包括一個或更多之獲取頻道14、一具有多重控制（像是旋鈕、按鈕等）之前板面16以及像是陰極射線管、液晶顯示器等之顯示器18。內部的，該裝備係由執行儲存在ROM記憶體22中之程式指令之一個或更多之微處理器20所控制。藉由獲取頻道14所獲取之資料係儲存在RAM記憶體24中。該獲取頻道14包括多重獲取管線26A，26B，26C以及26D（此處所示之例爲四個）。本發明之獲取管線之數目最好是2的次方（像是2，4，8，16等）。系統時脈28具有一個或多個之輸入時脈信號，以在包括數位波峰偵測器10電路之裝備中而驅動電路。

每個獲取管線26A，26B，26C以及26D包括接收一共同輸入信號30之一類比至數位轉換器40A，40B，40C以及40D。每個獲取管線亦包括接收一來自於微處理器20之獨特延遲值或電壓以及共同取樣時脈之一延遲電路42A，42B，42C以及42D。該延遲電路傳送取樣時脈至個別之類比至數位轉換器40A，40B，40C以及40D，該40A，40B，40C以及40D產生代表輸入信號之數位值。來自於每個類比至數位轉換器之數位值，係連接至該等之個別數位波峰偵測器44A，44B，44C以及44D。該數位波峰偵測器44A，44B，44C以及44D係由與

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

驅動類比至數位轉換器４０Ａ，４０Ｂ，４０Ｃ以及４０Ｄ之時脈信號所驅動，但是經適當延遲以面對傳遞延遲以及轉換時間（如延遲４６Ａ，４６Ｂ，４６Ｃ以及４６Ｄ所示）。該數位波峰偵測器４４Ａ，４４Ｂ，４４Ｃ以及４４Ｄ累積波峰最大以及最小數位值，並將該等值送至個別獲取電路４８Ａ，４８Ｂ，４８Ｃ以及４８Ｄ。該獲取電路接收在獲取時間段中對波峰最大以及最小值閂鎖之獲取時脈信號，並將該等值儲存至個別獲取記憶體。在本發明之較佳時哈例中，數位波峰偵測器１０之獲取時間段包括兩個獲取時脈週期（將於後詳述）。在程式控制下，該微處理器２０比較個別管線之個別所累積之最大以及最小波峰值，並將所有管線之最大以及最小累積波峰值予以儲存，以作爲在獲取實踐段中之最大以及最小波峰值。該所儲存之該時間段中之最大以及最小波峰值，顯示在顯示器１８上。

來自於微處理器２０之延遲值或電壓，調整類比至數位轉換器４０Ａ，４０Ｂ，４０Ｃ以及４０Ｄ之取樣次數，以提供Ｎ倍於取樣時脈速率之有效取樣速率（其中Ｎ係爲獲取管線之數目）。例如，取樣時脈速率爲１ Gsamples/sec 或１毫微秒。將１毫微秒之速率等除以４（獲取管線之數目）而等於２５０微微秒（ picosec ）。該個別延遲電路，相對於之前驅動每個管線之電路之管線，而加上２５０微微秒之延遲至取樣時脈信號。每個類比至數位轉換器時脈信號之延遲，係設定爲１／ N*sample_clock_period 之增

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8）

量，增量，使得每個類比至數位轉換器在取樣時脈之間捕捉一獨一之時間切割（slice）。交錯來自於四個獲取管線之所得結果數位資料，將得到四倍於實際取樣速率之有效取樣速率。該類比至數位轉換器40A，40B，40C以及40D產生表示在個別由來自於個別延遲電路42A，42B，42C以及42D之時脈信號所界定之個別時間段中之輸入信號之數位值。

該數位波峰偵測器44A，44B，44C以及44D累積來自於40A，40B，40C以及40D之最大以及最小數位化值兩者。該波峰偵測器44A，44B，44C以及44D之所累積的最大以及最小數位值，係連接置在所接收一獲取時脈脈衝對個別最大以及最小數位值閂鎖之獲取電路48A，48B，48C以及48D。該獲取時脈速率係使用者經由前面板控制16所選擇設定的。該獲取時脈可以如圖1所示之各種方法而實施。該系統時脈28可包括一自微處理器20所接收之取十分之一值的程式化取十分之一電路。該取十分之一值係藉由使用在前面板16設定獲取速率而得到。例如，取樣時脈速率爲1 GSAMPLES/sec，而使用者設定之獲取取樣速率爲1 Msamples/sec。將取樣時脈速率除以使用者所設定之獲取速率，將產生1000之取十分之一值。以下將再描述（如圖3）另一種產生獲取時脈以對每個獲取電路提供取十分之一電路。

最大以及最小波峰偵測器值兩者皆同時送至獲取電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

48A，48B，48C以及48D。因爲本發明較佳實施例所用之記憶體資料匯流排之大小，需要兩個獲取時脈以將個別值載入獲取記憶體。此建立數位波峰偵測器波峰偵測模式之獲取時間段爲兩個獲取時脈週期。重設閃控（strobe）在每個間隔之獲取時脈週期（其造成該等偵測器儲存下一個到來之數位值作爲下一個獲取時間段之初始最大以及最小數位值）而自個別獲取電路48A，48B，48C以及48D而送至波峰偵測器44A，44B，44C以及44D。該波峰偵測器之所累積之最大以及最小數位值係儲存在如上述之獲取記憶體。顯然的，較寬的記憶體匯流排將允許使用一單一獲取時脈而儲存所累積之最大以及最小數位值，並因此建立每個獲取時脈中之獲取時間段。在本發明之較佳實施例，獲取記憶體係爲獲取電路48A，48B，48C以及48D之一部份，但是該記憶體可以是該裝備之RAM24之一部份。

圖2A至2E係展示本發明交錯式數位波峰偵測器10之數位取樣的獲取以及處理。圖2A至2E之標號係與圖1相同。該圖式係展示四倍於取樣時間段之時間段的多數個獲取時間段中之一個。圖2A係展示一獲取輸入信號30．圖2B係展示在一獲取時間段中使用四個交錯式獲取管線26A，26B，26C以及26D之在輸入波形之取樣點。圖2C係展示圖2B對每個四個獲取管線26A，26B，26C以及26D之取樣位置上，之如圖1之輸入信號30之數位化取樣。圖2D係展示在個別

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

數位波峰偵測器44A，44B，44C以及44D之所累積最大以及最小值。圖2E係展示比較圖2D之最大以及最小所累積值所得之結果，以產生在獲取時間段中之所儲存最大以及最小波峰數位值。至，該最大波峰偵測值係產生自獲取管線資料26C，而該最小波峰偵測值係產生自獲取管線資料26D。

圖3係展示本發明數位波峰偵測器10之更詳細之方塊圖。圖3使用與圖1相同之標號。如上述，數位波峰偵測器10係具有多重獲取頻道14、前板面16、顯示器18、微處理器類型控制器20、經結合之ROM22以及RAM24記憶體、以及一系統時脈28之測量裝備之部分。每個獲取管線包括一類比至數位轉換器（個別標號爲42A，42B，42C以及42D）、一數位延遲電路42A，42B，42C以及42D以及一波峰偵測器44A，44B，44C以及44D。在本發明之實施例中，追蹤並握持電路50A，50B，50C以及50D係個別於每個類比至數位轉換器40等相結合。該送入至延遲電路42A，42B，42C以及42D之延遲值或信號，係由自微處理器20接收數位值之類比至數位轉換器電路52所產生。如上述，該送入至延遲電路42A，42B，42C以及42D之延遲值，可調整的延遲來自系統時脈至每個獲取管線26A，26B，26C以及26D之共同取樣時脈信號，以將每個管線之間的取樣時間予以間隔一固定之量。在本發明之較佳實施例，取樣時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

脈速率爲２．５ GSAMPLE/sec，而每個管線取樣時脈係以４００微微秒而定時序。每個相對於之前之管線之管線時脈之延遲間隔係爲１００微微秒，而產生１０ Gsample/sec之有效取樣速率。該經延遲之取樣時脈係被送至位在每個獲取管線２６Ａ，２６Ｂ，２６Ｃ以及２６Ｄ中之個別追蹤－並－持有電路５４Ａ，５４Ｂ，５４Ｃ以及５４Ｄ。該追蹤－並－持有電路以經延遲取樣速率而對類比輸入信號３０取樣，並將經取樣之類比信號送至個別類比至數位轉換器４０Ａ，４０Ｂ，４０Ｃ以及４０Ｄ。在本發明之較佳實施例，每個獲取管線２６Ａ，２６Ｂ，２６Ｃ以及２６Ｄ之取樣時脈，係經由如延遲元件５６Ａ，５６Ｂ，５６Ｃ以及５６Ｄ所示之適當定時延遲而被送至管線之另一電路元件。該類比至數位轉換器４０Ａ，４０Ｂ，４０Ｃ以及４０Ｄ係將經取樣之類比信號轉換成數位值，並聯皆該值至數位波峰偵測器４４等。該數位波峰偵測器４４Ａ，４４Ｂ，４４Ｃ以及４４Ｄ在一獲取時間段中而累積最大以及最小波峰數位值，並將該所累積之波峰值送至個別可程式取十分之一電路。

每個可程式化取十分之一電路５８Ａ，５８Ｂ，５８Ｃ以及５８Ｄ係包括一自系統時脈或更好是來自於驅動每個管線之其他電路之相同定時鏈（chain）而接收取樣時脈信號之可程式取十分之一電路。來自於微處理器２０之取十分之一值經對應使用者於自前面板１６提供獲取時脈速率，而送至取十分之一電路。該取十分之一取樣時脈

（請先閱讀背面之注意事項再填本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

，係產生將所累積最大以及最小數位波峰值予以閂鎖至儲存閂鎖之獲取時脈。該獲取時脈液晶使用以將個別累積之最大以及最小數位波峰值予以閂鎖至個別獲取記憶體60A，60B，60C以及60D中。因此，可得到兩個獲取時脈，以載入所累積之最大以及最小數位波峰偵測器值兩者至獲取記憶體60A，60B，60C以及60D。此需要在每個間隔之獲取時脈中將重設閃控發送至數位波峰偵測器44A，44B，44C以及44D，以將下一個數位值設定爲數位波峰偵測器44A，44B，44C以及44D之新的獲取時間段之初始最大以及最小波峰值。在本發明之較佳實施例，獲取記憶體60A，60B，60C以及60D係與每個獲取管線26A，26B，26C以及26D相結合，而不是該裝備RAM記憶體24之一部份。

對於每個管線之所累積最大以及最小數位波峰值係連接至微處理器20（在程式控制下），在獲取時間段中之該獲取管線26A，26B，26C以及26D之最大以及最小數位波峰值係經比較，而最大數位值以及最小數位值係經儲存而作爲在該獲取時間段中之最大以及最小數位波峰值。該所儲存之值係進一步經處理而顯示在顯示器18上。

一數位波峰偵測器10已經描述，其得到使用多重獲取管線而得到代表輸入信號之數位值。每個獲取管線接收一共同取樣信號，該信號係對每個管線延遲，使得該有效

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

取樣速率係爲取樣時脈速率大得多。每個館現在該等個別差距取樣速率下而產生數位值，並在一獲取時間段中累積波峰最大以及最小數位值。該獲取時間段使用得自於取樣時脈之兩獲取時脈脈波以及得自於使用者所定義之獲取速率之取十分之一值。每個管線之該經累積之最大以及最小數位波峰值係使用在程式控制下而操作之微處理器而相比較，以產生在每個獲取時間段中之最大以及最小數位波峰偵測器值。

因此，以上係描述一種交錯式數位波峰偵測器以及其操作方法。但是對於熟知此技藝者在讀完以上描述之後將可做一些修改，但是應瞭解以上之實施例僅爲說明本案，而非對於本案之限制。例如，包括可程式取十分之一電路以及閂鎖之獲取電路最好係以解多工器所實施。進一步，已描述該具有四個交錯之獲取管線之獲取頻道而最好是在固定取樣以及獲取速率下而操作。藉由增加額外之管線，亦可使用不同之取樣時脈速率以及獲取速率而操作該交錯式數位波峰偵測器，並產生如本發明之較佳實施例之相同數位波峰偵測器值。特殊實施例之詳細參考並非限定於以下申請專利範圍。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：交錯式數位波峰偵測器）

一種交錯式數位波峰偵測器，具有多重獲取管線，而每個管線係接收一共同輸入信號。每個獲取管線接收一共同取樣時脈信號，該信號係經由一類比延遲電路而延遲，以選擇性的延遲在管線中之每個類比至數位轉換器之取樣時間。每個管線具有接收來自於類比至數位轉換器之經數位化輸出之波峰偵測器，並累積最大以及最小波峰值。一可程式化取十分之一電路接收該取樣時脈信號，以及一取十分之一值，該取十分之一值，係作爲將取樣時脈信號予以取十分之一而作爲取十分之一值之函數而建立一獲取時脈，以觸發儲存來自於波峰偵測器之所累積最大以及最小值之閂鎖電路。一獲取記憶體儲存在一獲取時間段中之所經閂鎖之大小波峰偵測器值，並將來自於每個該獲取管線等之之大小波峰偵測器值，在程式控制下而在獲取時間段中比較，以產生獲取管線等之在該獲取時間段中之最大以及最小波峰偵測器值。

英文發明摘要（發明之名稱：An Interleaved Digital Peak Detector）

An interleaved digital peak detector has multiple acquisition pipes with each pipe receiving a common input signal. Each acquisition pipe receives a common sample clock signal that is delayed through an analog delay circuit for selectively delaying the sample time of each analog-to-digital converter in the pipe. Each pipe has peak detector that receives the digitalized output from the analog-to-digital converter and accumulates maximum and minimum peak values. A programmable decimator receives the sample clock signal and a decimation value for establishing an acquisition clock by decimating the sample clock signal as a function of the decimation value to trigger a latch circuit for storing the accumulated maximum and minimum values from the peak detector. An acquisition memory stores the latched the maximum and minimum peak detector values over an acquisition interval and the maximum and minimum peak detector values from each of the acquisition pipes are compared over the acquisition interval under program control for generating a maximum and a minimum peak detector value over the acquisition interval for the acquisition pipes.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種交錯式數位波峰偵測器，包含：

多數個獲取管線，經連接而由每個獲取管線而接收一輸入信號，該獲取管線包含；

一類比至數位轉換器接收輸入信號以及一取樣時脈信號，而將每個管線之取樣時脈信號經由延遲電路連接以選擇性的延遲每個獲取管線之輸入信號之取樣；

一波峰偵測器，接收來自於類比至數位轉換器之輸出，並累積該經數位化輸入信號之最大以及最小值；

一獲取電路，接收一獲取時脈信號，該時脈信號係藉由將取樣時脈信號予以取十分之一而作爲取十分之一值之函數而得到，以觸發儲存來自於波峰偵測器之所累積最大以及最小值之閂鎖電路；以及

一比較機構，作爲比較在一獲取時間段中之來自於每個獲取管線之最大以及最小波峰偵測器值，以產生對於多數個獲取管線之獲取時間段中之最大以及最小波峰偵測器值。

2．如申請專利範圍第1項之交錯式數位波峰偵測器，其中該類比至數位轉換器進一步包含一追蹤－並－持有電路，該電路捕捉作爲類比至數位轉換器之輸入之輸入信號之類比值。

3．如申請專利範圍第1項之交錯式數位波峰偵測器，其中該獲取電路進一步包含一記憶體，該記憶體儲存在獲取時間段中之所閂鎖之大小波峰偵測器值。

4．一種交錯式數位波峰偵測器，包含：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

多數個獲取管線，經連接而由每個獲取管線而接收一輸入信號，該獲取管線包含；

一類比至數位轉換器接收輸入信號以及一取樣時脈信號，而將每個管線之取樣時脈信號經由延遲電路連接以選擇性的延遲每個獲取管線之輸入信號之取樣；

一波峰偵測器，接收來自於類比至數位轉換器之輸出，並累積該經數位化輸入信號之最大以及最小值；

一可程式取十分之一電路，接收該取樣時脈信號以及一取十分之一值，該取十分之一值係作爲藉由將取樣時脈信號予以取十分之一而作爲取十分之一值之函數以建立一獲取時脈，以觸發儲存來自於波峰偵測器之所累積最大以及最小值之閂鎖電路；

一獲取電路，儲存在兩個獲取時脈之獲取時間段中之所閂鎖之最大以及最小波峰偵測器值；以及

一比較機構，作爲比較在一獲取時間段中之來自於每個獲取管線之最大以及最小波峰偵測器值，以產生對於多數個獲取管線之獲取時間段中之最大以及最小波峰偵測器值。

5．如申請專利範圍第1項之交錯式數位波峰偵測器，其中該類比至數位轉換器進一步包含一追蹤－並－持有電路，該電路捕捉作爲類比至數位轉換器之輸入之輸入信號之類比值。

6．一種在獲取系統中之偵測最大以及最小數位值之方法，包含以下步驟：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ａ）使用多重獲取管線而將一輸入信號數位化，其中藉由使每個管線具有一接收可由每個管線中之延遲電路而調整延遲之共同取樣時脈信號之類比至數位轉換器；

（ｂ）累積在一獲取時間段中，在每一獲取管線之數位化輸入信號之最大以及最小波峰值；

（ｃ）儲存在獲取時間段中在每個獲取管線中之經數位化輸入信號之所累積大小波峰值；以及

（ｄ）比較所儲存在該獲取時間段中來自於每個獲取管線之經數位化輸入信號之所累積之大小波峰值。

７．如申請專利範圍第６項之在獲取系統中之偵測最大以及最小數位值之方法，進一步包含將大小波峰值予以顯示之步驟。

８．如申請專利範圍第７項之在獲取系統中之偵測最大以及最小數位值之方法，進一步包含在額外獲取時間段中重複步驟（ａ）至（ｄ）之步驟，並將額外時間段中之最大以及最小波峰值予以顯示。

９．如申請專利範圍第６項之在獲取系統中之偵測最大以及最小數位值之方法，其中該數位化步驟進一步包含在取樣時脈信號之瞬間，而捕捉輸入信號之類比值，以藉由類比至數位轉換器而予以數位化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

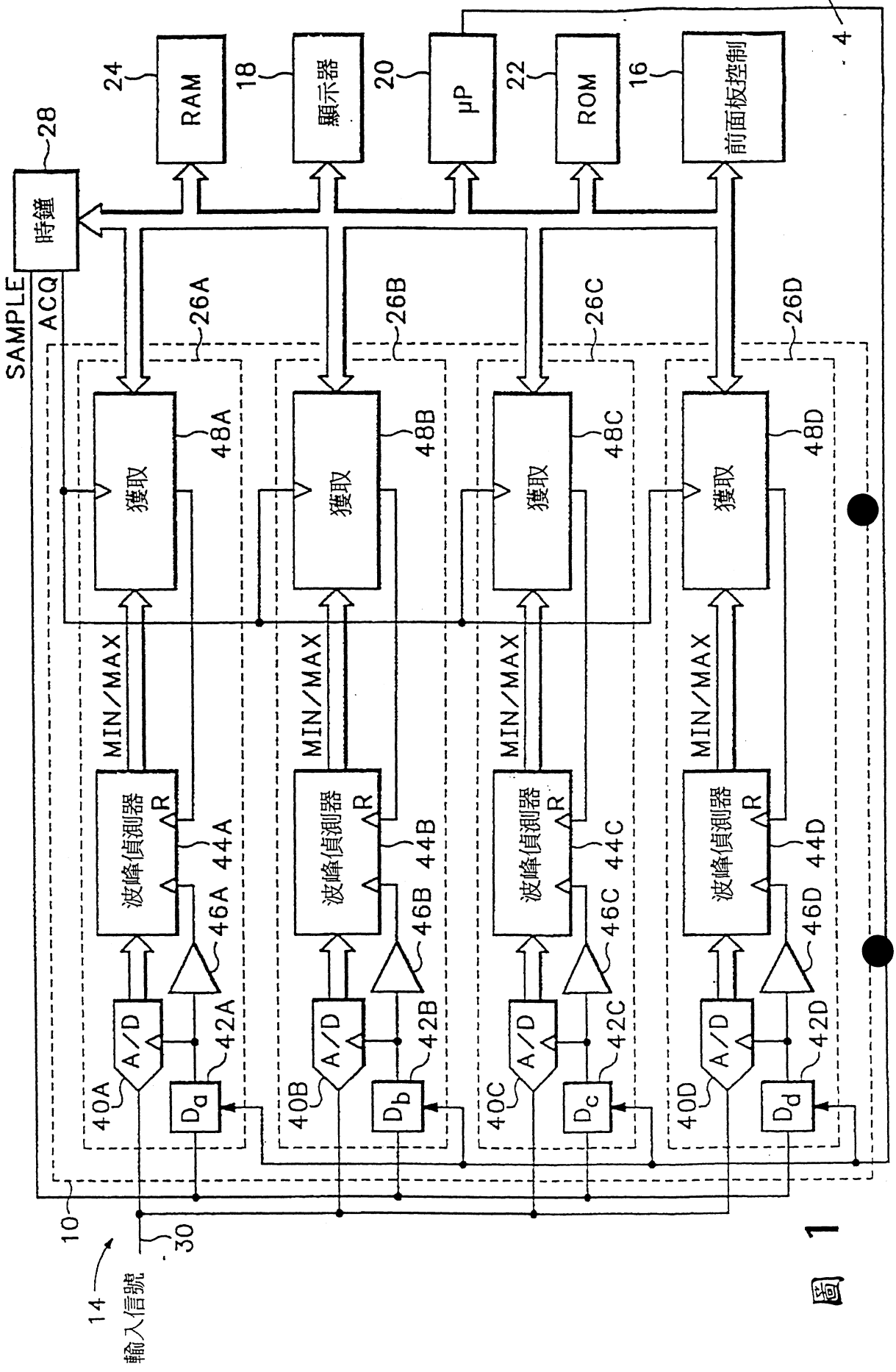

4
前面板控制
16
ROM
22
μP
20
顯示器
18
RAM
24
28
時鐘
SAMPLE
ACQ
26A
26B
26C
26D
48A
48B
48C
48D
獲取
MIN/MAX
波峰偵測器
R
44A
44B
44C
44D
46A
46B
46C
46D
42A
42B
42C
42D
A/D
40A
40B
40C
40D
Da
Db
Dc
Dd
10
30
14
輸入信號

圖 1

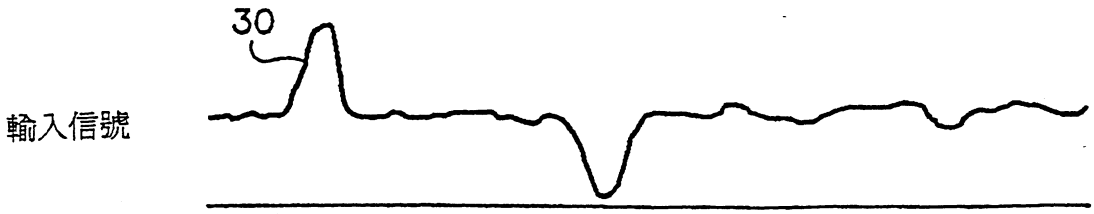


圖 2A

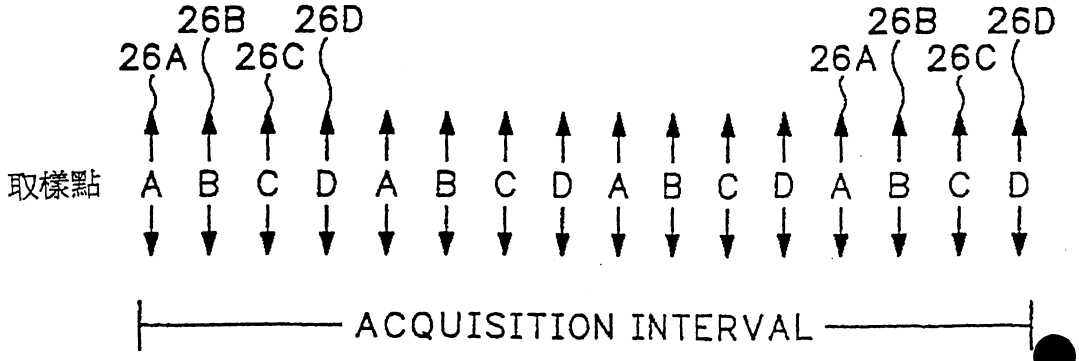


圖 2B

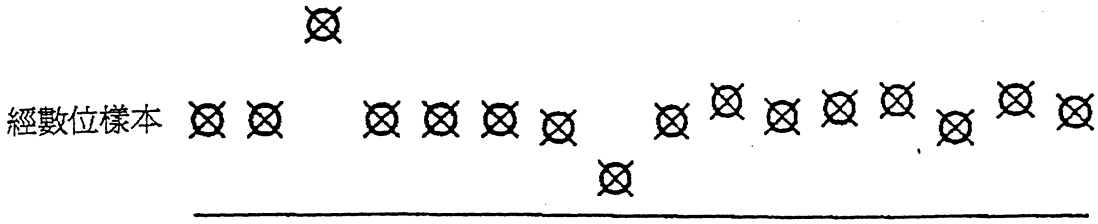


圖 2C

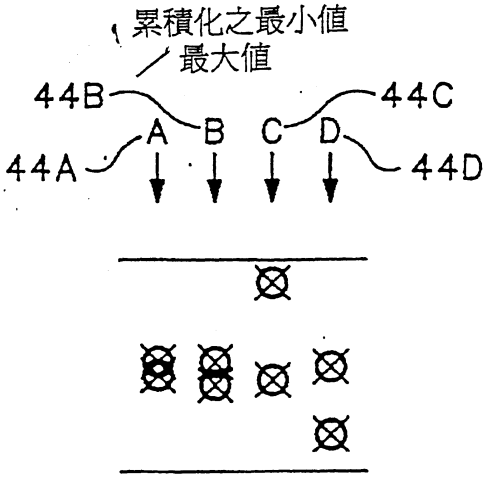


圖 2D

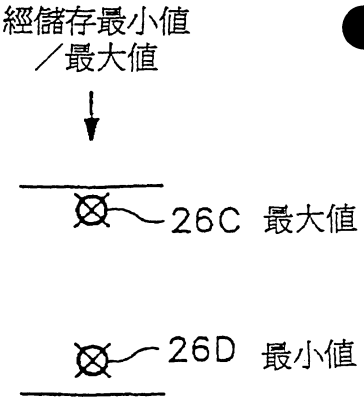


圖 2E

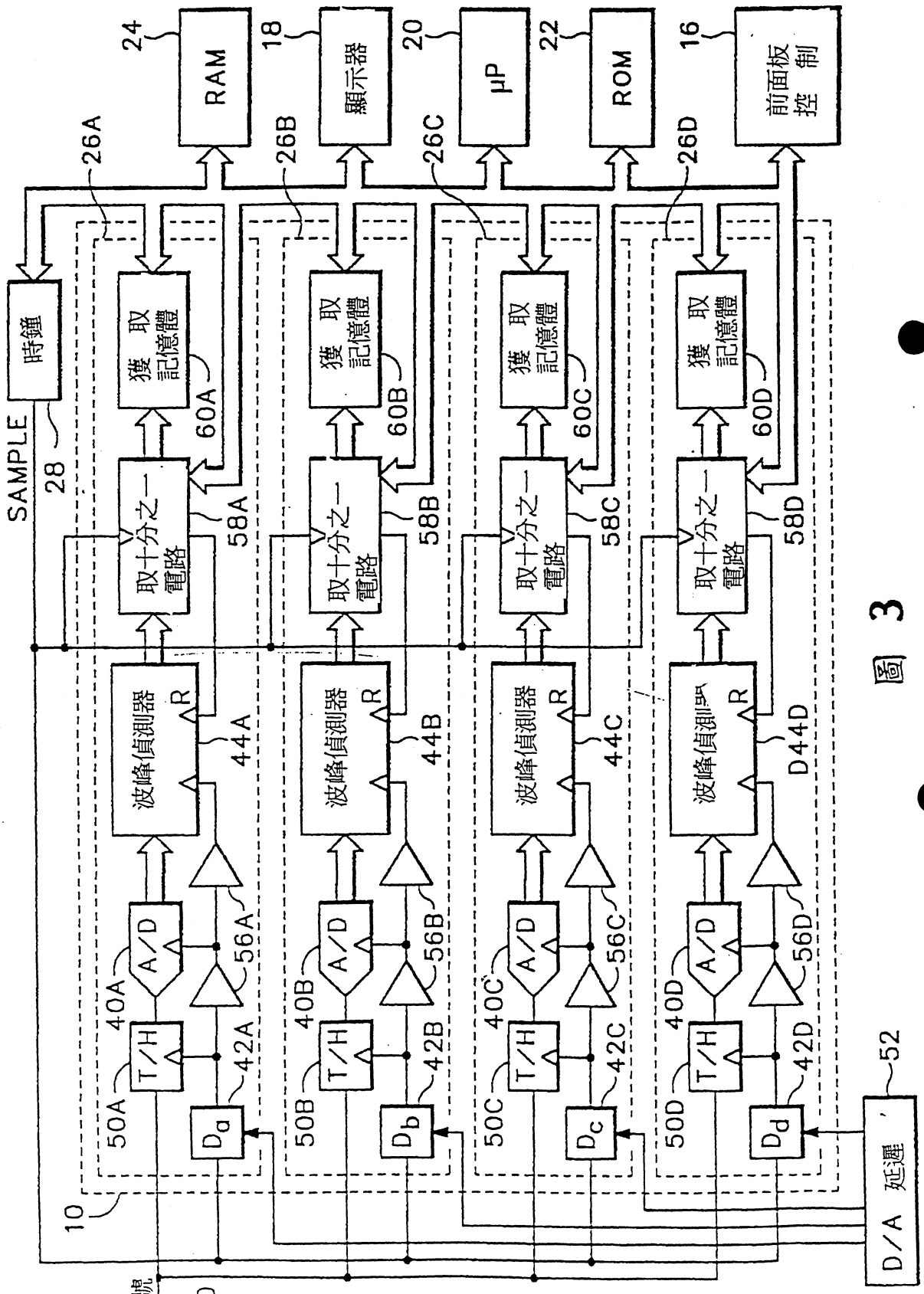

RAM
顯示器
μP
ROM
前面板控制
24
18
20
22
16
時鐘
SAMPLE
28
26A
26B
26C
26D
獲取記憶體
60A
60B
60C
60D
取十分之一電路
58A
58B
58C
58D
波峰偵測器
44A
44B
44C
D44D
A/D
40A
40B
40C
40D
56A
56B
56C
56D
T/H
50A
50B
50C
50D
42A
42B
42C
42D
Da
Db
Dc
Dd
D/A 延遲
52
10
輸入信號
30

圖 3