



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

254728

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 1/12

(22) Přihlášeno 16 07 86

(21) PV 5392-86.S

(40) Zveřejněno 14 05 87

(45) Vydáno 15 11 88

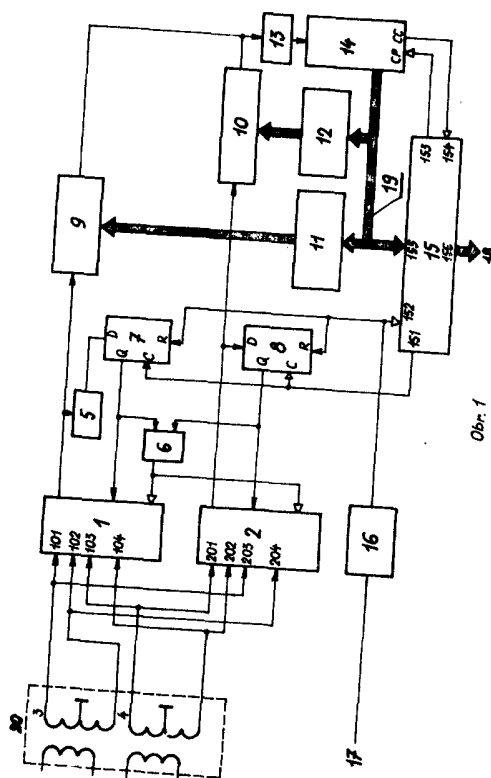
(75)

Autor vynálezu

ČEKAL STANISLAV ing. CSc., TŮMA PAVEL ing., PRAHA

(54) Zapojení obvodů vícekanálového převodníku resolver/číslo, řízeného mikrokontrolerem

Podstata zapojení spočívá v tom, že obsahuje alespoň jednu vstupní skupinu s transformátorem sinové složky a s transformátorem kosinové složky, jejichž výstupy jsou připojeny vždy k příslušné čtveřici vstupů prvního a druhého multiplexoru, pracujících ve funkci přepínače kvadrantů a přepínače kanálů a zapojených na dva D/A převodníky, dva komparátory, aproximační registr a dvě paměti, které tvoří hlavní vyhodnocovací smyčku. Navržené zapojení je vhodné ke konstrukci převodníků resolver číslo určených jak na obecné, tak i speciální využití.



Vynález se týká zapojení obvodů vícekanálového převodníku resolver/číslo řízeného mikrokontrolerem.

Při aplikacích číslicových počítačů na palubách letadel je nutné převést všechny veličiny zpracovávané v těchto počítačích do číslicového tvaru. K tomu slouží různé typy převodníků. V případě zpracování signálů z resolverů či selsynů jsou to převodníky resolver/číslo. Existuje řada principů převodu resolverového signálu na číslo. Velmi často se užívají převodníky pracující na principu řízeného harmonického oscilátoru, sledovací převodníky a vzorkovací S/D převodníky na principu postupné aproximace.

Nevýhodou prvního typu převodníku je obtížné dosažení vysoké přesnosti v širokém rozsahu teplot a nízká pracovní rychlost. Sledovací převodník není vhodný pro vícekanálový provoz. Převodníky pracující na principu postupných aproximací pracují sice rychle, jsou však citlivější na rušení ve vstupních signálech. Navíc jsou tyto typy převodníků značně složité a s dostupným sortimentem elektronických prvků i těžko realizovatelné v odolném provedení pro letecké použití.

Uvedené nevýhody odstraňuje zapojení obvodů vícekanálového převodníku resolver/číslo řízeného mikrokontrolerem podle vynálezu, jehož podstata spočívá v tom, že obsahuje alespoň jednu vstupní skupinu s transformátorem sinové složky a s transformátorem kosinové složky, přičemž ke každé vstupní skupině přísluší čtyři vstupy prvního multiplexoru a čtyři vstupy druhého multiplexoru ke kterým jsou transformátor sinové složky a transformátor kosinové složky připojeny tak, že první a druhý výstup transformátoru sinové složky je připojen jednak na první a druhý vstup příslušné čtveřice vstupů prvního multiplexoru a jednak na třetí a čtvrtý vstup příslušné čtveřice vstupů druhého multiplexoru, zatímco první a druhý výstup transformátoru kosinové složky je připojen jednak na třetí a čtvrtý vstup příslušné čtveřice vstupů prvního multiplexoru a jednak na první a druhý vstup příslušné čtveřice vstupů druhého multiplexoru, přičemž každý ze dvou multiplexorů má první a druhý adresovací vstup, zatímco adresovací vstupy příslušné dalším vstupním skupinám jsou paralelně propojeny s adresovou sběrnicí, přičemž na první adresovací vstup druhého multiplexoru je připojen výstup druhého klopného obvodu, připojený současně na druhý vstup hradla EXC OR, jehož výstup je připojen na druhé adresovací vstupy prvního a druhého multiplexoru a na jehož první vstup je připojen výstup prvního klopného obvodu, připojený současně na první adresovací vstup prvního multiplexoru, zatímco na hodinové vstupy prvního a druhého klopného obvodu je připojen první časovací výstup mikrokontroleru, na jehož první časovací vstup a nulovací vstupy prvního a druhého klopného obvodu je připojen výstup druhého komparátoru, jehož vstup je spojen s referenční svorkou, přičemž výstup prvního multiplexoru je připojen jednak přes invertor na D vstup prvního klopného obvodu a jednak na referenční vstup prvního D/A převodníku, jehož výstup je propojen s výstupem druhého D/A převodníku a připojen ke vstupu prvního komparátoru, jehož výstup je připojen na vstup aproximačního registru, na jehož hodinový vstup je připojen druhý časovací výstup mikrokontroleru a jehož stopovací výstup je připojen na druhý časovací vstup mikrokontroleru, přičemž výstupy aproximačního registru jsou adresovou sběrnicí registru propojeny jednak s adresovými vstupy první paměti, jejíž výstupy jsou spojeny s adresovými vstupy prvního D/A převodníku, jednak s adresovými vstupy druhé paměti jejíž výstupy jsou připojeny na adresové vstupy druhého D/A převodníku, na jehož referenční vstup je připojen výstup druhého multiplexoru, připojený současně na vstup druhého klopného obvodu a jednak s datovými vstupy mikrokontroleru, jehož výstup dat je připojen ke sběrnicí výstupních dat.

Výhodou navrženého zapojení je snadná realizace převodníku resolver/číslo s minimálním počtem dostupných prvků. Zapojení umožňuje jednoduché zvyšování počtu vstupních kanálů. Navíc použitý mikrokontroler filtruje výstupní údaje, čímž odstraňuje zásadní nedostatek převodníků pracujících na principu postupné aproximace. Mikrokontroler zároveň může plnit řadu dalších funkcí vyplývajících z dané aplikace převodníku a dále řídí časové funkce, nutné pro funkci převodníku.

Příklad provedení je schematicky znázorněn na připojeném výkresu, kde představuje obr. 1 zapojení převodníku s jednou vstupní skupinou, obr. 2 spojení multiplexorů s více vstupními skupinami.

Prvý výstup z transformátoru 3 sinové složky vstupní skupiny 20 je spojen s prvním vstupem 101 prvního multiplexoru 1 a s třetím vstupem 203 druhého multiplexoru 2. Druhý výstup transformátoru 3 sinové složky vstupní skupiny 20 je spojen s druhým vstupem 102 prvního multiplexoru 1 a s čtvrtým vstupem 204 druhého multiplexoru 2. První výstup transformátoru 4 kosinové složky vstupní skupiny 20 je spojen s třetím vstupem 103 prvního multiplexoru 1 a s prvním vstupem 201 druhého multiplexoru 2. Druhý výstup transformátoru 4 kosinové složky vstupní skupiny 20 je spojen s čtvrtým vstupem 104 prvního multiplexoru 1 a s druhým vstupem 202 druhého multiplexoru 2.

Druhý multiplexor 2 má první adresovací vstup spojen s druhým vstupem hradla 6 EXC OR a s výstupem druhého klopného obvodu 8, přičemž druhé adresové vstupy prvního a druhého multiplexoru 1, 2 jsou spojeny s výstupem hradla 6 EXC OR. První vstup hradla 6 EXC OR je spojen s prvním adresovým vstupem prvního multiplexoru 1 a současně s výstupem prvního klopného obvodu 7, který má hodinový vstup spojen s hodinovým vstupem druhého klopného obvodu 8 a s prvním časovacím výstupem 151 mikrokontroleru 15. První časovací vstup 152 mikrokontroleru 15 je spojen s nulovacími vstupy prvního klopného obvodu 7 a druhého klopného obvodu 8 a s výstupem druhého komparátoru 16, jehož vstup je spojen s referenční svorkou 17.

Vstup D prvního klopného obvodu 7 je přes invertor 5 spojen s výstupem prvního multiplexoru 1 a s referenčním vstupem prvního D/A převodníku 9, jehož výstup je propojen s výstupem druhého D/A převodníku 10 a připojen ke vstupu prvního komparátoru 13, který má výstup spojen s vstupem aproximačního registru 14. Hodinový vstup aproximačního registru 14 je spojen s druhým časovacím výstupem 153 mikrokontroleru 15. Stopovací výstup aproximačního registru 14 je spojen s druhým časovacím vstupem 154 mikrokontroleru 15, jehož datové vstupy 155 jsou adresovou sběrnicí registru 19 paralelně propojeny s adresovými vstupy první paměti 11 a s adresovými vstupy druhé paměti 12 a s výstupy aproximačního registru 14.

Výstupy první paměti 11 jsou spojeny s adresovacími vstupy prvního D/A převodníku 9 a výstupy druhé paměti 12 jsou spojeny s adresovacími vstupy druhého D/A převodníku 10, který má referenční vstup spojen jednak se vstupem druhého klopného obvodu 8 a jednak s výstupem druhého multiplexoru 2. Výstup 156 dat z mikrokontroleru 15 je připojen na sběrnicí 18 výstupních dat.

V případě, že zapojení obsahuje více vstupních skupin 20 s transformátorem 3 sinové složky a s transformátorem 4 kosinové složky (obr. 2) přísluší každé vstupní skupině 20 samostatná čtveřice vstupů prvního a druhého multiplexoru 1, 2 ke kterým jsou transformátory 3, 4 sinové a kosinové složky připojeny ve stejném pořadí jako při zapojení s jednou vstupní skupinou 20. Každý ze dvou multiplexorů 1, 2 má první a druhý adresovací vstup, zatímco adresovací vstupy příslušné dalším vstupním skupinám 20 jsou paralelně propojeny s adresovou sběrnicí 21.

Referenční signál, přivedený na referenční svorku 17 je komparován v druhém komparátoru 16 na jehož výstupu se při průchodu referenčního signálu objeví puls, který jednak vynuluje první klopný obvod 7 a druhý klopný obvod 8, jednak přes svorku 152 spustí vnitřní časovač mikrokontroleru 15, který počne odměřovat čas. První multiplexor 1 i druhý multiplexor 2 jsou přepnuty do základní polohy. Výstup prvního multiplexoru 1 je přes invertor 5 přiveden ke vstupu prvního klopného obvodu 7 a výstup druhého multiplexoru 2 je přiveden ke vstupu druhého klopného obvodu 8. Tím je na vstupech klopných obvodů 7, 8 připravena kombinace odpovídající kvadrantu, v němž se nachází měřený úhel.

Ve vhodný okamžik - před vrcholem periody referenčního signálu - vydá mikrokontroler 15 na výstupu 151 puls, kterým se nastaví první klopný obvod 7 a druhý klopný obvod 8 do

polohy odpovídající kvadrantu měřeného úhlu. Tím se přepnou do správné polohy i první a druhý multiplexor 1, 2. V této poloze oba multiplexory 1, 2 zůstanou po celou dobu převodu. Polarita výstupních napětí prvního a druhého multiplexoru 1, 2 jsou opačné, takže i na výstupech prvního a druhého D/A převodníku 9, 10 by byly rozdílné polarita výstupních napětí. Vzhledem k tomu, že tato napětí jsou sečtena na vstupu prvního komparátoru 13, převládne jedno, tj. větší napětí a první komparátor 13 je nastaven do jedné polohy. V tomto okamžiku začne mikrokontroler 15 generovat na svém výstupu 153 impulsy, kterými je posouván aproximační registr 14.

Tím jsou přes svou paměť 11 a druhou paměť 12 měněny přenosy prvního D/A převodníku 9 a druhého D/A převodníku 10 s cílem dosáhnout nulového napětí na vstupu prvního komparátoru 13. Výstup prvního komparátoru 13 tedy určuje, zda příslušná váha na aproximačním registru 14 zůstane nadále připojena či nikoliv.

V první a druhé paměti 11, 12 jsou naprogramovány goniometrické funkce, takže při postupných aproximacích dochází vážením k dorovnávání vstupního napětí na prvním komparátoru 13 směrem k nulovému napětí. Po přijetí odpovídajícího počtu pulsů vydá aproximační registr 14 puls, který je přiveden ke vstupu 154 mikrokontroleru 15. Mikrokontroler 15 zastaví hodinové pulsy na svém výstupu 153, čímž je ukončen převod. Na adresové sběrnici registru 19 se objeví kombinace signálů odpovídajících přímo měřenému úhlu. Tyto signály jsou zavedeny do mikrokontroleru 15, který je zpracuje, např. číslicově vyfiltruje a vydá na sběrnici výstupních dat 18, kde jsou k dispozici k dalšímu zpracování.

V případě měření více kanálů se řízení kanálů provádí přes adresovou sběrnici 21, která může být ovládána buď externě nebo vnitřním mikrokontrolerem 15.

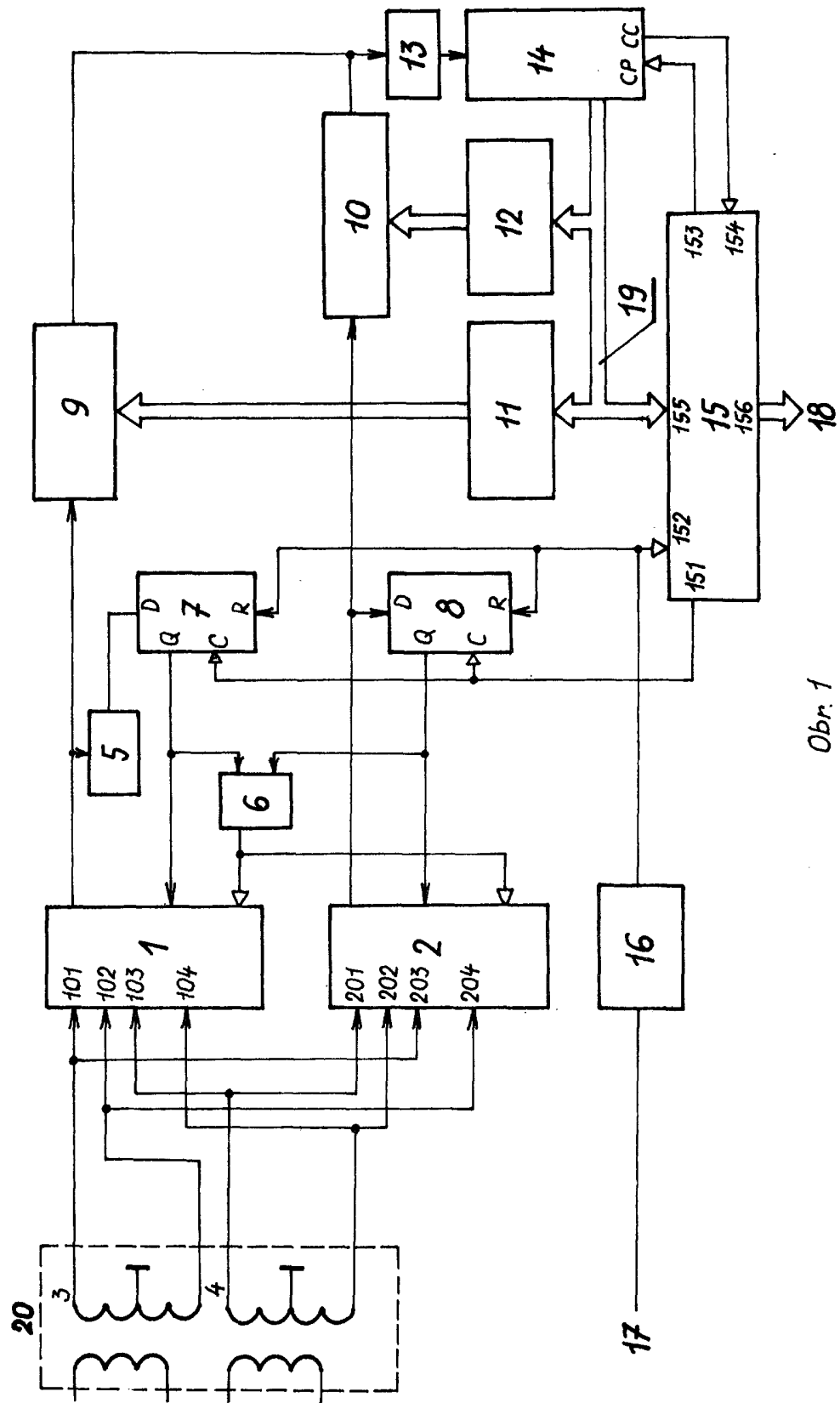
Zapojení podle vynálezu je vhodné ke konstrukci převodníků resolver/číslo určených jak na obecné tak i speciální užití.

P Ř E D M Ě T V Y N Á L E Z U

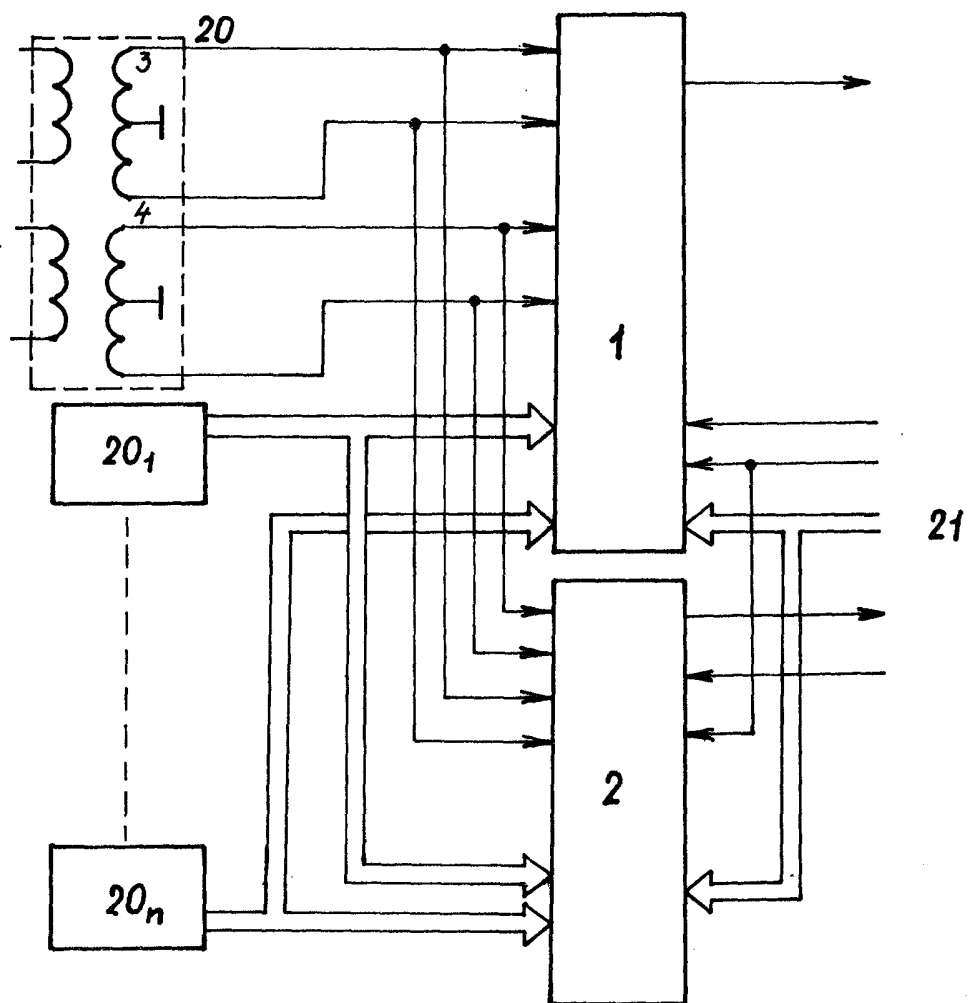
Zapojení obvodů vícekanálového převodníku resolver/číslo, řízeného mikrokontrolerem vyznačené tím, že obsahuje alespoň jednu vstup skupinu (20) s transformátorem (3) sinové složky a s transformátorem (4) kosinové složky, přičemž ke každé vstupní skupině (20) přísluší čtyři vstupy prvního multiplexoru (1) a čtyři vstupy druhého multiplexoru (2) ke kterým jsou transformátor (3) sinové složky a transformátor (4) kosinové složky připojeny tak, že první a druhý výstup transformátoru (3) sinové složky je připojen jednak na první a druhý vstup (101, 102) příslušné čtveřice vstupů prvního multiplexoru (1) a jednak na třetí a čtvrtý vstup (203, 204) příslušné čtveřice vstupů druhého multiplexoru (2), zatímco první a druhý výstup transformátoru (4) kosinové složky je připojen jednak na třetí a čtvrtý vstup (103, 104) příslušné čtveřice vstupů prvního multiplexoru (1) a jednak na první a druhý vstup (201, 202) příslušné čtveřice vstupů druhého multiplexoru (2), přičemž každý ze dvou multiplexorů (1, 2) má první a druhý adresovací vstup, zatímco adresovací vstupy příslušné dalším vstupním skupinám (20) jsou paralelně propojeny s adresovou sběrní (21), přičemž na první adresovací vstup druhého multiplexoru (2) je připojen výstup druhého klopného obvodu (8), připojený současně na druhý vstup hradla (6) EXC OR, jehož výstup je připojen na druhé adresovací vstupy prvního a druhého multiplexoru (1, 2) a na jehož první vstup je připojen výstup prvního klopného obvodu (7), připojený současně na první adresovací vstup prvního multiplexoru (1), zatímco na hodinové vstupy prvního a druhého klopného obvodu (7, 8) je připojen první časovací výstup (151) mikrokontroleru (15) na jehož první časovací vstup (152) a nulovací vstupy prvního a druhého klopného obvodu (7, 8) je připojen výstup druhého komparátoru (16), jehož vstup je spojen s referenční svorkou (17), přičemž výstup

prvního multiplexoru (1) je připojen jednak přes invertor (5) na D vstup prvního klopného obvodu (7) a jednak na referenční vstup prvního D/A převodníku (9), jehož výstup je propojen s výstupem druhého D/A převodníku (10) a současně připojen ke vstupu prvního komparátoru (13), jehož výstup je připojen na vstup aproximačního registru (14), na jehož hodinový vstup je připojen druhý časovací výstup (153) mikrokontroleru (15) a jehož stopovací výstup je připojen na druhý časovací vstup (154) mikrokontroleru (15), přičemž výstupy aproximačního registru (14) jsou adresovou sběrnicí (19) registru propojeny jednak s adresovými vstupy první paměti (11), jejíž výstupy jsou spojeny s adresovými vstupy prvního D/A převodníku (9), jednak s adresovými vstupy druhé paměti (12) jejíž výstupy jsou připojeny na adresové vstupy druhého D/A převodníku (10), na jehož referenční vstup je připojen výstup druhého multiplexoru (2), připojený současně na vstup druhého klopného obvodu (8) a jednak s datovými vstupy (155) mikrokontroleru (15), jehož výstup (156) dat je připojen ke sběrnici (18) výstupních dat.

2 výkresy



Obr. 1



Obr. 2