

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

| | | | |
|--|--|-------------|-----------------|
| (51) 。 Int. Cl. ⁸ H01L 21/76 (2006.01) | | (45) 공고일자 | 2006년02월28일 |
| | | (11) 등록번호 | 10-0540850 |
| | | (24) 등록일자 | 2005년12월28일 |
| (21) 출원번호 | 10-1998-0023051 | (65) 공개번호 | 10-1999-0007123 |
| (22) 출원일자 | 1998년06월19일 | (43) 공개일자 | 1999년01월25일 |
| (30) 우선권주장 | 08/883,356 | 1997년06월26일 | 미국(US) |
| (73) 특허권자 | 지멘스 악티엔게젤샤프트 독일 뮌헨 80333 비텔스파허프라썬 2 | | |
| (72) 발명자 | 아놀트, 노르베르트 미국 10952 뉴욕 체스트너트 리지 키이썬 드라이브 26 | | |
| (74) 대리인 | 남상선 | | |

심사관 : 신창우

(54) 얇은트렌치절연물을포함하는집적회로소자

요약

본 발명은 집적 회로 소자, 특히 집적 회로가 삽입되는 실리콘 칩을 불연속부로 절연시키기 위해 유전체로 충전되는 얇은 트렌치를 포함하는 소자에 관한 것이다. 실리콘 칩의 활성 영역상에 실리콘 산화물로 충전된 얇은 트렌치를 형성하기 위한 단계 이전에 수직인 측벽 상부와 끝이 가늘어진 측벽 하부를 갖는 트렌치를 실리콘 칩내에 형성하는 단계가 수행된다. 그 후에 산소가 트렌치 하부의 측벽 내부에 선택적으로 주입되고 칩이 주입된 산소와 실리콘을 반응시켜 실리콘 산화물을 형성하도록 가열된다. 그 후에 전형적으로 표면 상부에 실리콘 산화물을 증착시키고 증착된 실리콘 산화물이 트렌치 최상부와 실질적으로 같은 높이를 갖도록 평탄화시킴으로써 트렌치의 주입되지 않은 부분이 증착된 실리콘 산화물로 충전된다. 실리콘 산화물로 충전된 트렌치는 칩 표면부를 불연속부로 분할하고, 각각의 분할된 영역은 하나 이상의 집적 회로 소자의 회로 부품을 수용한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1 내지 도 6은 본 발명에 따라 내부가 실리콘 산화물로 충전된 트렌치를 형성하는 여러 단계를 도시하는 개략도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

11 : 실리콘 산화물 13 : 기판

15 : 실리콘 질화물 17 : 다결정층

19 : 마스크 21 : 트렌치

21A : 수직인 측벽 상부 21B : 끝이 가늘어진 측벽 하부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적 회로 소자, 특히 집적 회로가 삽입되는 실리콘 칩을 불연속부로 절연시키기 위해 유전체로 충전되는 얇은 트렌치를 포함하는 소자에 관한 것이다.

일반적으로 실리콘 칩 내에 삽입된 집적 회로에서 칩의 활성 표면부를 상호 전기 절연되는 불연속부로 분할하는 것이 필요하다. 이어서 트랜지스터, 커패시터, 레지스터 및/또는 다이오드와 같은 하나 이상의 다른 회로 부품이 다른 불연속부에 형성된 다음에 원하는 회로 설계에 따라 활성 표면부상의 도전체에 의해 상호 전기 접속된다. 고밀도 집적 회로에서 칩의 활성 표면 영역을 효율적으로 사용해야 하기 때문에, 가능한 한 활성 표면을 거의 사용하지 않는 방식으로 불연속부를 상호 절연시키는 것이 중요하다. 이러한 절연 기술에서 얇은 트렌치 절연(Sallow Trench Isolation : STI)의 중요성이 증가하고 있다. 이러한 기술에서 절연은 칩의 활성 표면에 형성된 좁은 유전체-충전 트렌치에 의해 이루어진다. 이러한 트렌치는 전형적으로 폭보다 깊이가 바람직하게는 더 깊고, 폭은 대략 1미크론 이하이다. 이러한 크기의 트렌치는 완전히 충전시키기 어렵다. 충전은 전형적으로 칩의 전체 트렌치된 표면 상부에 실리콘 산화물을 증착시키고 그 후에 트렌치의 충전된 부분을 제외한 곳에서 실리콘 산화물을 제거하도록 표면을 평탄화하기 위한 화학적 기계 연마(Chemical Mechanical Polishing : CMP)를 사용함으로써 수행된다. 하지만, 통상적으로 바람직한 소형 트렌치에서는, 전반적으로 전체 칩 상부에 걸쳐 원하는 만큼의 균일한 충전도를 이루기는 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전반적으로 트렌치에 원하는 만큼의 균일한 충전도를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따르면, 충전될 절연 트렌치가 두 단계로 형성되는 것이 바람직하다. 제 1 단계에서는 칩의 상부 또는 표면부에 에칭에 의해 트렌치가 형성되는데, 이러한 트렌치는 바람직하게는 폭과 거의 같은 깊이와 실질적으로 수직인 측벽을 가진다. 제 2 단계에서는 트렌치 기저부에서의 폭이 표면에서보다 좁게 되도록 깊이 방향으로 점차적으로 끝이 가늘어지는 폭을 가진 하부를 추가함으로써 트렌치가 깊어진다. 이로써 트렌치 기저부에서의 모서리 부분이 제거되기 때문에 충전을 매우 용이하게 할 수 있다. 바람직하게는 이러한 끝이 가늘어진 부분은 트렌치 상부의 일정한 폭의 1/4 내지 3/4 범위로 연장해야 한다. 실리콘 질화물 보호 캡이 증착된 이후, 칩 내부에서 트렌치 하부의 끝이 가늘어진 부분에 인접한 영역에 선택적으로 산소 이온을 주입하기 위해 칩의 최상부 표면에 산소 이온이 수직으로 가격(bombard)된다. 다음으로, 칩이 가열되어 트렌치 기저부에서는 더 깊게 그리고 트렌치의 끝이 가늘어진 측벽부에서는 더 넓게 칩 내부에 산소 이온을 확산시킨다. 산소가 실리콘 내부로 확산하는 곳에 위치한 칩의 부분은 산화되거나 또는 그곳에 존재하는 산소에 의해 저항이 증가하기 때문에 더 높은 저항을 가진다. 게다가, 실리콘이 산화되는 곳에서 본래의 트렌치의 기저부를 실리콘 산화물로 충전시키려는 경향을 갖는 통상적인 크기 변화가 일어난다. 트렌치의 나머지 부분은 통상적인 방법으로 실리콘 산화물로 충전될 수 있다. 전형적으로 이러한 방법은 상부 표면을 실리콘 산화물로 커버팅하고 그 후에 CMP를 사용하여 평탄화함으로써 산화물로 충전된 트렌치를 남긴다.

본 발명의 일 실시예에 따르면, 실리콘 칩 내에 실리콘 산화물로 충전된 트렌치를 형성하는 방법이 실행된다. 이러한 방법은 적어도 하부에 끝이 가늘어지는 측벽을 갖는 트렌치를 실리콘 칩 내에 형성하는 단계, 상기 트렌치 하부의 측벽에 산소 이온을 주입하는 단계, 산소-주입된 트렌치 하부에서 실리콘 산화물을 형성하도록 칩을 가열하는 단계 및 트렌치의 나머지 부분을 증착된 실리콘 산화물로 충전하는 단계를 포함한다.

본 발명은 첨부된 도면을 참조로 하여 이하에서 좀 더 상세히 설명될 것이다.

본 발명은 반도체 소자 제조에 관한 것이다. 특히, 본 발명은 소자내의 부품들을 분리시키기 위한 얇은 트렌치 절연물을 형성하는 방법에 관한 것이다. 현재 반도체 산업에서 전반적으로 실행되듯이, 소자는 전형적으로 반도체 웨이퍼 내에서 또는 웨이퍼 상에서 병렬 처리되고, 이러한 반도체 웨이퍼는 후에 소자를 포함하는 개별적인 칩으로 다이싱된다. 간략하게 설명하기 위해, 본 발명에 따른 방법은 단일 칩에 대해서 설명될 것이다.

위에서 설명된 바와 같이, 소자는 반도체 웨이퍼 내에 및/또는 웨이퍼 상에 형성된다. 웨이퍼는 예를 들면, 단결정 실리콘을 포함한다. 예를 들면, 절연물상의 실리콘(SOI) 또는 갈륨비소와 같은 다른 종류의 반도체 웨이퍼가 또한 사용될 수 있다.

도 1에 도시된 바와 같이, 전형적으로 얇은 희생 산화물(PAD 산화물(11))층이, 예를 들면 실리콘을 포함하는 칩 또는 기판(13)의 활성(최상부) 표면(13A)에 형성된다. 이러한 산화물은 공정중에 주로 실리콘 표면을 보호하는 역할을 한다. 그 후에 공정중에 에칭 정지물과 같은 역할을 하는 실리콘 질화물(PAD 질화물)(15)층이 PAD 산화물(11) 상부에 형성된다. 다음으로 산소 가속에 대한 장벽과 같은 역할을 하는 재료로 구성된 층(17)이 최상부 표면에 증착되며, 이 층은 형성될 트렌치 내부로 산소를 선택적으로 주입하는데 사용된다. 특히, 다결정 실리콘이 이러한 용도에 적합하다. 아인산 실리콘 또는 게르마늄과 같은 산소 이온의 침투를 방지하는 다른 재료 또한 사용 가능하다. 층(17)의 두께는 바람직하게는 공정 동안 주입된 산소를 나중에 어닐링 하는데 사용될 수 있는 가열 시에 완전히 산화될 수 있을 정도여야 한다.

다음으로, 도 2에 도시된 바와 같이 통상적인 리소그래피 기술을 사용하여, 예를 들면 레지스트로 구성된 마스크층(19)이 형성되고 패터닝되어 에칭될 트렌치를 형성한다. 그 후에 바람직하게는 다결정층(17), 실리콘 질화물(15) 및 PAD 실리콘 산화물(11)이 트렌치가 형성될 영역에서 선택적으로 에칭되어, 실리콘 표면(13A)을 노출시킨다. 전형적으로 이러한 에칭은 이방성 에칭을 수행할 수 있는 반응성 이온 에칭(Reactive Ion Etching : RIE)에 의해 에칭된다. 에칭 이후에 레지스트 층(19)이 제거된다.

도 3을 참조하면, 트렌치가 형성될 칩 표면(13A)이 노출되고 난 후에, 기판(13)이 공지된 방법으로 이방성 에칭되어 상부(21A)에 실질적으로 수직인 측벽을 갖는 트렌치(21)를 형성한다. 이러한 상부(21A)의 높이는 바람직하게는 대략 트렌치의 폭과 같고, 이는 전형적으로 현재의 최소 형상 크기인 0.175μm 정도이다. 하지만, 어떤 경우에는 트렌치 폭의 1/2 정도의 얇은 트렌치가 적합하다. 이러한 목적으로 실질적으로 수직인 측벽을 갖는 트렌치를 에칭하기 위한 공지된 반응성 이온 에칭 기술이 사용될 수 있다.

다음으로, 트렌치(21)의 하부(21B)에 끝이 가늘어지는 부분이 에칭된다. 상부(21A)와 하부(21B)의 결합 깊이는 얇은 트렌치 절연물로서의 역할을 하기에 충분하다. 전형적으로, 하부(21B)의 높이는 바람직하게는 트렌치 폭(21)의 대략 1/4 내지 3/4이다. 끝이 가늘어지는 측벽을 갖는 트렌치를 에칭하는 공지된 어떠한 RIE라도 이 단계에 사용될 수 있다.

다음으로, 도 4에서 도시된 바와 같이, 에칭하기 위한 트렌치 영역을 한정하는데 사용되는 마스크(19)를 제거한 이후에, 바람직하게는 기판(13) 상부에 얇은 실리콘 질화물층(25)이 증착된다. 이러한 질화물은 이어지는 산소 이온 주입에 대한 스크린층과 같은 역할을 한다. 산화물에 대해 선택적인 스크린 주입층과 같은 역할을 하는 다른 재료 또한 사용 가능하다. 게다가 산화물과 질화물의 결합층 또한 사용 가능하다. 실리콘 질화물층(25)이 위치된 이후에, 실리콘 칩(13)에 주입을 위해 산소 이온이 가열된다. 층(17)의 마스크 효과 때문에, 산소는 주로 끝이 가늘어지는 측벽과 트렌치부의 기저 벽(21B)에 선택적으로 주입된다. 산소 주입은 바람직하게는 예를 들면, Nuclear Instruments and Methods in Physics Research B96 (1995), p420-424의 A. Auberton등의 보고서 SIMOX - a new challenge for ion implantation에 개시된 바와 같이 실행되고, 여기서는 참조를 위해 인용된다. 예를 들면, 대략 120KeV의 에너지를 가진 대략 $4 \times 10^{18} \text{ O}^+/\text{cm}^2$ 내지 $1 \times 10^{18} \text{ O}^+/\text{cm}^2$ 의 양이 적합한 것으로 개시된다. 도 4에서, 트렌치 벽에 산소가 침투하는 범위가 파선(27)으로 표시된다. 산소는 또한 마스크와 같은 역할을 하는 다결정층(17)에 주입되고, 이 또한 실리콘 산화물로 변환될 것이다. 여기서 주입된 산소는 도면의 간결함을 위해 도시되지 않는다.

산소 주입 이후에 기판(13)이 가열된다. 기판이 가열되는 온도는 주입에 의한 손상을 효과적으로 어닐링하고, 주입된 산소를 실리콘과 반응시켜 트렌치(21)의 끝이 가늘어진 측벽과 기저부(21B)를 따라 이산화 실리콘을 형성하고 층(17)을 이산화 실리콘(여전히 층(17)으로 도시됨)으로 변환시키기에 충분한 온도이다.

일 실시예에서, 기판은 1150℃ 내지 1300℃의 온도로 가열된다. 어닐링 시간은 산소가 주입된 곳에 원하는 실리콘 산화물을 형성하기에 충분하다. 전형적으로, 어닐링은 수 시간 지속된다. 게다가, 실리콘과 산소가 결합하여 실리콘 산화물을 형성한 곳에서 부풀림이 일어난다. 이러한 부풀림은 트렌치(21) 기저부에서 각진 모서리를 충전함으로써 둥글어지는(round off) 경향이 있고 이어서 증착된 실리콘 산화물이 트렌치(21)를 용이하게 충전할 수 있게 한다. 게다가, 트렌치(21) 기저부에서 주입된 실리콘이 산화물로 변환됨에 따라, 이러한 추가되는 산화물은 트렌치(21)의 절연물로서의 역할을 더욱 강화한다.

도 5에 도시된 바와 같이, 가열 단계에서 트렌치(21) 기저부에 실리콘 산화물층 영역(28)이 형성된다. 이는 산화물로 변환된 실리콘 칩(13)의 일부와 부풀림에 의해 충전된 본래 트렌치(21)의 일부를 동시에 포함한다. 칩 최상부 표면상에 증착된 유전체층(30) 또한 도시되어 있다. 일 실시예에서, 유전체층은 실리콘 산화물을 포함한다. 이 층(30)은 먼저 실리콘 질화물층(25)이 제거된 이후에 증착되어 이러한 증착된 층이 층(28)과 결합될 수 있도록 한다. 트렌치의 기저부와 측벽은 필요에 따라 산화된다. 바람직하게는, 층(30)의 두께는 층(30)의 증착에 의해 트렌치(21)가 충전되어 층(30)이 이산화 실리콘 영역(28)과 결합될 수 있을 정도로 선택된다. 이를 위해 유전체층을 형성하기 위한 여러 공지된 방법이 사용될 수 있다. 예를 들면, 유전체층의 증착은 TEOS 또는 HDP를 포함한다.

다음으로 도 6에 도시된 바와 같이, 실리콘 산화물층(30)은 본래의 PAD 실리콘 질화물층(15)의 높이 정도로 최상부 표면을 평탄하기 위해 화학적 기계 연마되고, 이는 에칭 정지물과 같은 역할을 한다. 층(30)의 일부(32)가 남겨져 트렌치(21)를 충전한다. 어떠한 공지된 기술도 이 단계에서 사용될 수 있다.

도 6에 도시된 바와 같이, 실리콘 산화물층(30)을 제거한 이후에, 칩(13)의 최상부 (활성) 표면은 칩의 상부를 다수의 전기 절연 영역(33과 34)으로 분할하는 실리콘 산화물로 충전된 트렌치를 갖게 되고, 분할 영역의 각각은 그 후에 원하는 집적 회로의 하나 이상의 부품을 수용하는데 사용될 수 있다. 다음으로 이러한 부품들은 원한다면 공지된 방법으로 칩(13) 최상부 표면상에 하나 이상의 도전 패턴 층(도시 안 됨)에 의해 함께 접속된다. 일례로, 소자의 일부와, 예를 들면 접지와 같은 전압 소스 단자를 배면을 통해 접속하는 것이 바람직하다.

본 발명의 사상과 범위에 속하는 여러 변형된 실시예 또한 가능하다. 특히, 이상에서 설명된 크기 이외의 크기 또한 사용 가능하다. 게다가, 본 발명에서와 같은 적어도 끝이 가늘어진 하부를 갖는 트렌치를 형성하기에 적합한 다른 어떠한 기술도 사용 가능하다. 또한 상술된 여러 층들을 형성하기 위해 사용된 재료가 바람직하지만, 같은 특성을 가진 다른 재료도 사용 가능하다. 더욱이, 어떤 경우에는, 주입된 산소와 실리콘 칩을 반응시키기 위해 칩을 가열하기 전에 산소 주입된 트렌치를 증착된 실리콘 산화물로 충전시키는 것이 바람직하다. 이는 가공이 완료된 이후에, 트렌치 하부에 공극의 형성을 최소화하는 것으로 입증된다.

발명의 효과

본 발명에 따르면, 칩의 활성 표면상에 절연을 제공하기 위해 형성된 좁은 유전체-충전 트렌치에 원하는 만큼의 균일한 충전도를 이룰 수 있다.

(57) 청구의 범위

청구항 1.

절연 트렌치를 형성하기 위한 단계를 포함하는 반도체 소자 제조 방법으로서,

적어도 하부에 끝이 가늘어지는 측벽을 갖는 트렌치를 반도체 기판에 형성하는 단계;

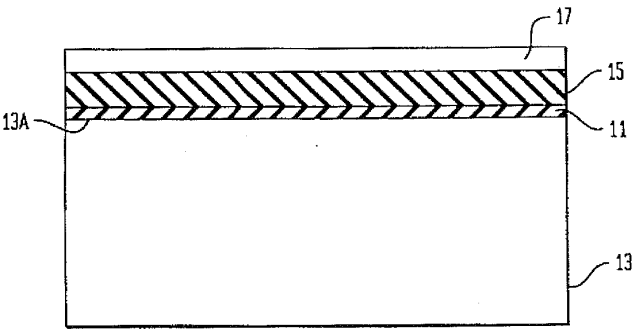
상기 트렌치의 상기 하부의 측벽에 산소 이온을 주입하는 단계;

상기 산소 이온이 주입된 곳에 실리콘 산화물이 형성되도록 상기 기판을 가열하는 단계; 및

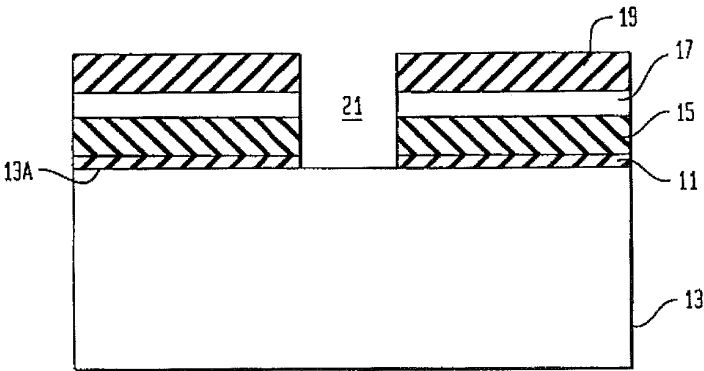
상기 트렌치를 유전체층으로 충전하는 단계를 포함하는 반도체 소자 제조 방법.

도면

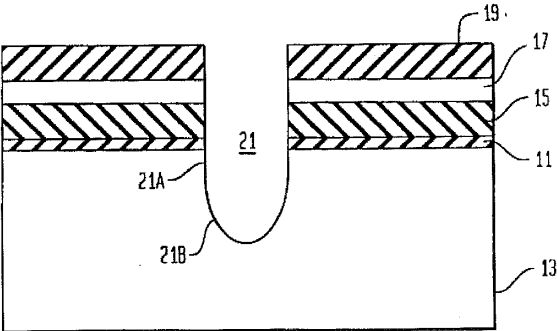
도면1



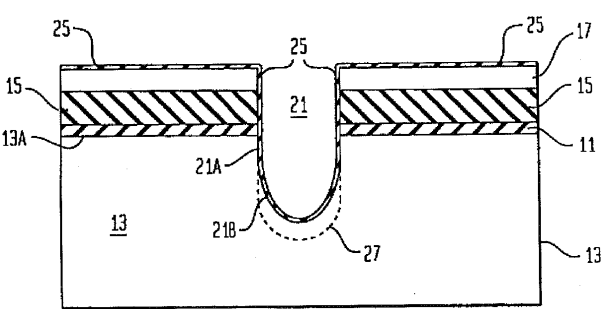
도면2



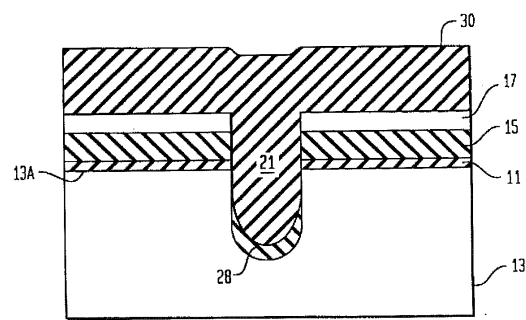
도면3



도면4



도면5



도면6

