(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 10 月 1 日(01.10.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/145641 A1

(51) 国際特許分類:
H01L 21/337 (2006.01) *H01L 29/808* (2006.01)
H01L 21/338 (2006.01) *H01L 29/812* (2006.01)

(21) 国際出願番号: PCT/JP2014/058677

(22) 国際出願日: 2014 年 3 月 26 日(26.03.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本碍子株式会社(NGK INSULATORS, LTD.) [JP/JP]; 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 Aichi (JP). 国立大学法人山梨大学 (UNIVERSITY OF YAMANASHI) [JP/JP]; 〒4008510 山梨県甲府市武田四丁目４番３７号 Yamanashi (JP).

(72) 発明者: 清水尚博(SHIMIZU Naohiro); 〒4678530 愛知県名古屋市瑞穂区須田町２番５６号 日本碍子株式会社内 Aichi (JP). 矢野浩司(YANO Koji); 〒4008510 山梨県甲府市武田四丁目４番３７号 国立大学法人山梨大学内 Yamanashi (JP).

(74) 代理人: 千葉剛宏, 外(CHIBA Yoshihiro et al.); 〒1510053 東京都渋谷区代々木２丁目１番１号 新宿マインズタワー １６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

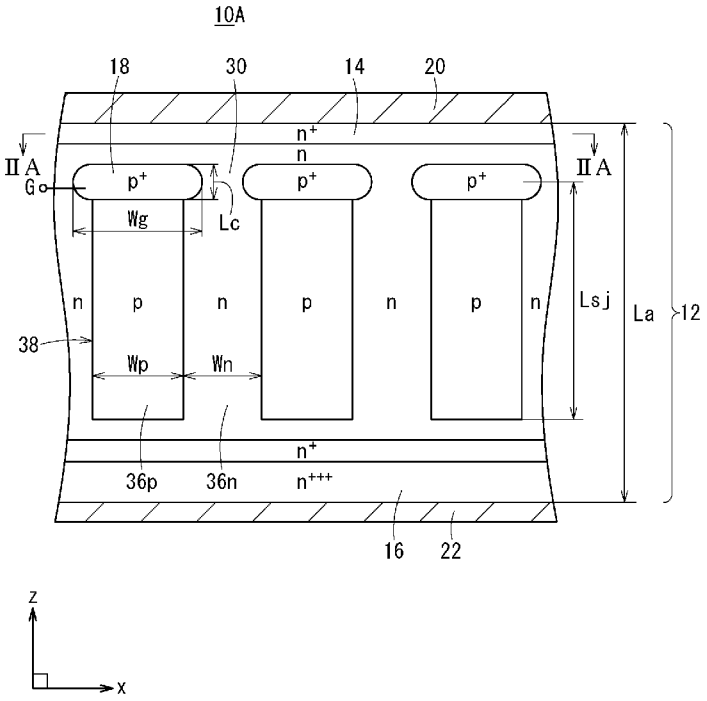
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置

FIG. 1



(57) **Abstract**: The present invention pertains to a semiconductor device. The semiconductor device has an n-type semiconductor region (12), an n-type source region (14), an n-type drain region (16), and a plurality of p-type embedded gate regions (18). The semiconductor device also has a super-junction structure (38). This super-junction structure (38) is configured from a plurality of p-type first regions (36p) extending toward the drain region (16) from each of the embedded gate regions (18), and an n-type second region (36n) present between the first regions (36p).

(57) 要約: 本発明は半導体装置に関する。半導体装置は、ｎ型の半導体領域（１２）と、ｎ型のソース領域（１４）と、ｎ型のドレイン領域（１６）と、ｐ型の複数の埋め込みゲート領域（１８）とを有する。さらに、この半導体装置は、超接合構造（３８）を有する。超接合構造（３８）は、各埋め込みゲート領域（１８）からそれぞれドレイン領域（１６）に向けて延在するｐ型の複数の第１領域（３６ｐ）と、第１領域（３６ｐ）間に存するｎ型の第２領域（３６ｎ）とで構成されている。

WO 2015/145641 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、例えば静電誘導型トランジスタ、静電誘導型サイリスタ等の半導体装置に関する。

背景技術

[0002] 超接合構造を有する半導体装置として、従来から、縦型パワーＭＯＳＦＥＴのドリフト層に超接合構造を備えるＭＯＳＦＥＴが知られている。ドリフト層に超接合構造を備える半導体装置は、オフ状態では、ｐ型カラムとｎ型カラムの間の複数の平行なｐｎ接合のそれぞれから空乏層がｐ型カラムとｎ型カラムとの両側に広がってドリフト層を低い電界強度で空乏化する。これは高耐圧化につながる。また、超接合構造を備えるＭＯＳＦＥＴでは、耐圧に対してトレードオフ関係にあるオン抵抗が小さくなるという効果を奏する（特開２０１２－００４１７３号公報参照）。すでに、炭化珪素の静電誘導型トランジスタにおいて超接合を適用し、その性能を向上させる試みがあるが（特許第３２８４１２０号公報参照）、表面構造が複雑であるため、超接合の微細化が困難である。

発明の概要

[0003] 本発明は、超接合構造の利点を利用して、オン特性やオフ特性を良好にすることができる半導体装置を提供することを目的とする。なお、オン特性は導通特性を示し、オフ特性は耐圧特性を示す。

[0004] ［１］ 本発明に係る半導体装置は、第１導電型の半導体領域と、前記半導体領域の一方の表面に形成された第１導電型のソース領域と、前記半導体領域の他方の表面に形成された第１導電型のドレイン領域と、前記半導体領域のうち、前記ソース領域寄りの位置に形成された第２導電型の複数の埋め込みゲート領域とを有する半導体装置において、各前記埋め込みゲート領域からそれぞれ前記ドレイン領域に向けて延在する第２導電型の複数の第１領域

と、前記第１領域間に存する第１導電型の第２領域とで超接合構造が構成されていることを特徴とする。

[0005] ［２］　本発明において、前記埋め込みゲート領域は、一方向に延在し、且つ、前記一方向と直交する他方向に配列してもよい。

[0006] ［３］　この場合、前記半導体領域のうち、隣接する前記埋め込みゲート領域間の領域がチャネル領域を構成し、前記チャネル領域は、前記一方向に沿って延在し、且つ、前記他方向に沿って配列してもよい。

[0007] ［４］　さらに、前記ソース領域は、隣接する前記チャネル領域にわたって延在してもよい。

[0008] ［５］　あるいは、前記ソース領域が分離され、前記ソース領域は、前記チャネル領域上において、前記一方向に延在し、且つ、前記他方向に配列してもよい。

[0009] ［６］　この場合、さらに、前記ソース領域は、島状に分離され、前記島状のソース領域は、前記一方向と前記他方向に配列されてもよい。

[0010] ［７］　［３］～［６］において、前記半導体領域の厚みに対する前記チャネル領域の長さの比が８／１００以下であってもよい。

[0011] ［８］　この場合、前記半導体領域の厚みに対する前記チャネル領域の長さの比が１／３００以上６／１００以下であることが好ましい。

[0012] ［９］　本発明において、前記第１領域の幅と前記第２領域の幅はほぼ同じであってもよい。

[0013] ［１０］　この場合、少なくとも前記第１領域の不純物濃度は、$1\times10^{15}cm^{-3}$以上$1\times10^{18}cm^{-3}$未満であることが好ましい。

[0014] ［１１］　本発明において、前記第１領域の不純物総量と前記第２領域の不純物総量はほぼ同じであることが好ましい。

[0015] 以上説明したように、本発明に係る半導体装置によれば、超接合構造の利点を利用して、オン特性やオフ特性を良好にすることができる。

図面の簡単な説明

[0016] [図1]第１の本実施の形態に係る半導体装置（第１半導体装置）の要部を示す

断面図である。

[図2]図２Ａは図１におけるＩＩＡ－ＩＩＡ線上の断面図であり、図２Ｂは図２ＡにおけるＩＩＢ－ＩＩＢ線上の断面図である。

[図3]第１半導体装置のオン特性を示すグラフである。

[図4]第１半導体装置のオフ特性を示すグラフである。

[図5]超接合構造を構成する第１領域及び第２領域の不純物濃度のばらつきに対する降伏電圧の変化を示すグラフである。

[図6]第２の本実施の形態に係る半導体装置（第２半導体装置）の要部を示す断面図である。

[図7]図７Ａは図６におけるＶＩＩＡ－ＶＩＩＡ線上の断面図であり、図７Ｂは図７ＡにおけるＶＩＩＢ－ＶＩＩＢ線上の断面図である。

[図8]第３の本実施の形態に係る半導体装置（第３半導体装置）の要部を示す断面図である。

[図9]図９Ａは図８におけるＩＸＡ－ＩＸＡ線上の断面図であり、図９Ｂは図９ＡにおけるＩＸＢ－ＩＸＢ線上の断面図である。

[図10]第４の本実施の形態に係る半導体装置（第４半導体装置）の要部を示す断面図である。

[図11]第１半導体装置、第２半導体装置及び第３半導体装置において、ドレイン－ソース間電圧V_{DS}を変化させたときの通電電流密度J_Dの特性を示すグラフである。

[図12]第１半導体装置、第２半導体装置及び第３半導体装置において、ドレイン－ソース間電圧V_{DS}を変化させたときのゲート電流密度J_Gの特性を示すグラフである。

発明を実施するための形態

[0017] 以下、本発明に係る半導体装置の実施の形態例を図１～図１２を参照しながら説明する。なお、本明細書において数値範囲を示す「～」は、その前後に記載される数値を下限値及び上限値として含む意味として使用される。

[0018] 先ず、第１の本実施の形態に係る半導体装置（以下、第１半導体装置１０

Ａと記す）は、図１に示すように、ｎ型の半導体領域１２（半導体基板でもよい）と、半導体領域１２の一方の表面に形成されたｎ型の高い不純物濃度のソース領域１４と、半導体領域１２の他方の表面に形成されたｎ型のドレイン領域１６と、半導体領域１２のうち、ソース領域１４寄りの位置に形成されたｐ型の複数の埋め込みゲート領域１８とを有する。なお、図１において、複数の埋め込みゲート領域１８は、ゲート電極（シンボル「Ｇ」で示す）に電気的に接続される。

[0019] また、この第１半導体装置１０Ａは、ソース領域１４に対応した位置に形成されたソース電極２０と、ドレイン領域１６に対応した位置に形成されたドレイン電極２２と、ソース電極２０と電気的に絶縁して形成され、ソース電極２０とドレイン電極２２間に流れる電流の導通を制御する複数のゲート電極２４（図２Ｂ参照）とを有する。各ゲート電極２４は、図示しないが、例えばソース領域１４の周辺で電気的に一括して接続される。

[0020] 図２Ｂに示すように、各ゲート電極２４と埋め込みゲート領域１８との間には、各ゲート電極２４と埋め込みゲート領域１８とを電気的に接続するｐ型の複数のゲート取出し領域２８が形成されている。半導体領域１２のうち、隣接する埋め込みゲート領域１８間の領域がチャネル領域３０を構成する。

[0021] 図２Ａに示すように、複数の埋め込みゲート領域１８は、第１方向（ｙ方向）に延在し、且つ、第１方向と直交する第２方向（ｘ方向）に沿って配列されて形成されている。図１に示すように、埋め込みゲート領域１８の幅Ｗｇは、第１領域３６ｐの幅Ｗｐよりも大きく、隣接する埋め込みゲート領域１８に向かって互いに張り出した形状となっている。図１では、埋め込みゲート領域１８の断面形状が、扁平なトラック形状となっている例を示している。もちろん、埋め込みゲート領域１８の幅Ｗｇは、第１領域３６ｐの幅Ｗｐよりも小さくてもよく、等しくてもよい。なお、図２Ａは図１におけるＩＩＡ－ＩＩＡ線上の断面を示し、図２Ｂは図２ＡにおけるＩＩＢ－ＩＩＢ線上の断面を示す。また、図２Ａにおいて、複数の埋め込みゲート領域１８は

ゲート取出し領域２８を介してゲート電極（シンボル「Ｇ」で示す）に電気的に接続され、ソース領域１４はソース電極（シンボル「Ｓ」で示す）に電気的に接続される。

[0022] チャネル領域３０は、図２Ａに示すように、上述した埋め込みゲート領域１８と同様に、第１方向（ｙ方向）に延在し、且つ、第１方向と直交する第２方向（ｘ方向）に沿って配列されて形成されている。図１に示すように、チャネル領域３０の長さＬｃ（第３方向（ｚ方向）の長さ）は短いことが好ましい。具体的には、半導体領域１２の厚みＬａに対するチャネル領域３０の長さＬｃの比、すなわち、（チャネル領域３０の長さＬｃ／半導体領域１２の厚みＬａ）が８／１００以下であり、好ましくは１／３００以上６／１００以下である。

[0023] 上述したソース領域１４は、図１、図２Ａ及び図２Ｂに示すように、該ソース領域１４を貫通するゲート取出し領域２８を除いて半導体領域１２の一方の表面全体にわたって延在する単一の領域を構成している。すなわち、ソース領域１４は、隣接するチャネル領域３０にわたって延在している。

[0024] 図２Ｂに示すように、ゲート電極２４とソース領域１４との間にSiO_2等の第１絶縁膜３２が介在されている。さらに、各ゲート電極２４を含む全面にソース電極２０が形成され、各ゲート電極２４とソース電極２０との間には例えばＴＥＯＳ（Ｔｅｔｒａ　ＥｔｈＯｘｙ　Ｓｉｌａｎｅ：$Si(OC_2H_5)_4$）による第２絶縁膜３４が介在されている。

[0025] そして、図１及び図２Ｂに示すように、この第１半導体装置１０Ａは超接合構造３８を有する。超接合構造３８は、各埋め込みゲート領域１８からそれぞれドレイン領域１６に向けて延在するｐ型の複数の第１領域３６ｐと、第１領域３６ｐ間に存するｎ型の第２領域３６ｎとで構成されている。

[0026] 超接合構造３８を構成する第１領域３６ｐの不純物総量と第２領域３６ｎの不純物総量はほぼ同じである。超接合構造３８を構成する第１領域３６ｐの幅Ｗｐと第２領域３６ｎの幅Ｗｎが等しい場合、超接合構造３８を構成する第１領域３６ｐの不純物濃度と第２領域３６ｎの不純物濃度はほぼ同じで

ある。「ほぼ同じ」とは、第１領域３６ｐの不純物濃度をＮＡ、第２領域３６ｎの不純物濃度をＮＤとしたとき、

｜ＮＡ－ＮＤ｜／ＮＤ≦５（％）

をいう。これについては後述する。

[0027] また、図１に示すように、第１領域３６ｐの幅Ｗｐと第２領域３６ｎの幅Ｗｎはほぼ同じである。「ほぼ同じ」とは、｜幅Ｗｐ－幅Ｗｎ｜≦０．１μｍを示す。これにより、第１領域３６ｐの不純物総量と第２領域３６ｎの不純物総量をほぼ同じにすることが可能となる。

[0028] また、超接合構造３８のアスペクト比は大きい方が好ましい。ある特定の降伏電圧に対するオン抵抗を低くすることができる。ここで、超接合構造３８のアスペクト比とは、｛縦方向（ｚ方向）の長さＬｓｊ／（第１領域の幅Ｗｐ／２＋第２領域の幅Ｗｎ／２）｝を示す。縦方向の長さＬｓｊは、埋め込みゲート領域１８の厚み方向中心位置から超接合構造３８の下端までの長さを示す。

[0029] ここで、第１半導体装置１０Ａのオン特性及びオフ特性について図３～図５を参照しながら説明する。

[0030] 先ず、前提として、超接合構造３８のアスペクト比を１６．５、第１領域３６ｐ及び第２領域３６ｎの幅Ｗｐ及びＷｎをそれぞれ２μｍ、半導体領域１２の厚みＬａに対するチャネル領域３０の長さＬｃの比を１／３００とした。

[0031] そして、第１領域３６ｐと第２領域３６ｎの不純物濃度に対するオン特性とオフ特性の変化を確認した。第１領域３６ｐと第２領域３６ｎの不純物濃度を同じにした。従って、第１領域３６ｐと第２領域３６ｎの不純物濃度を、単に、不純物濃度n_{pil}と記す。

不純物濃度n_{pil}の内訳は、下記表１に示す通りとした。

[0032]

[表1]

不純物濃度n_{pil} (cm^{-3})
5×10^{15}
6×10^{15}
7×10^{15}
8×10^{15}
9×10^{15}
1×10^{16}
2×10^{16}
3×10^{16}
4×10^{16}
5×10^{16}

[0033] 表１に示す各不純物濃度について、ゲート－ソース間電圧V_{GS}を０．７Ｖとし、ドレイン－ソース間電圧V_{DS}を変化させたときの通電電流密度J_D（オン特性）を確認した。その結果を図３に示す。

[0034] 図３から、この第１半導体装置１０Ａは、通常のＳＩサイリスタにおいて生じていた約０．７５Ｖ程度のビルトインポテンシャルは主電流の導通路中にはなく、ＭＯＳＦＥＴと同様に、ターンオンと共にV_{DS}＝０から電流が立ち上がっていることがわかる。

[0035] また、図３の結果から、不純物濃度n_{pil}が高くなるほど、通電電流密度J_Dの立ち上がりが急峻になっている。その変化はほぼ濃度に応じたものとなっている。

[0036] さらに、表１に示す各不純物濃度について、ゲート－ソース間電圧V_{GS}を－５Ｖ（逆バイアス）とし、ドレイン－ソース間電圧V_{DS}を変化させたときの通電電流密度J_D（オフ特性）を確認した。その結果を図４に示す。

[0037] このオフ特性については、不純物濃度n_{pil}が6×10^{15}～$1\times10^{16}cm^{-3}$の範囲ではほとんど変化はなく、降伏電圧は高い電圧レベルとなっている。不純物濃度n_{pil}が$2\times10^{16}cm^{-3}$では、降伏電圧がわずかに低下し、不純物濃

度n_{pil}が３×１０^{16}ｃｍ$^{-3}$では、降伏電圧が急激に低下している。

[0038] 従って、オン特性及びオフ特性を共に向上させるには、不純物濃度は、６×１０^{15}ｃｍ$^{-3}$以上３×１０^{16}ｃｍ$^{-3}$未満であることが好ましい。

[0039] 次に、第１領域３６ｐの不純物濃度と第２領域３６ｎの不純物濃度が同じ場合と異なる場合とでの降伏電圧の変化を確認した。その前提として、第１領域３６ｐの不純物濃度をＮＡ、第２領域３６ｎの不純物濃度をＮＤとしたとき、第１領域３６ｐ及び第２領域３６ｎ間の不純物濃度のばらつきを｜ＮＡ－ＮＤ｜／ＮＤで求めた。そして、この不純物濃度のばらつきに対する降伏電圧の変化をプロットした。その結果を図５に示す。

[0040] 図５から、不純物濃度のばらつきが大きくなるにつれて降伏電圧が低下していることがわかる。特に、不純物濃度n_{pil}が高いと、その低下の度合いが大きくなっている。この場合、降伏電圧の低下が５０Ｖ未満であれば、オフ特性の大幅な低下を回避できることから、第１領域３６ｐ及び第２領域３６ｎ間の不純物濃度のばらつき｜ＮＡ－ＮＤ｜／ＮＤは５％以下の範囲であることが好ましい。すなわち、「第１領域の不純物濃度と第２領域の不純物濃度はほぼ同じである」の「ほぼ同じ」は、｜ＮＡ－ＮＤ｜／ＮＤが５％以下の範囲であることを示す。

[0041] このように、第１半導体装置１０Ａは、オン特性及びオフ特性を良好にすることができる。

[0042] 次に、第２の本実施の形態に係る半導体装置（以下、第２半導体装置１０Ｂと記す）について、図６、図７Ａ及び図７Ｂを参照しながら説明する。

[0043] この第２半導体装置１０Ｂは、上述した第１半導体装置１０Ａとほぼ同様の構成を有するが、以下の点で異なる。すなわち、図６、図７Ａ及び図７Ｂに示すように、ソース領域１４が埋め込みゲート領域１８上で分離され、各ソース領域１４がチャネル領域３０上を第１方向（ｙ方向）に沿ってストライプ状に形成された形態になっている。

[0044] ソース領域１４の離間幅Ｗａとしては、第１領域３６ｐの幅Ｗｐとほぼ同じ幅、例えば（幅Ｗｐ－０．１μｍ）以上（幅Ｗｐ＋０．１μｍ）以下が選

択可能である。ソース領域１４の幅Ｗｓとしては、第２領域３６ｎの幅Ｗｎとほぼ同じ幅、例えば（幅Ｗｎ－０．１μｍ）以上（幅Ｗｎ＋０．１μｍ）以下が選択可能である。

[0045] 次に、第３の本実施の形態に係る半導体装置（以下、第３半導体装置１０Ｃと記す）について、図８、図９Ａ及び図９Ｂを参照しながら説明する。

[0046] この第３半導体装置１０Ｃは、上述した第２半導体装置１０Ｂとほぼ同様の構成を有するが、図８、図９Ａ及び図９Ｂに示すように、さらに、ソース領域１４が島状に分離されている点で異なる。図９Ａでは、複数の島状のソース領域１４が第１方向（ｙ方向）及び第２方向（ｘ方向）にマトリクス状に配列された例を示す。ソース領域１４の配列はマトリクス状でもよいし、千鳥配列でもよい。

[0047] 次に、第４の本実施の形態に係る半導体装置（以下、第４半導体装置１０Ｄと記す）について、図１０を参照しながら説明する。

[0048] 第４半導体装置１０Ｄは、図１０に示すように、埋め込みゲート領域１８上であって、ゲート取出し領域２８を除く部分に、埋め込みゲート領域１８に達するトレンチ溝４０が形成され、該トレンチ溝４０内に絶縁物４２が充填されて構成されている。この場合、トレンチ溝４０の平面形状を適宜変更することで、ソース領域１４をストライプ状にしたり、島状にすることができる。

[0049] 次に、第１半導体装置１０Ａ、第２半導体装置１０Ｂ及び第３半導体装置１０Ｃの特性の違い、特に、ドレイン－ソース間電圧V_{DS}を変化させたときの通電電流密度J_Dとゲート電流密度J_Gを確認した。その結果を図１１及び図１２に示す。なお、ゲート－ソース間電圧V_{GS}は０．７Ｖとした。

[0050] 先ず、図１１に示すように、ドレイン－ソース間電圧V_{DS}に対する通電電流密度J_Dの変化は、第１半導体装置１０Ａ、第２半導体装置１０Ｂ及び第３半導体装置１０Ｃ共にほぼ同じ特性を有することがわかる。しかも、ドレイン－ソース間電圧V_{DS}の上昇に従って、通電電流密度J_Dがほぼ線形に変化していることから、第１半導体装置１０Ａ、第２半導体装置１０Ｂ及び第３半導体

装置１０Ｃはほぼ抵抗とみなすことができる。

[0051] そして、図１２に示すように、ドレイン－ソース間電圧V_{DS}に対するゲート電流密度J_Gの変化から、ゲート電流は第１半導体装置１０Ａが最も多く流れ、次いで、第２半導体装置１０Ｂであり、最もゲート電流密度J_Gが少なかったのは第３半導体装置１０Ｃであった。この理由としては、第１半導体装置１０Ａは、ソース領域１４が半導体領域１２の一方の表面全体にわたって延在する単一の領域を構成している。このことから、埋め込みゲート領域１８とソース領域１４との対向面積が第２半導体装置１０Ｂ及び第３半導体装置１０Ｃよりも広くなると同時に、埋め込みゲート領域１８とソース領域１４との実効的な距離が短い結果、ゲート電流密度J_Gが高くなったものと考えられる。

[0052] これに対して、第２半導体装置１０Ｂは、ソース領域１４の平面形状がストライプ状となっているため、埋め込みゲート領域１８とソース領域１４との対向面積が第１半導体装置１０Ａよりも狭くなり、埋め込みゲート領域１８とソース領域１４との実効的な距離が長くなっている。その結果、第１半導体装置１０Ａよりもゲート電流密度J_Gが低くなったものと考えられる。

[0053] 第３半導体装置１０Ｃは、ソース領域１４の平面形状が島状となって、埋め込みゲート領域１８とソース領域１４との対向面積が第２半導体装置１０Ｂよりも狭くなることから、第２半導体装置１０Ｂよりもゲート電流密度J_Gが低くなったものと考えられる。

[0054] 第１半導体装置１０Ａ～第３半導体装置１０Ｃは、一旦、ターンオンすると、ゲート電流の供給が停止するまで、ゲート電流が流れ続けることとなる。上述したように、第１半導体装置１０Ａ～第３半導体装置１０Ｃは、抵抗とみなすことができる。そのため、ゲート電流による発熱量（ジュール熱）Ｈは、ゲート電流をI_{GS}、第１半導体装置１０Ａ～第３半導体装置１０Ｃのゲート電極２４とソース電極２０間の寄生抵抗成分とゲート電極２４の外付け抵抗の和をＲ、時間をｔとしたとき、

$$H = I_{GS}^2 \cdot R \cdot t$$

となる。すなわち、発熱量Ｈは、ゲート電流Ｉ$_{GS}$の２乗に比例して大きくなることがわかる。

[0055] そのため、半導体装置のオン動作が長時間継続されるような機器（遮断器等）に適用する場合は、第１半導体装置１０Ａを用いるよりも、ゲート電流密度が低い第２半導体装置１０Ｂや第３半導体装置１０Ｃを用いることが好ましく、第３半導体装置１０Ｃを用いることがより好ましいことがわかる。

[0056] なお、本発明に係る半導体装置は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

請求の範囲

[請求項1] 第１導電型の半導体領域（１２）と、

前記半導体領域（１２）の一方の表面に形成された第１導電型のソース領域（１４）と、

前記半導体領域（１２）の他方の表面に形成された第１導電型のドレイン領域（１６）と、

前記半導体領域（１２）のうち、前記ソース領域寄りの位置に形成された第２導電型の複数の埋め込みゲート領域（１８）とを有する半導体装置において、

各前記埋め込みゲート領域（１８）からそれぞれ前記ドレイン領域（１６）に向けて延在する第２導電型の複数の第１領域（３６ｐ）と、前記第１領域（３６ｐ）間に存する第１導電型の第２領域（３６ｎ）とで超接合構造（３８）が構成されていることを特徴とする半導体装置。

[請求項2] 請求項１記載の半導体装置において、

前記埋め込みゲート領域（１８）は、一方向に延在し、且つ、前記一方向と直交する他方向に配列していることを特徴とする半導体装置。

[請求項3] 請求項２記載の半導体装置において、

前記半導体領域（１２）のうち、隣接する前記埋め込みゲート領域（１８）間の領域がチャネル領域（３０）を構成し、

前記チャネル領域（３０）は、前記一方向に沿って延在し、且つ、前記他方向に沿って配列していることを特徴とする半導体装置。

[請求項4] 請求項３記載の半導体装置において、

前記ソース領域（１４）は、隣接する前記チャネル領域（３０）にわたって延在していることを特徴とする半導体装置。

[請求項5] 請求項３記載の半導体装置において、

前記ソース領域（１４）が分離され、

前記ソース領域（１４）は、前記チャネル領域（３０）上において、前記一方向に延在し、且つ、前記他方向に配列していることを特徴とする半導体装置。

[請求項6] 請求項５記載の半導体装置において、

さらに、前記ソース領域（１４）は、島状に分離され、

前記島状のソース領域（１４）は、前記一方向と前記他方向に配列されていることを特徴とする半導体装置。

[請求項7] 請求項３～６のいずれか１項に記載の半導体装置において、

前記半導体領域（１２）の厚み（Ｌａ）に対する前記チャネル領域（３０）の長さ（Ｌｃ）の比が８／１００以下であることを特徴とする半導体装置。

[請求項8] 請求項７記載の半導体装置において、

前記半導体領域（１２）の厚み（Ｌａ）に対する前記チャネル領域（３０）の長さ（Ｌｃ）の比が１／３００以上６／１００以下であることを特徴とする半導体装置。

[請求項9] 請求項１～８のいずれか１項に記載の半導体装置において、

前記第１領域（３６ｐ）の幅（Ｗｐ）と前記第２領域（３６ｎ）の幅（Ｗｎ）はほぼ同じであることを特徴とする半導体装置。

[請求項10] 請求項９記載の半導体装置において、

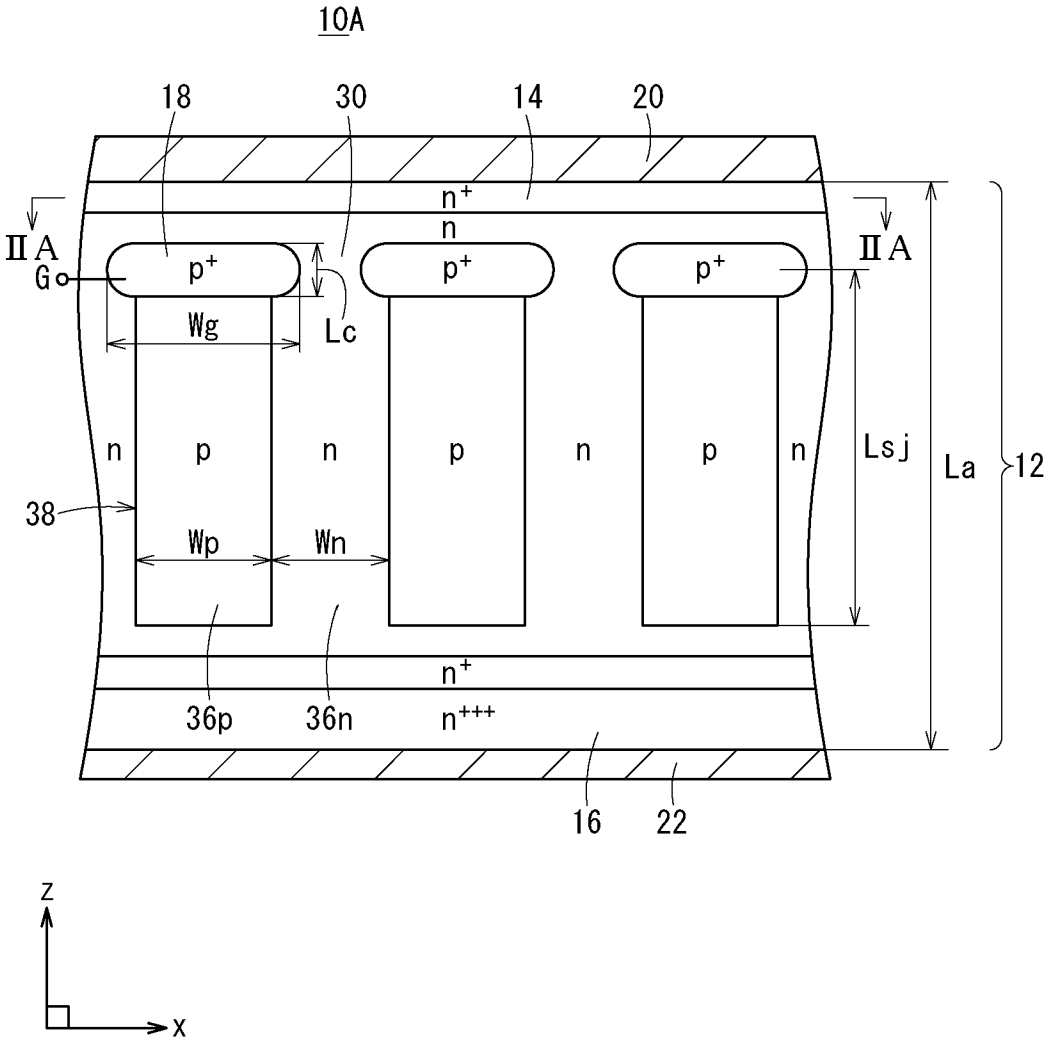
少なくとも前記第１領域（３６ｐ）の不純物濃度は、$１\times１０^{15}ｃｍ^{-3}$以上$１\times１０^{18}ｃｍ^{-3}$未満であることを特徴とする半導体装置。

[請求項11] 請求項１～１０のいずれか１項に記載の半導体装置において、

前記第１領域（３６ｐ）の不純物総量と前記第２領域（３６ｎ）の不純物総量はほぼ同じであることを特徴とする半導体装置。

[図1]

FIG. 1


10A
18
30
14
20
ⅡA
ⅡA
G
n^+
n
p^+
p^+
p^+
Wg
Lc
n
p
n
p
n
p
n
Lsj
La
12
38
Wp
Wn
n^+
n^{+++}
36p
36n
16
22
Z
X

[図2]

FIG. 2A

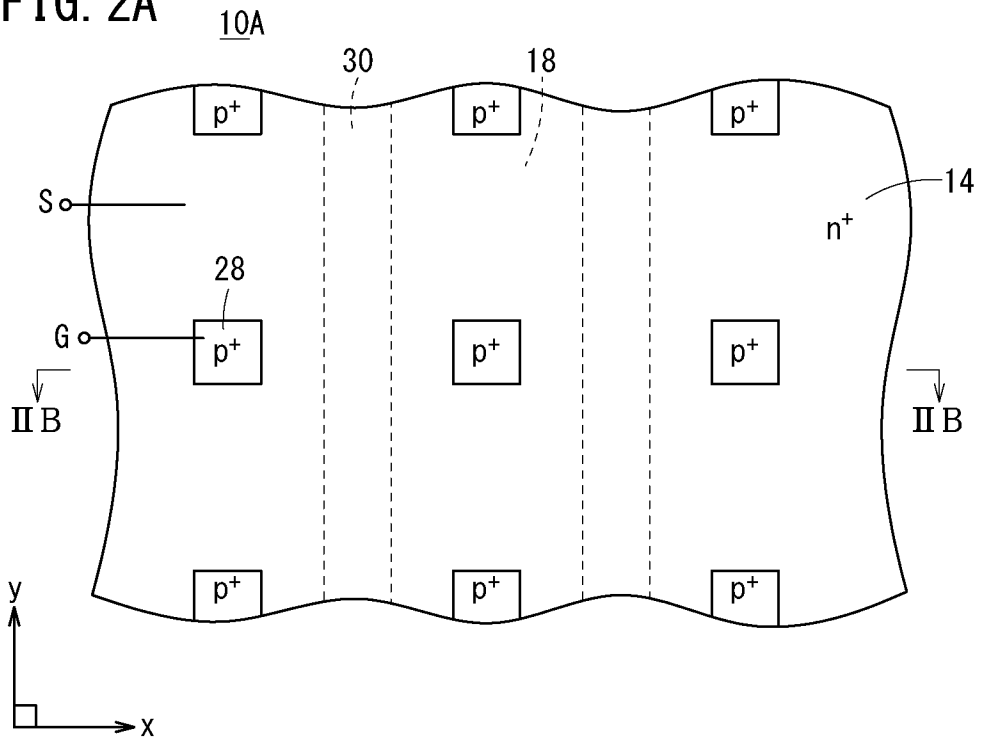
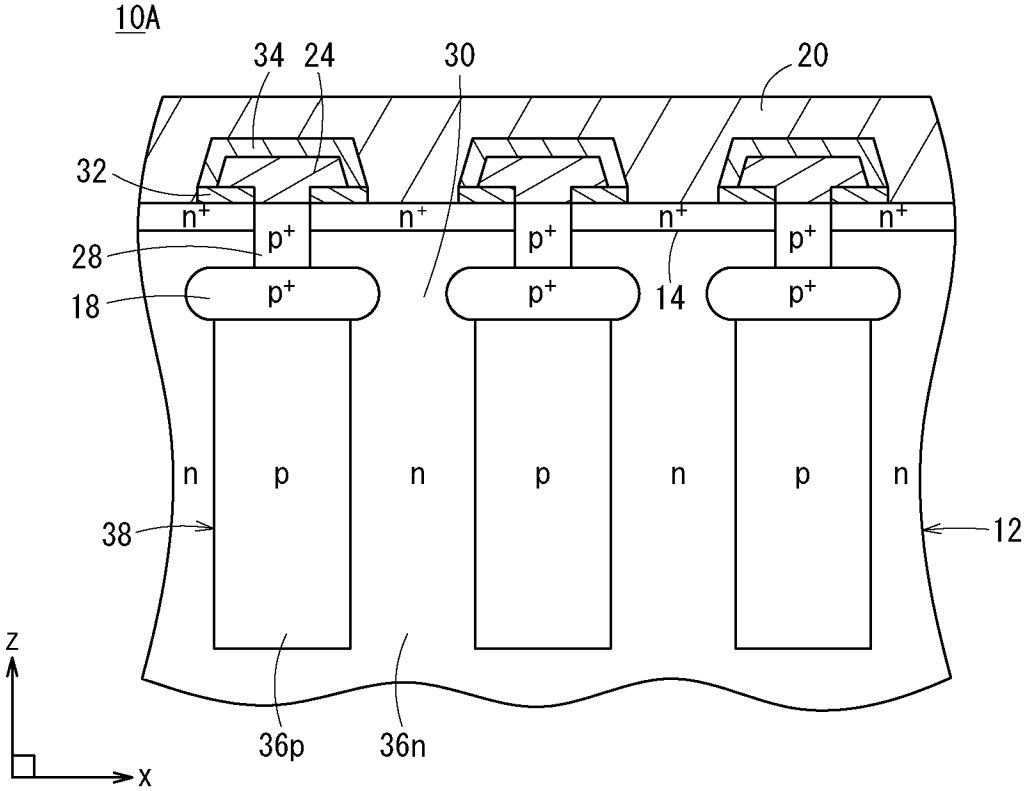


FIG. 2B



[図3]

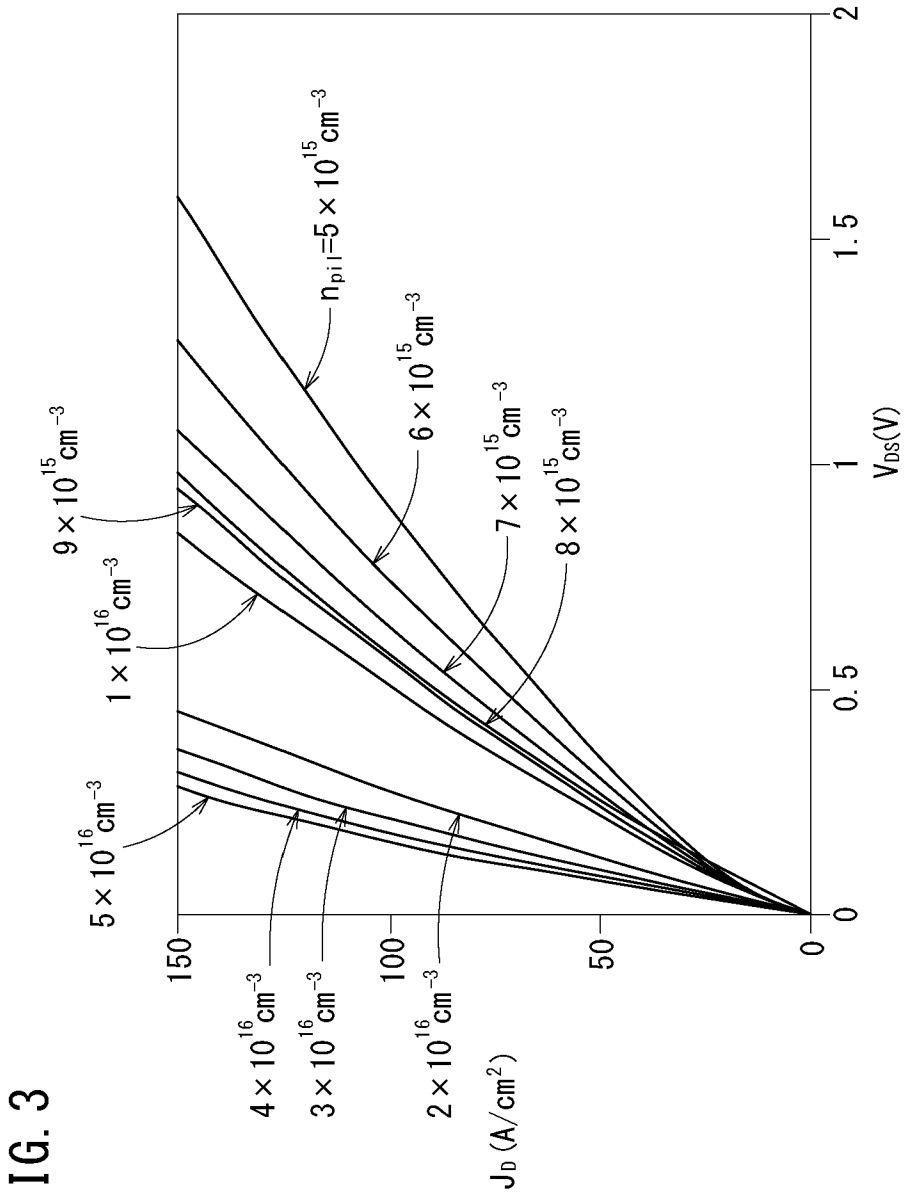

$n_{pil}=5\times10^{15}cm^{-3}$
$6\times10^{15}cm^{-3}$
$7\times10^{15}cm^{-3}$
$8\times10^{15}cm^{-3}$
$9\times10^{15}cm^{-3}$
$1\times10^{16}cm^{-3}$
$5\times10^{16}cm^{-3}$
$4\times10^{16}cm^{-3}$
$3\times10^{16}cm^{-3}$
$2\times10^{16}cm^{-3}$
150
100
50
0
0
0.5
1
1.5
2
J_D (A/cm^2)
V_{DS}(V)

FIG. 3

[図4]

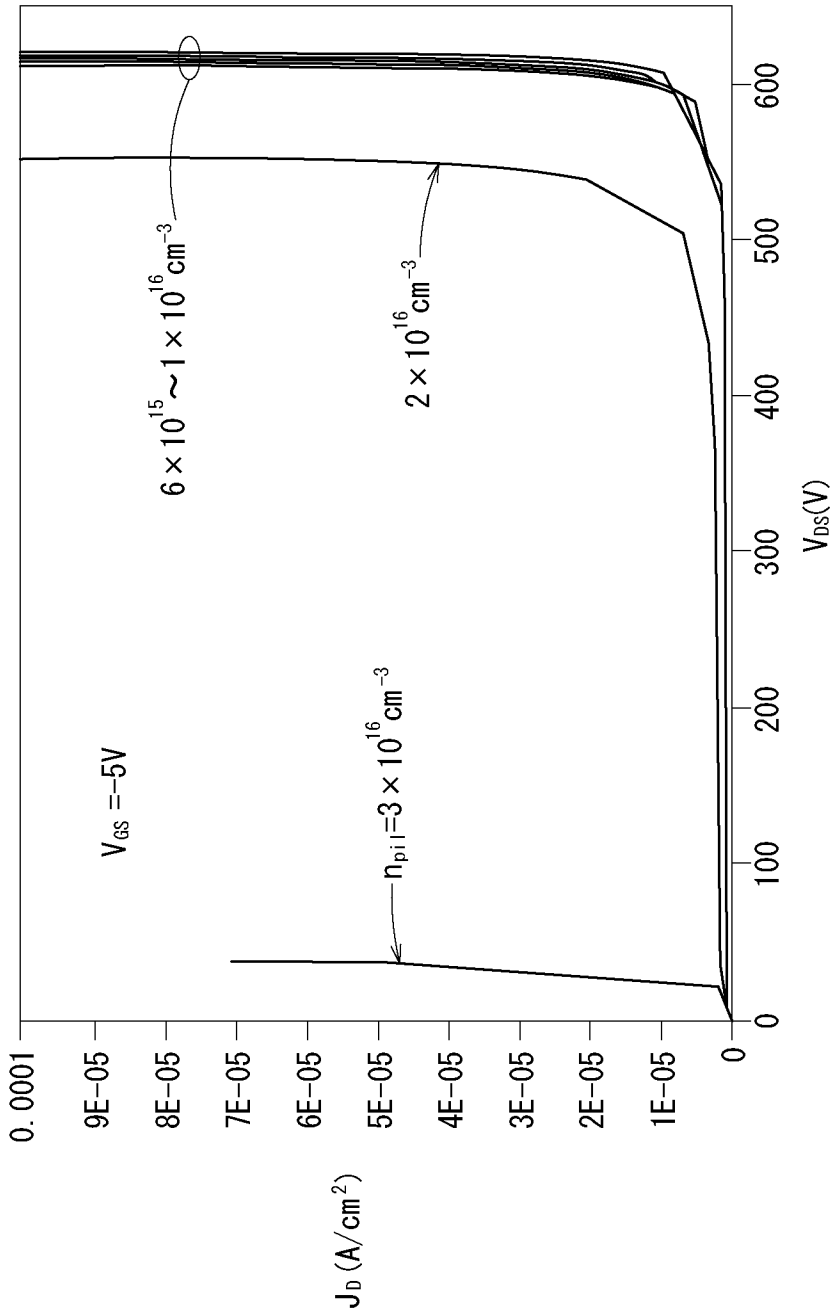

0.0001
9E-05
8E-05
7E-05
6E-05
5E-05
4E-05
3E-05
2E-05
1E-05
0
J_D (A/cm^2)
0
100
200
300
400
500
600
V_{DS}(V)
$6\times10^{15}\sim1\times10^{16}$cm^{-3}
2×10^{16}cm^{-3}
$n_{pil}=3\times10^{16}$cm^{-3}
V_{GS} =−5V

FIG. 4

[図5]

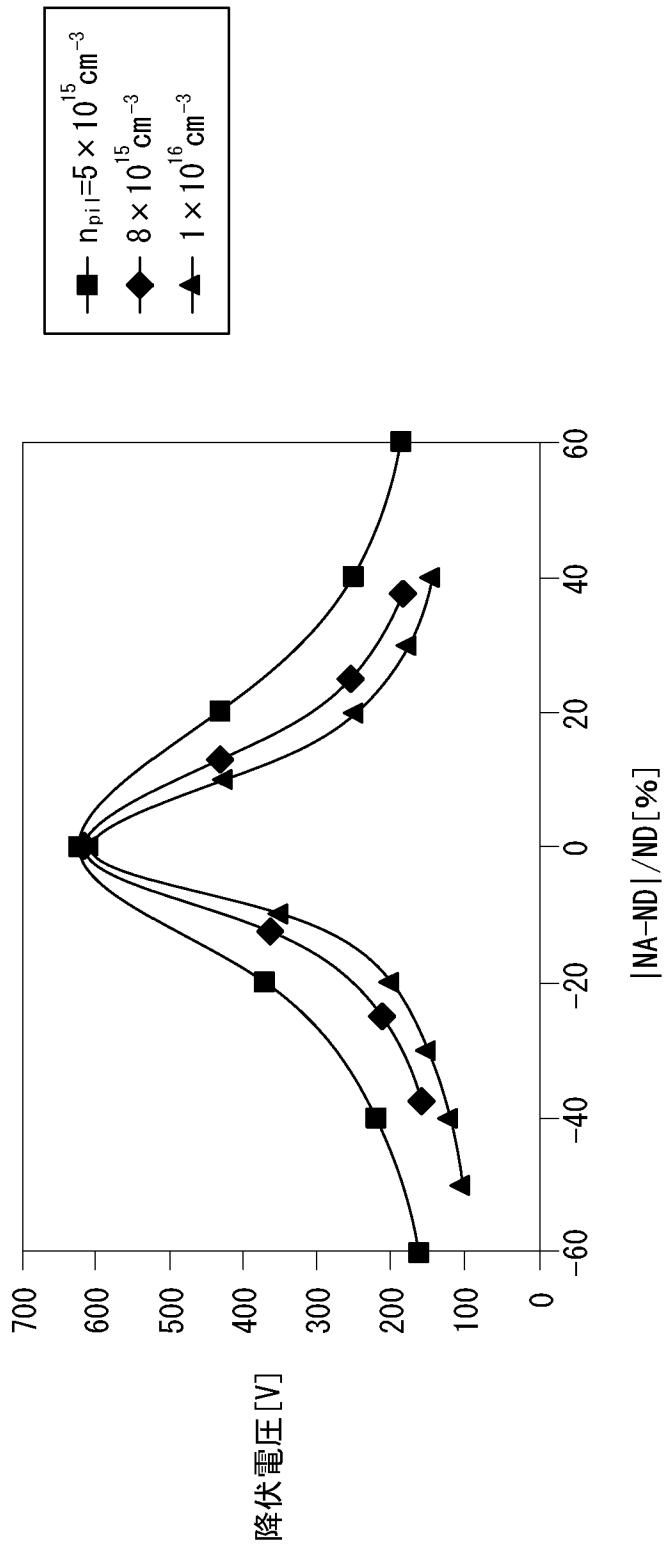
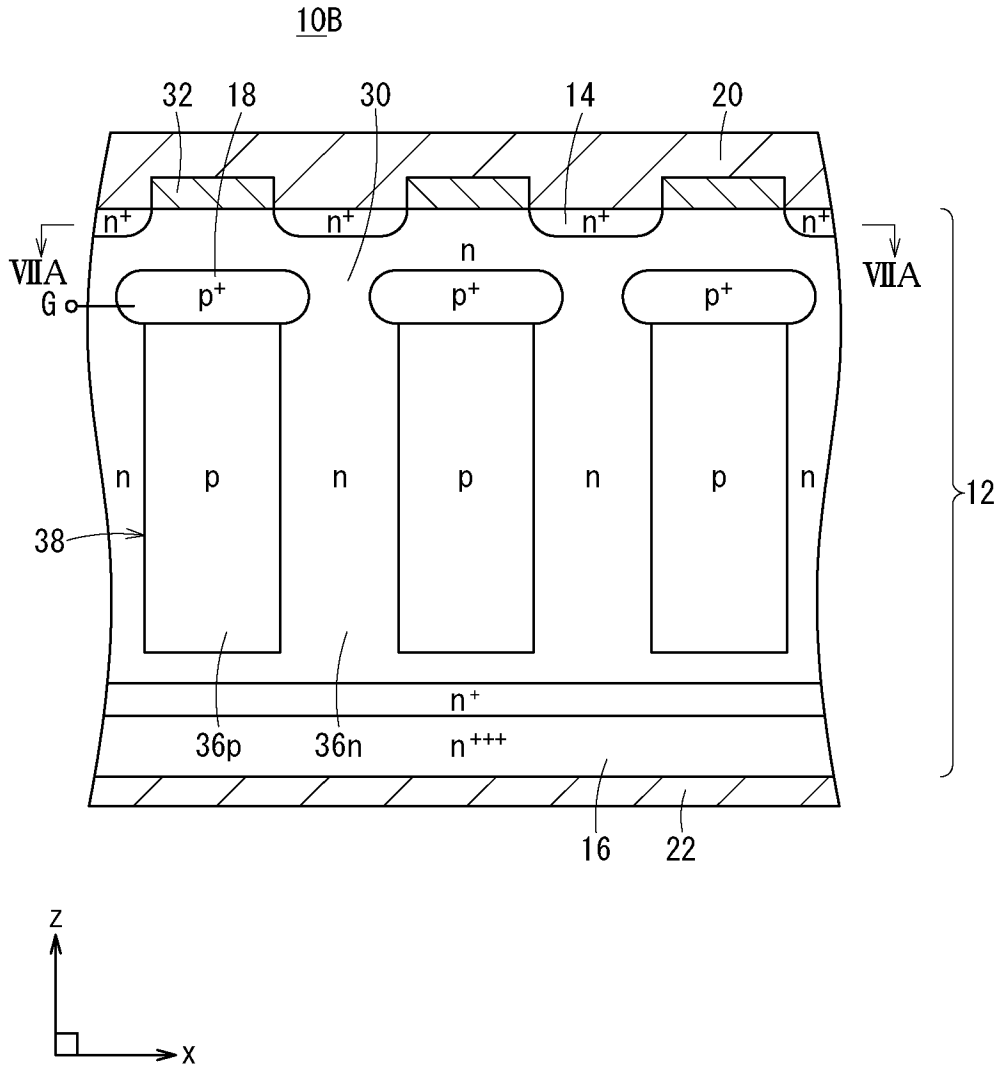

n_{pi}=5×10^{15}cm^{-3}
8×10^{15}cm^{-3}
1×10^{16}cm^{-3}
降伏電圧[V]
700
600
500
400
300
200
100
0
60
40
20
0
-20
-40
-60
|NA-ND|/ND[%]

FIG. 5

[図6]

FIG. 6


10B
32
18
30
14
20
n+
n+
n+
n+
VIIA
VIIA
G
p+
p+
p+
n
p
n
p
n
p
n
12
38
n+
36p
36n
n+++
16
22
Z
X

[図7]

FIG. 7A

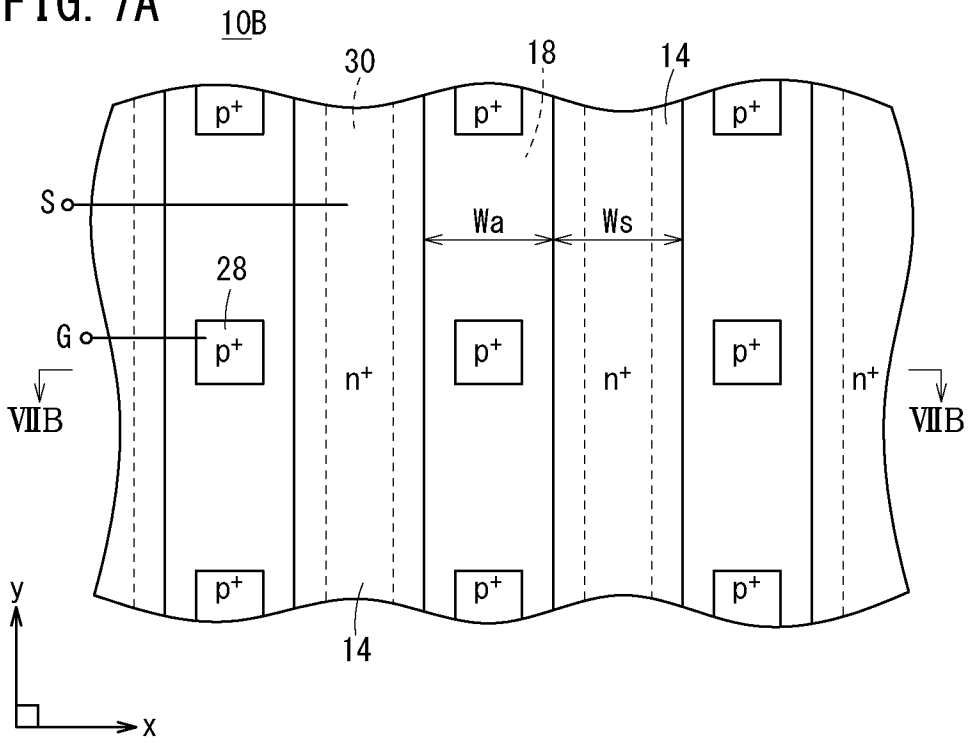
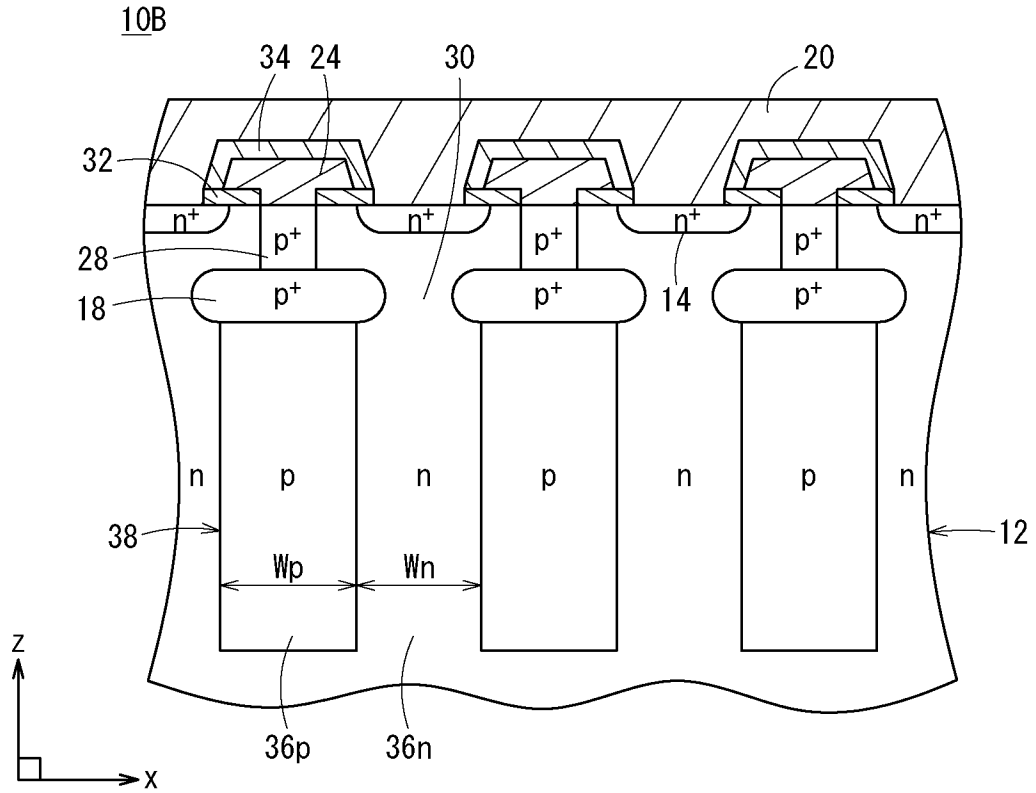
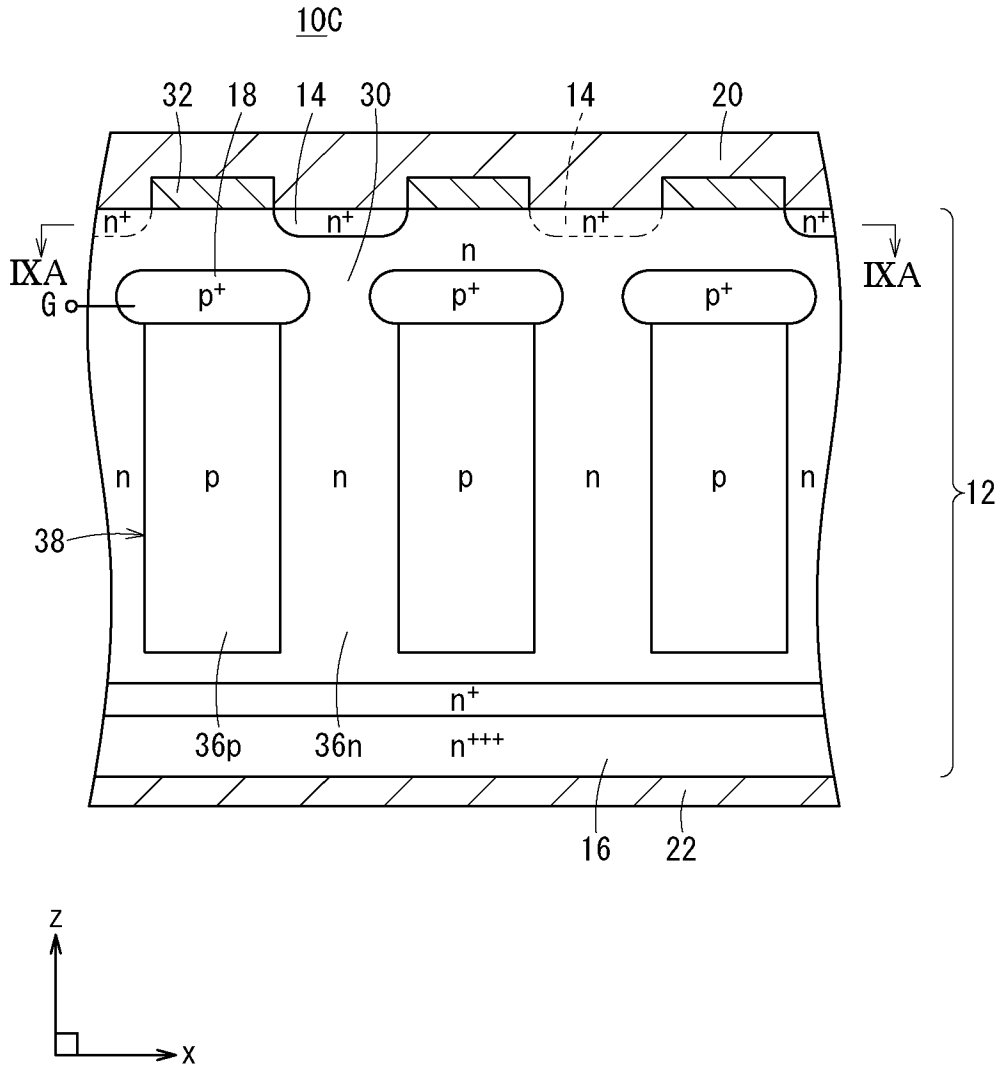


FIG. 7B



[図8]

FIG. 8


10C
32
18
14
30
14
20
n+
n+
n+
n+
IXA
IXA
G
p+
p+
p+
n
p
n
p
n
p
n
12
38
n+
36p
36n
n+++
16
22
z
x

[図9]

FIG. 9A

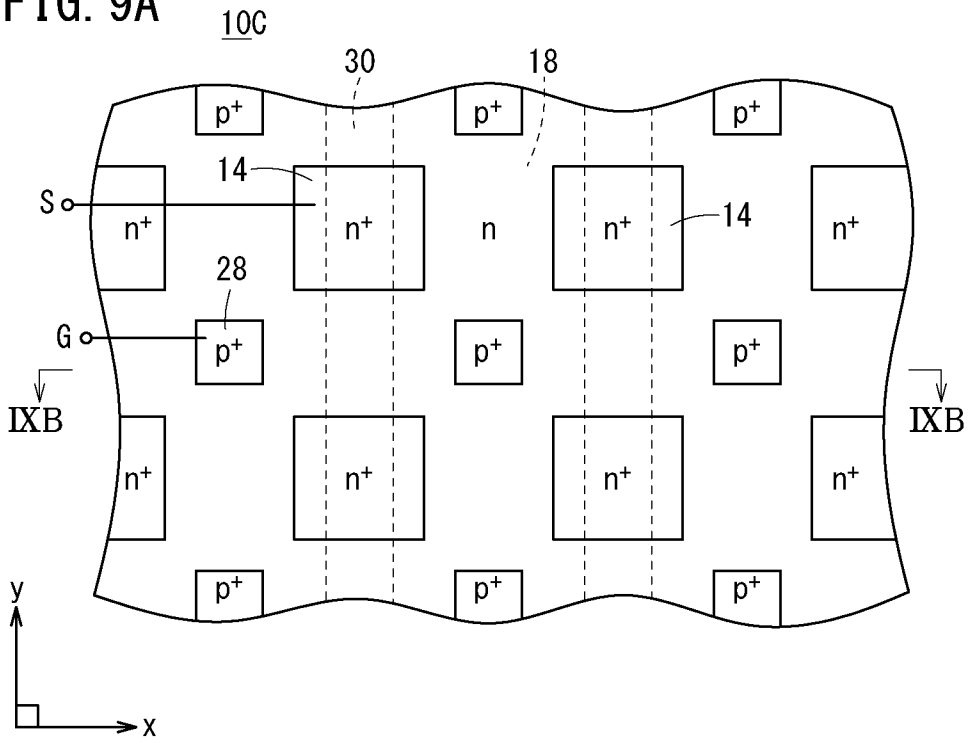
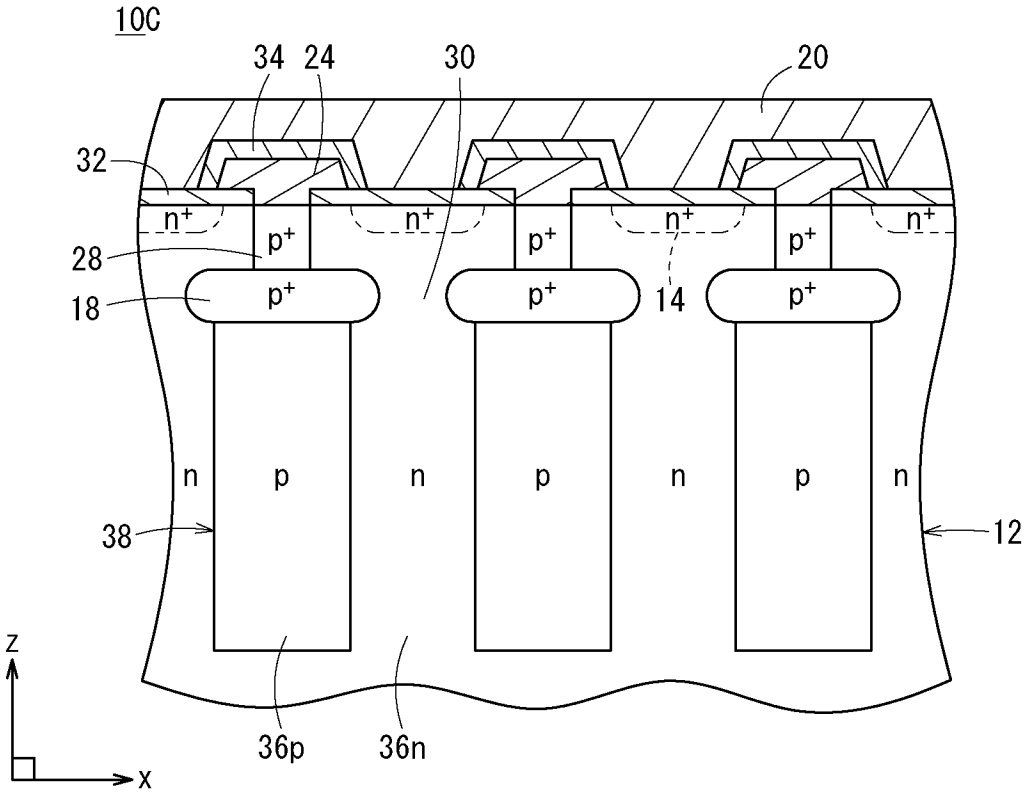
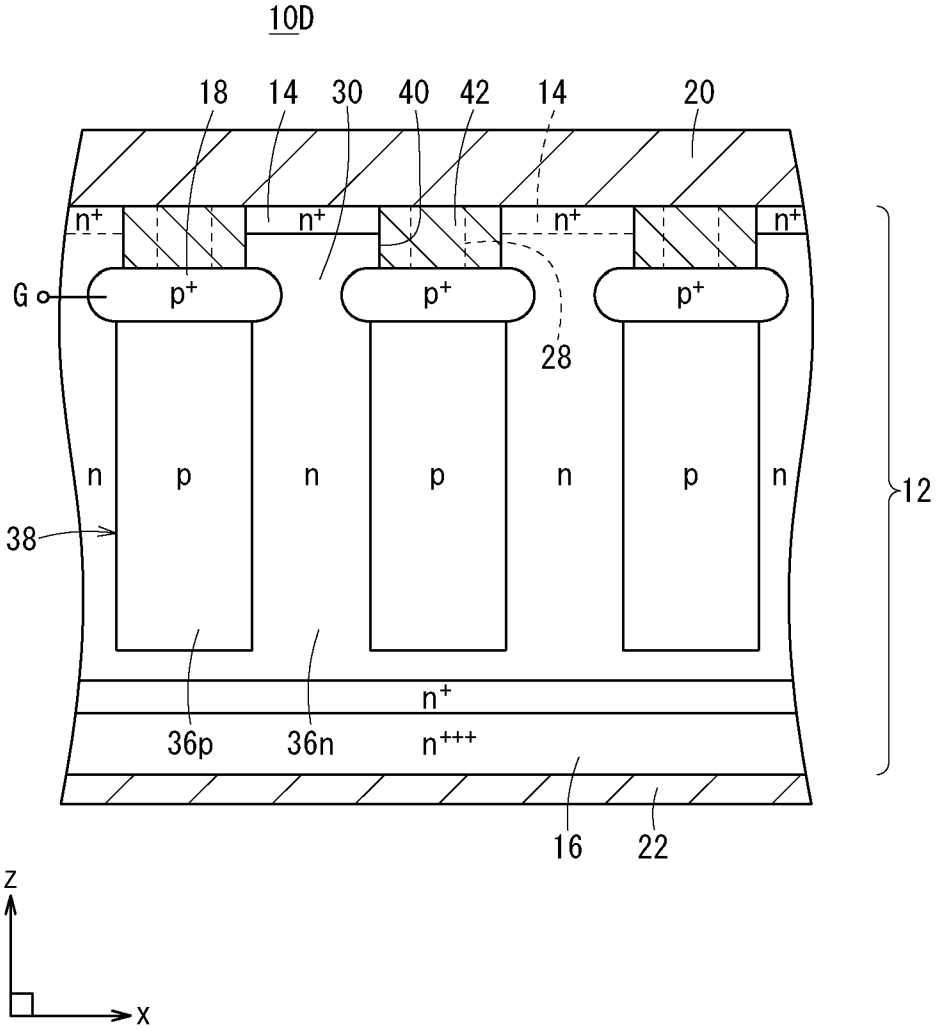


FIG. 9B



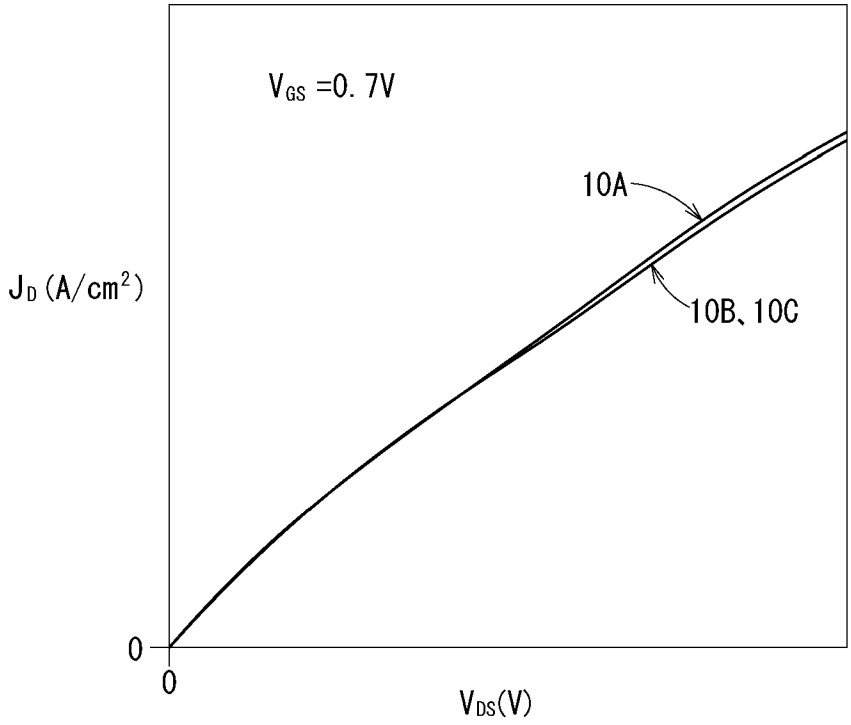
[図10]

FIG. 10


10D
18
14
30
40
42
14
20
n+
n+
n+
n+
G
p+
p+
p+
28
n
p
n
p
n
p
n
12
38
n+
36p
36n
n+++
16
22
z
x

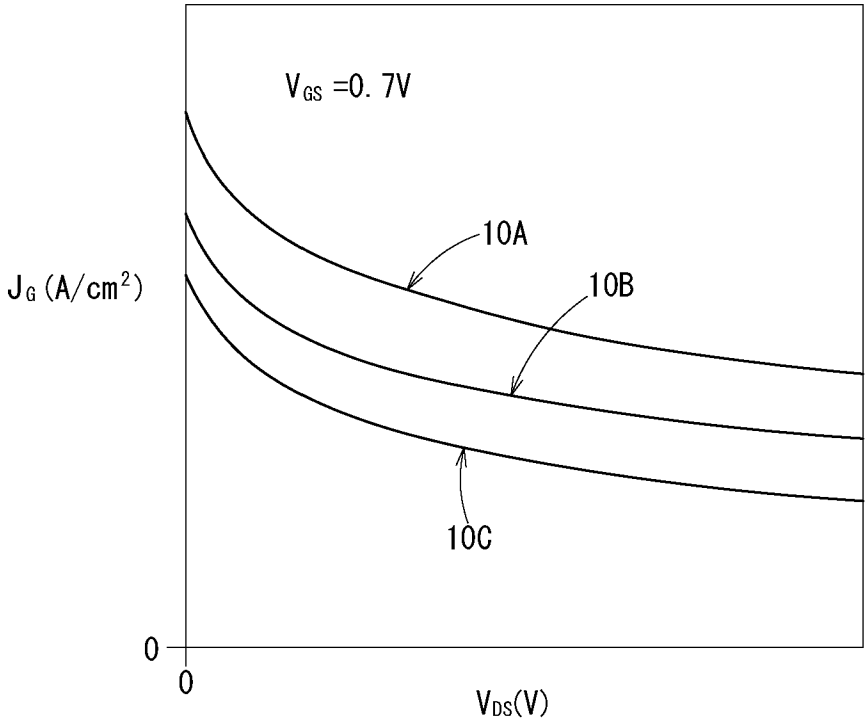
[図11]

FIG. 11



[図12]

FIG. 12



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/058677

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/337(2006.01)i, *H01L21/338*(2006.01)i, *H01L29/808*(2006.01)i, *H01L29/812*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/337, H01L21/338, H01L29/808, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-045218 A (Toshiba Discrete Technology Corp.), 25 February 2010 (25.02.2010), paragraphs [0014] to [0021]; fig. 3, 4 (Family: none)	1 2-11
Y	WO 2011/108768 A1 (National Institute of Advanced Industrial Science and Technology, University of Yamanashi), 09 September 2011 (09.09.2011), page 12, lines 9 to 17; fig. 1 (Family: none)	2-4,7-11
Y	JP 2005-005385 A (Toshiba Corp.), 06 January 2005 (06.01.2005), paragraphs [0027] to [0039]; fig. 1, 2 (Family: none)	5-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 June, 2014 (20.06.14)	08 July, 2014 (08.07.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/058677

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-196605 A (Hitachi, Ltd.), 19 July 2001 (19.07.2001), paragraph [0053]; fig. 8 (Family: none)	6-11
Y	JP 2012-204410 A (Toshiba Corp.), 22 October 2012 (22.10.2012), paragraphs [0008] to [0019] (Family: none)	11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０５８６７７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/337(2006.01)i, H01L21/338(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/337, H01L21/338, H01L29/808, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2010-045218 A (東芝ディスクリートテクノロジー株式会社) 2010.02.25, 0014段落ないし0021段落、図3及び図4 (ファミリーなし)	1 2-11
Y	WO 2011/108768 A1 (独立行政法人産業技術総合研究所、国立大学法人山梨大学) 2011.09.09, 第12頁第9行ないし第17行、図1 (ファミリーなし)	2-4,7-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０６．２０１４	０８．０７．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９３６１
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-005385 A (株式会社東芝) 2005.01.06, 0027 段落ないし 0039 段落、図 1 及び図 2 (ファミリーなし)	5-11
Y	JP 2001-196605 A (株式会社日立製作所) 2001.07.19, 0053 段落、図 8 (ファミリーなし)	6-11
Y	JP 2012-204410 A (株式会社東芝) 2012.10.22, 0008 段落ないし 0019 段落 (ファミリーなし)	11