(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 23/48

(45) 공고일자 1996년09월23일
(11) 공고번호 특1996-0012650
(24) 등록일자 1996년09월23일

(21) 출원번호 특1993-0006092
(22) 출원일자 1993년04월13일
(65) 공개번호 특1993-0022540
(43) 공개일자 1993년11월24일
(30) 우선권주장 92-094267 1992년04월14일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와겡 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 엔도 고이찌
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바 쪼 1 가부시끼가이샤 도시바 다마가와 워크스 내
(74) 대리인 이상희, 구영창, 주성민

심사관 : 양희용 (책자공보 제4643호)

(54) 수지 봉지형 반도체 장치

요약

요약 없음

대표도

도1

명세서

[발명의 명칭]

수지 봉지형 반도체 장치

[도면의 간단한 설명]

제 1 도는 본 발명의 실시예에 따른 수지 봉지형 반도체 장치를 도시한 사시도.

제 2 도는 제 1 도는 내부 구성을 도시한 것으로, 멀티칩 IC를 도시한 평명도.

제 3 도는 제 2 도에 도시한 멀티칩 IC에 있어서 절연성 지지 기판을 도시한 평면도.

제 4(a)도 및 제 4(b)도는 제 2 도에 도시한 멀티칩 IC에 있어서의 IC 칩을 도시한 평면도.

제 5 도는 제 2 도에 도시한 멀티칩 IC에 있어서 플렉시블 필름을 도시한 평면도.

제 6 도는 본 발명의 실시예에 따른 저항 등의 소자를 갖는 멀티칩 IC를 도시한 단면도.

제 7 도는 종래의 수지 봉지형 반도체 장치를 도시한 사시도.

제 8 도는 제 7 도의 내부 구성을 도시한 것으로, 종래의 멀티칩 IC를 도시한 평면도.

제 9 도는 종래의 IC 칩과 배선과의 TAB에 의한 접속을 도시한 단면도.

제10도는 제 7 도의 내부 구성을 도시한 것으로 다른 종래의 멀티칩 IC를 도시한 평면도.

제11도는 제 7 도의 내부 구성을 도시한 것으로 또 다른 종래의 멀티칩 IC를 도시한 평면도.

* 도면의 주요부분에 대한 부호의 설명

21 : 수지22 : 리드

23 : 절연성 지지 기판24 : 전원용 배선

25 : 장착 헤드26 : 본딩 패드

27 : IC 칩28 : 플렉시블 필름

29,29a,29b,29c,29d,29e : 소전류용 배선30 : 개구부

31 : 절개부32 : 위치 맞춤용 구멍

33 : 본딩 와이어34 : 회로 소자

[발명의 상세한 설명]

본 발명은 멀티칩 IC를 수지 봉지하는 수지 봉지형 반도체 장치에 관한 것이다.

제 7 도는 종래의 수지 봉지형 반도체 장치를 도시한 사시도이다. 도시하지 않은 멀티칩 IC는 수지(1)로 봉지되고 있고, 멀티칩 IC와 전기적으로 접속된 리드(2)는 상기 수지(1)에서 독출해 있다.

제 8 도는 제 7 도의 내부 구조를 도시한 것으로, 종래의 멀티칩 IC를 도시한 평면도이다. 플렉시블 필름(3) 상에는 금속 박막으로 이루어지는 배선(4)가 형성되어 있고, 배선(4) 상에는 땜납 또는 금으로 이루어지는 도시하지 않은 범프를 갖는 IC 칩(5)가 설치되어 있다.

제 9 도는 IC 칩과 배선과의 TAB(Tape Automated Bonding)에 의한 접속을 도시한 단면도이다. IC 칩(5)는 TAB, 즉 배선(4) 및 범프(6)을 압착함으로서 베선(4)와 전기적으로 접속되어 있고, 배선(4)는 제 7 도에 도시한 리드(2)와 전기적으로 접속되어 있다.

상기 TAB로 이용되는 배선(4)의 재료는 얇기 때문에 배선(4)의 전류 용량은 작다. 그러나, 멀티칩 IC는 비교적 대전류를 사용하기 때문에 전류 용량이 부족한 경우가 있다. 또한, IC 칩(5)는 펌프(6)에 의해 배선(4)와 접해 있을 뿐이므로 플렉시블 필름(3)에 대한 IC 칩(5)의 접촉 면적이 작아서 IC 칩(5)의 방열성이 나쁘다.

제10도는 다른 종래의 멀티칩 IC를 도시한 평면도이다. 배선 및 반도체 소자의 지지대로서 복수의 금속 프레임(7) 상에는 IC 칩(8)이 설치되어 있고, IC 칩(8)은 납땜 또는 접착함으로서 금속 프레임(7)에 고정되어 있다. 상기 IC 칩(8) 및 금속 프레임(7)은 플라스틱(PC)에 의해 덮혀 있다.

상기 금속 프레임(7)은 에칭 또는 금형에 의한 펀칭으로 가공된 금속, 예를 들면 구리로 형성된다. 금속 프레임(7)은 금속 와이어(9)를 본딩함으로서 IC 칩(8)과 전기적으로 접속되고, 금속 프레임(7)에 의해 IC 칩(8)끼리 또는 IC 칩(8)과 외부와의 배선이 이루어진다.

그런데, 상기 종래의 멀티칩 IC는 금속 프레임(7)을 설치해서 배선이 형성되어 있어서 배선이 차지하는 면적이 커진다. 또한, 침수가 많아지면 벼선이 복잡해진다. 따라서, 칩이 점유하는 면적보다 배선이 점유하는 면적이 켜져서 멀티칩 IC에서 1칩당 면적이 커진다. 즉, 면적 효율이 나빠진다.

제11도는 또 다른 종래예의 멀티칩 IC를 도시한 평면도이다. 지지기판(10)상에는 구리를 이용한 회로 배선(11), 칩 콘덴서, 칩 저항(12), 및 트리밍에 의한 미세 조절 가능한 인쇄 저항(13)이 형성됨과 동시에 IC 칩(14)가 장착되어 있다.

IC 칩(14)는 회로 기판(11)과 본딩 와이어(15)에 의해 전기적으로 접속되어 있고, 회로 배선(11)은 도시하지 않은 리드와 전기적으로 접속되어 있다.

상기 지지 기판(10)은 절연성 판 또는 표면이 절연 처리된 판으로 형성되고, 절연 처리에는 지지 기판에 절연성 시트를 붙이는 방법이나 절연성 도료를 칠하는 방법 등을 이용한다. 상기 회로 배선(11)은 지지 기판(10) 상에 금속판을 붙인 후 에칭하는 방법, 에칭을 형성한 프레임을 지지 기판(10)에 붙이는 방법 또는 페이스상의 도전성 수지를 인쇄 소성하는 방법으로 형성한다.

상기 종래의 멀티칩 IC는 지지 기판(10) 상에 두꺼운 회로 배선(11)이 설치되어서 멀티칩 IC에서 회로 배선(11)이 차지하는 면적이 커진다. 또 칩수가 많아지면 회로 배선(11)이 복잡해진다. 때문에 칩이 점유하는 면적보다 회로 배선(11)에 점유하는 면적이 커지고, 멀티칩 IC에 있어서 1칩당 면적이 커져서 면적효율이 나빠진다.

상기와 같이 종래의 수지 봉지형 반도체 장치는 기판상에 두꺼운 배선이 설치되어 있어서, 멀티칩 IC에서의 배선의 점유하는 면적이 커진다. 또한, TAB에 의해 접속된 배선인 경우, 배선의 전류 용량은 작고 기판과 IC 칩의 접촉 면적이 작아서 IC 칩의 방열성도 나쁘다.

본 발명은 상기와 같은 사정을 고려한 것으로, 그 목적은 침수가 많아도 배선이 차지하는 면적을 작게함으로서 소형으로 집적가능하고 동시에 IC 칩의 방열성도 좋고, 전류 용량이 큰 배선을 구비한 수지 봉지형 반도체 장치를 제공하는 것이다.

본 발명은 상기 과제를 해결하기 위해 제 1 배선을 갖는 절연성 기판, 상기 절연성 기판상에 실장된 복수의 반도체 집적 회로, 상기 반도체 집적 회로 상에 설치된 제 2 배선을 갖는 절연성 시트, 및 상기 절연성 시트에 설치되어 상기 제1, 제 2 배선 및 상기 반도체 집적 회로를 전기적으로 접속하기 위한 개구부를 구비하는 것을 특징으로 한다.

또한, 상기 제 1 배선은 전류 용량이 큰 것을 특징으로 한다.

또한, 상기 제 2 배선은 전류 용량이 작은 것을 특징으로 한다.

또한, 상기 절연성 시트는 플렉시블 필름으로 이루어지는 것을 특징으로 한다.

본 발명은 절연성 기판상에 전류 용량이 큰 제 1 배선을 형성함과 동시에 반도체 집적회로를 실장하고, 절연성 시트상에 전류 용량이 작은 제 1 배선을 형성한다. 따라서, 상기 반도체 집적회로 및 제 1 배선의 접촉을 고려하지 않고 제 1 배선이 가능하다. 따라서, 제 1 배선이 차지하는 면적을 작게할 수 있다. 또한, 상기 절연성 시트에 개구부를 설치함으로서 상기 절연성 기판 상에 형성된 제 1 배선 및 반도체 집적회로의 접촉부가 노출한다. 따라서, 노출한 제 1 배선과 반도체 집적회로의 접속부 및 반도체 집적회로의 접속부와 상기 절연성 시트상에 형성된 제 2 배선을 전기적으로 접속할 수 있다.

이하, 도면을 참조해서 본 발명의 한 실시예에 대하여 설명한다.

제 1 도는 본 발명의 실시예에 따른 수지 봉지형 반도체 장치를 도시한 사시도이다. 도시하지 않은 멀티칩 IC는 수지(21)는 봉지되어 있고, 멀티칩 IC와 전기적으로 접속된 리드(22)가 상기 수지(21)에서 돌출해있다.

제 2 도는 제 1 도의 내부 구성을 도시한 평면도이다. 반도체 장치는 제 3 도에 도시한 절연성 지지 기판

(23), 지지 기판(23)에 설치되는 제 4 도에 도시한 IC 칩(27), 및 IC 칩(27) 상에 설치되는 제 5 도에 도시한 플렉시블 필름(28)등으로 구성된다.

즉, 제 3 도에 도시한 절연성 지지 기판(23) 상에는 전원용 배선(24) 및 도시하지 않은 IC 칩을 장착하기 위한 장착 헤드(25)가 설치되어 있다. 장착 헤드(25)상에 제4(a)도 및 제 4(b)도에 도시한 본딩 패드(26)을 갖는 IC 칩(27)이 장착되어 있다. IC 칩(27)상에는 제 5 도에 도시한 플렉시블 필름(28)이 도시하지 않은 접착제 또는 페이스트 등으로 부착되고, 플렉시블 필름(28)상에는 복수의 소전류용 배선(29a-29a)가 형성되어 있다. 또한, 플렉시블 필름(28)에는 복수의 개구부(30), 절개부(31), 및 위치 맞춤용 구멍(32)가 설치되어 있다. 개구부(30) 및 절개부(31)은 상기 IC 칩(27)에 있어서 본딩 패드(26) 및 전원용 배선(24)의 접속부에 대응하는 위치에 설치되어 있다. 상기 위치 맞춤용 구멍(32)는 플렉시블 필름(28)의 양단에 복수로 설치되어 멀티칩 IC를 제조할 때 플렉시블 필름(28)과 IC 칩(27)과의 위치 맞춤용으로 이용된다.

상기 본딩 패드(26), 전원용 배선(24), 및 소전류용 전원(29a-29e)는 제 2 도에 도시한 바와같이 각각 본딩 와이어(33)에 의해 전기적으로 접속되어 있다.

즉, 지지 기판(23)의 장착 헤드(25)에 IC 칩(27)을 장착하고, 이들 IC(27)에 플렉시블 필름(28)을 부착하면 상기 개구부(30), 절개부(31)에서 본딩 패드(26) 및 전원용 배선(24)의 일부가 노출된다. 또한, 상기 전원용 배선(24)의 한끝(24a) 및 소전류용 배선(29a-29d)의 한끝은 각각 상기 리드(22)에 접속되어 있다.

한편, 상기 개구부(30)에서 노출된 전원용 배선(24)의 다른끝(24b)는 상기 개구부(30)에 의해 노출한 소정의 본딩 패드(26)과 접속되어 있다. 또 소전류용 배선(29a-29d)의 다른끝은 개구부(30)에서 노출한 소정의 본딩 패드(26)에 접속되어 있다. 또한, 소전류용 전원(29e)의 양끝은 소요의 본딩 패드(26)에 접속되어 있다.

제 6 도는 본 발명예에 따른 저항등의 소자를 갖는 멀티칩 IC를 도시하는 단면도이다. 절연성 지지 기판(23) 상에는 전원용 배선(24)가 형성되고, IC 칩(27) 및 저항, 콘덴서등의 회로 소자(34)가 도시하지 않은 땜납 또는 페이시트로 고정 되어 있다. 이들 IC 칩(27) 및 회로(34) 상에는 개구부(30)를 갖는 플렉시블 필름(28)이 부착되고, 플렉시블 필름(28)상에는 소전류용 배선(29)가 형성되어 있다.

상기 회로 소자(34)는 본딩 패드를 형성할 수 없기 때문에 회로 소자(34)와 전원용 배선(24)는 직접 전기적으로 접속되고, 전원용 배선(24)와 소전류용 배선(29)가 본딩 와이어(33)에 의해 전기적으로 접속되어 있다. 따라서, 소자(34)와 소전류용 배선(29)를 전기적으로 접속한다.

상기 실시예에 따르면, 절연성 지지 기판(23) 상에 전원용 배선(24)를 형성함과 동시에 IC 칩(27)을 실장하고, 플렉시블 필름(28)상에 소전류용 배선(29a-29e)를 형성한다. 때문에 상기 전원용 배선에는 소전류용 배선 보다 충분히 큰 전류 용량을 지닐 수 있다. 또한, 상기 IC 칩(27) 및 전원용 배선(24)와의 접속을 고려하지 않고 소전류용 배선(29a-29e)를 설치할 수 있어서 소전류용 배선(29a-29e)가 차지하는 면적을 작게 할 수 있다. 따라서, IC 칩(27)의 수가 많아도 IC 칩(27) 및 전원용 배선(24)만을 설치하기 위해 필요한 면적, 즉 절연성 지지기판(23)의 면적 정도로 소형화할 수 있다.

또한, 플렉시블 필름(28)에는 개구부(30 및 절개부(31)을 설치하고 있다.

때문에 상기 IC 칩(27)상에 플렉시블 필름(28)을 부착할때, 절연성 지지 기판(23)상에 형성된 전원용 배선(24)의 접속부 및 IC 칩(27)의 본딩 패드(26)이 개구부(30)에서 노출한다. 따라서, 노출한 전원용 배선(24)의 접속부와 본딩 패드(26) 및 본딩 패드(26)과 상기 플렉시블 필름(28)상에 형성된 소전류용 배선(29a-29e)를 전기적으로 접속할 수 있다.

또한, IC 칩 및 저항 등의 소자는 절연성 지지 기판(23) 상에 장착되어 있다. 따라서, 본 실시예의 멀티칩 IC는 TAB에 의해 배선과 접소시킨 멀티칩 IC 보다 기판에서의 소자의 접촉 면적이 크기 때문에 방열성이 우수하다.

상기 실시예에 있어서, 멀티칩 IC를 제조할 때 상기 소전류용 배선(29a-29e)의 접속부에 있어서의 본딩은 IC 칩(27)상에서 행해지기 때문에 본딩 작업중의 충격이 IC 칩(27)로 전달된다. 이 충격에서 IC 칩(27)을 보호하는 방법을 이하에 설명한다.

플렉시블 필름(28)을 고정하는 강력한 접차제 또는 페이스트를 이용한다.

또한, IC 칩(27)의 패시베이션(passivation)막으로 내충격성이 있는 것을 이용한다.

또한, 소전류용 배선(29a-29e)가 형성된 플렉시블 필름(28)에 내충격성이 있는 것을 이용한다.

또 소전류용 배선의 본딩부 아래에 IC 칩 등의 소자가 없는 경우는 절연성 지지 기판에 세라믹 판 등의 지지 재료를 장착시키고 그 지지 재료 위로 본딩을 행할 수도 있다.

또한, 본 발명의 반도체 장치는 상기 실시예로 한정되는 것은 아니고 IC 칩, 저항, 및 콘덴서 등의 회로 소자는 절연성 지지 기판 상에 장착되어 있으며 플렉시블 필름상에서도 종래의 실장 방법, 예를 들면 TAB에 의해 로직 콘트롤 IC 등의 소자를 설치 할 수도 있다.

또 본원 청구 범위의 각 구성 요건에 병기한 도면 참조 번호는 본원 발명의 이해를 용이하게 하기 위한 것이고, 본 발명의 기술적 범위를 도면에 도시한 실시예로 한정하는 것은 아니다.

이상 설명한 바와 같이 본 발명에 따르면 절연성 기판상에 전류 용량이 큰 제 1 배선을 형성함과 동시에 반도체 집적 회로를 실장하고, 절연성 시트상에 전류 용량이 작은 제 2 배선을 형성하고, 상기 절연성 시트에 개구부를 설치한다. 때문에 칩수가 많아도 배선이 차지하는 면적을 작게함으로서 소형으로 집적 가능함과 동시에 IC 칩의 방열성이 좋아서 전류 용량이 큰 배선을 구비할 수 있다.

(57) 청구의 범위

청구항 1

제 1 배선(24)를 갖는 절연성 기판(23), 상기 절연성 기판상에 실장된 복수의 반도체 집적 회로(27), 상기 반도체 집적 회로상에 부착한 제 2 배선(29a-29e)를 갖는 절연성 시트(28), 및 상기 절연성 시트에 설치되어 상기 제1, 제 2 배선 및 상기 반도체 집적 회로를 전기적으로 접속하기 위한 개구부(30)을 구비하는 것을 특징으로 하는 수지 봉지형 반도체 장치.

청구항 2

제 1 항에 있어서, 상기 제 1 배선은 전기 용량이 큰 것을 특징으로 하는 수지 봉지형 반도체 장치.

청구항 3

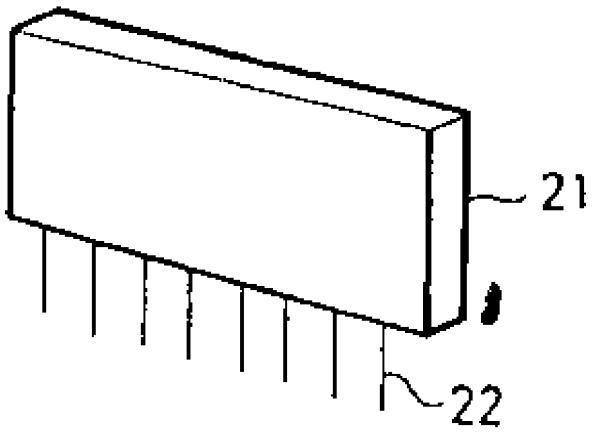
제 1 항에 있어서, 상기 제 2 배선은 전기 용량이 작은 것을 특징으로 하는 수지 봉지형 반도체 장치.

청구항 4

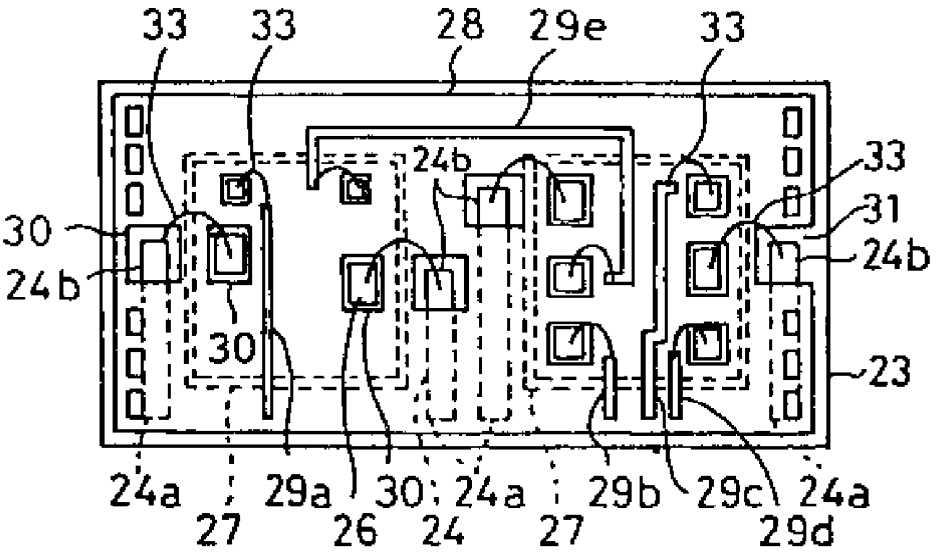
제 1 항에 있어서, 상기 절연성 시트는 플렉시블 필름으로 이루어지는 것을 특징으로 하는 수지 봉지형 반도체 장치.

도면

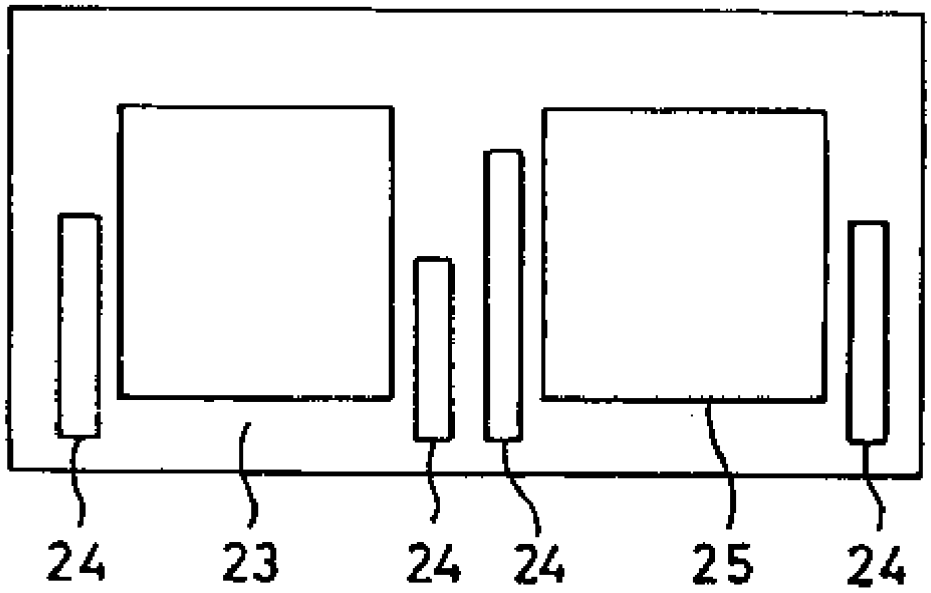
도면1



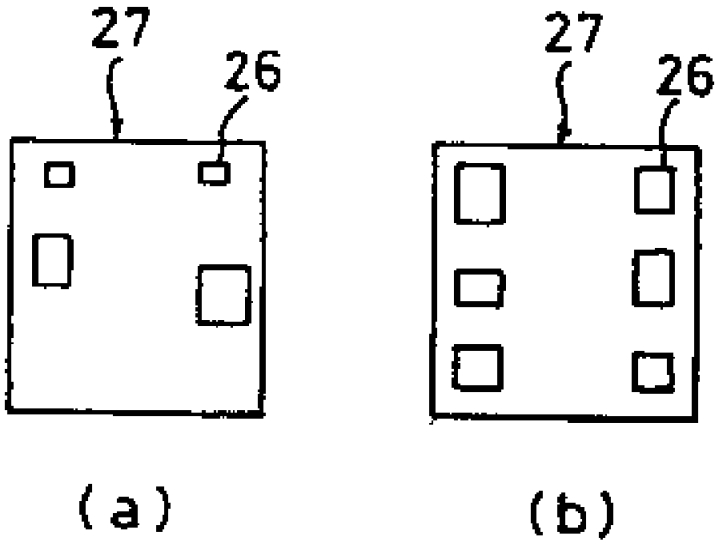
도면2



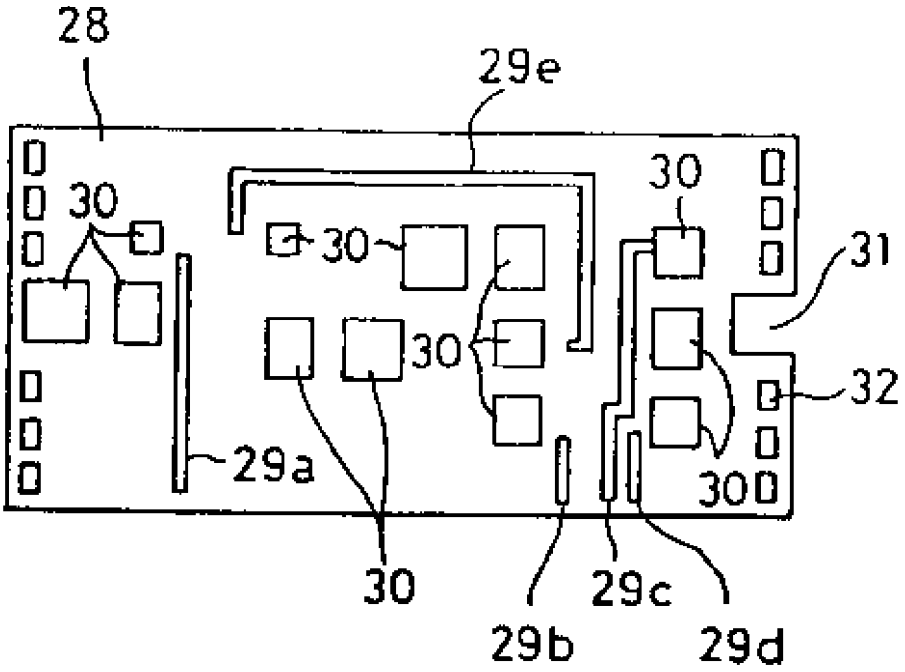
도면3



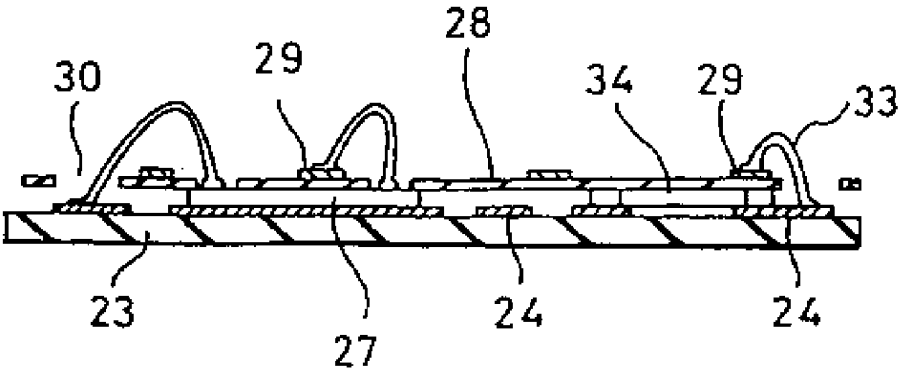
도면4



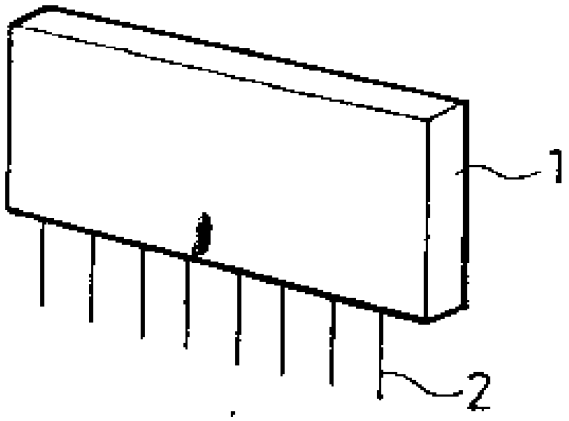
도면5


28
29e
30
30
30
30
31
32
30
29a
30
29b
29c
29d

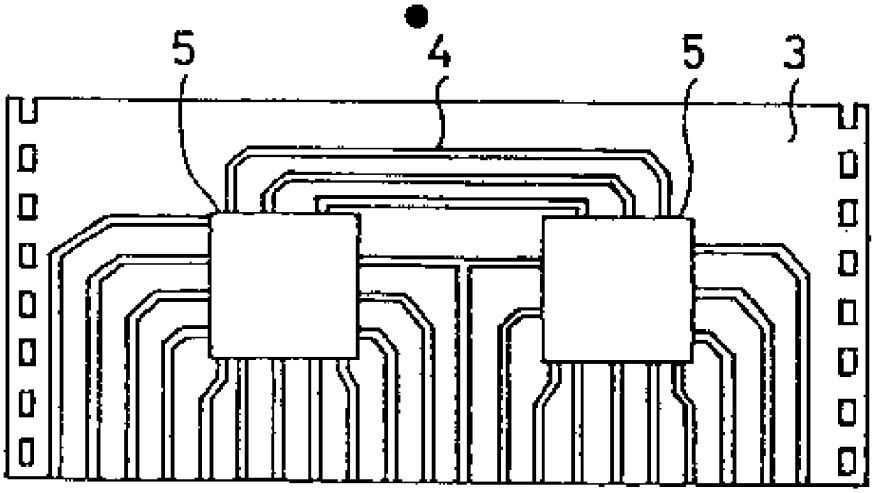
도면6


30
29
28
34
29
33
23
27
24
24

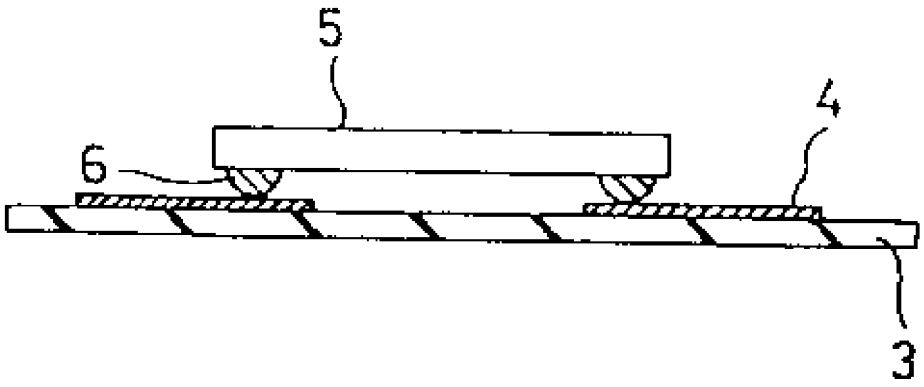
도면7



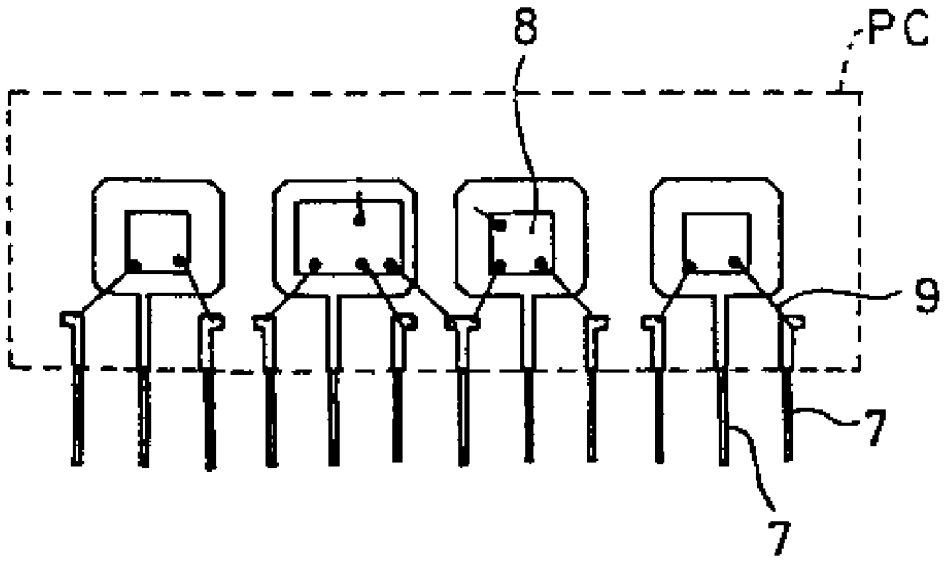
도면8



도면9



도면10



도면11

