(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월13일
(11) 등록번호 10-1918166
(24) 등록일자 2018년11월07일

(51) 국제특허분류(Int. Cl.)
H01L 21/302 (2006.01) *H01L 21/268* (2006.01)
H01L 21/78 (2006.01)
(21) 출원번호 10-2013-7005906
(22) 출원일자(국제) 2011년09월20일
심사청구일자 2016년07월25일
(85) 번역문제출일자 2013년03월07일
(65) 공개번호 10-2014-0019281
(43) 공개일자 2014년02월14일
(86) 국제출원번호 PCT/EP2011/065259
(87) 국제공개번호 WO 2012/031998
국제공개일자 2012년03월15일
(30) 우선권주장
1057211 2010년09월10일 프랑스(FR)
(56) 선행기술조사문헌
KR1020100085943 A*
WO2010052408 A1
US4456490 A
US4234356 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소이텍
프랑스, 에프-38190 베흔느, 슈망 데 프랑크, 빡떼끄놀로지끄 데 풍떼느
(72) 발명자
브뤼엘 미쉘
프랑스 에프-38113 뵈레-보루아즈 프레스베르 넘버 9
(74) 대리인
정홍식

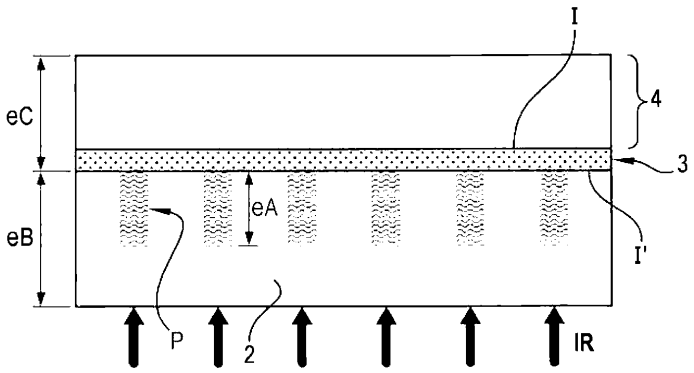
전체 청구항 수 : 총 14 항 심사관 : 계원호

(54) 발명의 명칭 **결정된 파장의 광속을 이용하여 기판을 처리하기 위한 프로세스 및 대응하는 기판**

(57) 요 약

본 발명은 결정된 파장의 광속(IR)에 의해 기판을 처리하기 위한 프로세스로서, 이 기판은 흡수성이 있는, 즉 온도와 무관하게 상기 광속을 흡수하는 임베디드 층(3)을 포함하고, 이러한 임베디드 층은 제1 층(2), 처리 층, 및 제2 층(4) 사이에 개재되어 있고, 제1 반도체층(2)은 주변 온도에서 낮은 상기 광속의 흡수 계수를 갖고 이러한 온도가 상승함에 따라 성장하고, 이 프로세스에 따라 상기 제1 층(2)은 상기 광속(IR)의 적어도 하나의 펄스에 의해 상기 임베디드 층(3)의 방향으로 조사된다. 상기 광속(IR)은 상기 임베디드 층(3)의 영역들을 가열하고, 이 제1 층(2)에서, 상기 임베디드 층(3)의 가열된 영역들과 대향하는, 서멀 프론트의 전파에 의해, 임베디드 층(3)을 통해, 상기 제2 층(4) 내에 제한들을 확장 및 발생시키는 서멀 필러들(P)을 형성하는 가열된 영역들을 발생시키기 위해, 상기 제1 층(2)의 표면의 수개의 장소들에 인가되는 점이 특히 주목할만 하다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

결정된 파장의 광속(IR)에 의해 기판(1)을 처리하기 위한 프로세스로서, 이 기판(1)은 흡수성이 있는, 즉 온도와 무관하게 상기 광속을 흡수하는 임베디드 층(3)을 포함하고, 이러한 임베디드 층은 제1 층(2), 처리 층, 및 제2 층(4) 사이에 개재되어 있고, 제1 반도체층(2)은 주변 온도에서 낮은 상기 광속의 흡수 계수를 갖고 이러한 온도가 상승함에 따라 성장하고, 이 프로세스에 따라 상기 제1 층(2)은 상기 광속(IR)의 적어도 하나의 펄스에 의해 상기 임베디드 층(3)의 방향으로 조사되는, 기판을 처리하기 위한 프로세스에 있어서,

상기 광속(IR)은 상기 임베디드 층(3)의 영역들을 가열하기 위함과 아울러, 이 제1 층(2)에서, 상기 임베디드 층(3)의 가열된 영역들과 대향하는, 서멀 프론트의 전파에 의해, 임베디드 층(3)을 통해, 상기 제2 층(4) 내에 제한들을 확장 및 발생시키는 서멀 필러들(P)을 형성하는 가열된 영역들을 발생시키기 위해, 상기 제1 층(2)의 표면의 수개의 장소들에 인가되고,

조사는 상기 제2 층(4)에서, 상기 임베디드 층(3)과의 그것의 인터페이스 근방에서, 초기 프랙처를, 적어도 이러한 영역을 깨지기 쉽게 하는 구조적 결함들의 발생을 개시시키기에 충분한 제한들을 생성하기 위해 행해지는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 2

제1항에 있어서,

상기 조사 이전에, 상기 기판(1)에는 초기 프랙처를 발생시키기 위해 그것의 웨이퍼의 화학적 또는 기계적 처리가 행해지는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 3

제2항에 있어서,

상기 처리는 상기 임베디드 층(3)과 상기 제2 층(4)의 상기 인터페이스(I)의 레벨에서, 상기 기판의 상기 웨이퍼의 인덴테이션에 의해 실행되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 4

제1항에 있어서,

상기 조사 이전에, 상기 기판(1)의 취화 처리가 상기 제1 층(2)에서 또는 상기 제2 층(4)에서, 상기 임베디드 층(3)과의 그것의 인터페이스(I) 근방에서, 또는 임베디드 층 자체에서 이용되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 5

제4항에 있어서,

상기 취화 처리는 다음의 기술들: 열처리들과 결합되거나 결합되지 않은 원자종들의 주입, 다공화, 재료가 상기 층(2, 4)의 나머지의 메쉬 파라미터와는 다른 메쉬 파라미터를 가지는 중간층의 생성으로부터 선택되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 6

제1항에 있어서,

상기 임베디드 층(3)은 연속 솔루션이 없는 연속층인 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 7

제1항에 있어서,

상기 임베디드 층(3)은 불연속층이고, 즉 이산 영역들(31)의 집합에 의해 구성되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 8

제1항에 있어서,

상기 임베디드 층(3)이 실리콘으로 만들어지는 도핑층인 기판(1)이 이용되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 9

제1항에 있어서,

상기 제2 층(4)의 두께는 상기 제1 층(2)의 두께보다 얇고, 이들의 두께비는 1/2과 1/100 사이에 있는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 10

제1항에 있어서,

상기 광속(IR)은 10.6 마이크로미터 정도의 파장을 가지는 적외선의 레이저 조사인 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 11

제9항에 있어서,

원통형 또는 테이퍼형의 적어도 하나의 조사 형태로 실현하는 플럭스(IR)가 이용되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 12

제9항에 있어서,

층상 조사 형태로 실현하는, 상기 제1 층(2)의 상기 표면을 따라 점진적으로 이동하는 플럭스(IR)가 이용되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 13

제1항에 있어서,

흡수성이 있는 것에 더하여, 상기 임베디드 층(3)은 다른 층들(2; 4)의 재료 또는 재료들의 열팽창 계수보다 큰 열팽창 계수를 가지는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 14

제1항에 있어서,

상기 제1 및 제2 층들(2, 4) 중 적어도 하나는 실리콘으로 만들어지는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스.

청구항 15

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 결정된 파장의 광속에 의해 기판을 처리하기 위한 프로세스 및 대응하는 기판에 관한 것이다.

배 경 기 술

[0002] 등록 상표 Smart Cut 하에서 잘 알려진 프로세스는, 도너 기판에 정해진 깊이로 취화 영역(embrittlement zone)을 생성하기 위해, 일반적으로 도너 기판에 원자 또는 이온종들의 도즈를 주입하고, 전사될 얇은 층의 한계를 정하고, 도너 기판을 지지 기판 위 또는 수용 기판 위에 부착하고 취화 영역의 레벨에서 도너 기판의 프랙쳐링(fracturing)을 도모하는 것으로 구성되는 널리 사용되는 전사 기술이다.

[0003] 이와 같은 프로세스는 일반적으로 만족스럽지만, 아직 그것은 전체 실행 비용에 대한 불가피한 영향들을 갖는, 원자종들의 높은 도즈를 필요로 한다.

[0004] 그러므로, 최종적으로 기판의 얇은 층들 또는 두꺼운 층들을 효율적으로, 깨끗하게 분리하는 피스(piece) 또는 기판을 처리하기 위한 다른 프로세스를 채용할 필요가 여전히 있고, 실행하기 쉬운 프로세스를 이용할 필요가 있다.

[0005] 또, 미셸 브루엘씨(Monsieur Michel BRUEL)에 의한 논문 "Laser heating of thick layers through the backwards, self-sustained propagation of a steep and steady state thermal front"(2009), 및 프랑스 특허 출원 제 07 57986 호는 가열될 적어도 하나의 층 및 서브-층을 포함하는 플레이트의 적어도 국부 가열 프로세스를 기술한다.

[0006] 이들 문헌들에서, 서브-층은 미리 정해진 파장의 광속에 대해 흡수성이 있는 특별한 특징을 가지며, 이러한 흡수는 온도 조건들과 무관하게 발생한다.

[0007] 또, 가열될 층은 주변 온도에서 낮고 이러한 온도가 상승함에 따라 증가하는 광속의 흡수 계수를 가진 보통 말하는 특별한 특징을 가진다.

[0008] 만약 가열될 이러한 층이 상기 광 조사에 의해 조사되면, 흡수성 서브층은 광 비임에 투명한 몇도까지 가열될 층을 통과시킴으로써 가열될 수 있다.

[0009] 이러한 방식에서, 가열된 층을 분리하는 인터페이스 및 서브-층은 가열되고 이후 그것에 인접한 층들을 가열하고, 이것은 또한 흡수성 층으로부터 가장 먼 층들이 점진적으로 점점더 흡수성이 있게 되도록 이들에 흡수성을 갖게 한다.

[0010] 이것은 신속하게, 매우 균일하게, 실질적으로 단열적으로 진행하는 "서멀 프론트(thermal front)"를 생성한다.

[0011] 그러므로, 이 기술은 단지 만약 단독 인터브닝 메커니즘(sole intervening mechanism)이 열 확산일 수 있는 경우에 그리고 특별히 긴 가열 기간의 끝무렵에 열 처리가 행해졌다면 부적절하게 가열될 수도 있는 상당한 깊이까지 기판의 국부화된 영역들을 신속하게 가열한다.

[0012] 본 출원인은 기판을 취화하기 위해 이와 같은 기판을 처리하는 데 이와 같은 기술의 사용하는 것이 가능했다는 것을 알았다.

[0013] 몇몇 환경들에서 이러한 취화는 관심층의 분리를 일으킬 수 있다.

발명의 내용

[0014] 이와 같은 층의 두께는, 관련 응용에 따른 비제한적 예에 의해, 전형적으로 0.5 - 50 마이크로미터 범위에 있을 수 있다.

[0015] 그러므로, 본 발명의 제1 양상은, 결정된 파장의 광속에 의해 기판을 처리하기 위한 프로세스로서, 이 기판은 흡수성이 있는, 즉 온도와 무관하게 상기 광속을 흡수하는 임베디드 층을 포함하고, 이러한 임베디드 층은 제1 층, 처리 층, 및 제2 층 사이에 개재되어 있고, 제1 반도체층은 주변 온도에서 낮은 상기 광속의 흡수 계수를 갖고 이러한 온도가 상승함에 따라 성장하고, 이 프로세스에 따라 상기 제1 층은 상기 광속의 적어도 하나의 펄스에 의해 상기 임베디드 층의 방향으로 조사되는, 기판을 처리하기 위한 프로세스에 있어서,

[0016] 상기 광속은 상기 임베디드 층의 영역들을 가열하기 위함과 아울러, 이 제1 층에서, 상기 임베디드 층의 가열된 영역들과 대향하는, 서멀 프론트의 전파에 의해, 임베디드 층을 통해, 상기 제2 층 내에 제한들을 확장 및 발생시키는 서멀 필러들을 형성하는 가열된 영역들을 발생시키기 위해, 상기 제1 층의 표면의 수개의 장소들에 인가되고,

[0017] 조사는 상기 제2 층에서, 상기 임베디드 층과의 그것의 인터페이스 근방에서, 초기 프랙쳐(incipient fractur

e)를, 적어도 이러한 영역을 깨지기 쉽게 하는 구조적 결함들의 발생을 개시시키기에 충분한 제한들을 생성하기 위해 이용되는 것을 특징으로 하는, 기판을 처리하기 위한 프로세스에 관한 것이다.

[0018] 다른 이점 및 비제한적인 특징들에 따르면:

[0019] 상기 조사 이전에, 상기 기판에는 초기 프랙쳐를 발생시키기 위해 그것의 웨이퍼의 화학적 및/또는 기계적 처리가 행해지고;

[0020] 상기 처리는 실질적으로 상기 임베디드 층과 상기 제2 층의 상기 인터페이스의 레벨에서, 상기 기판의 상기 웨이퍼의 인덴테이션(indentation)에 의해 실행되고;

[0021] 상기 조사 이전에, 상기 기판의 취화 처리가 상기 제1 층에서 또는 상기 제2 층에서, 상기 임베디드 층과의 그것의 인터페이스 근방에서, 또는 임베디드 층 자체에서 행해지고;

[0022] 상기 취화 처리는 다음의 기술들: 열처리들과 결합되거나 결합되지 않은 원자종들의 주입, 다공화, 상기 재료가 상기 층의 나머지의 메쉬 파라미터와는 다른 메쉬 파라미터를 가지는 중간층의 생성으로부터 선택되고;

[0023] 상기 임베디드 층은 연속 솔루션(continuity solution)이 없는 연속층이고;

[0024] 상기 임베디드 층은 불연속층이고, 즉 이산 영역들의 집합(assembly)에 의해 구성되고;

[0025] 상기 흡수성 임베디드 층이 예를 들어 실리콘으로 만들어지는 도핑층인 기판이 이용되고;

[0026] 상기 제2 층의 두께는 바람직하게는 상기 제1 층의 두께보다 얇고, 이들의 두께비는 1/2과 1/100 사이에 있고;

[0027] 상기 광속은 레이저 조사 예를 들어 바람직하게는 10.6 마이크로미터 정도의 파장을 가지는 적외선이고;

[0028] 원통형 또는 테이퍼형의 적어도 하나의 조사 형태로 실현하는 플럭스가 이용되고;

[0029] 층상 조사(lamellar irradiation) 형태로 실현하는, 상기 제1 층의 상기 표면을 따라 점진적으로 이동하는 플럭스가 이용되고;

[0030] 흡수성이 있는 것에 더하여, 상기 임베디드 층은 다른 층들의 재료 또는 재료들의 열팽창 계수보다 큰 열팽창 계수를 가지는 것이 또한 가능하고;

[0031] 상기 제1 및 제2 층들 중 적어도 하나는 실리콘으로 만들어진다.

[0032] 본 발명의 다른 양상은, 흡수성인, 즉 온도와 무관하게 결정된 파장의 광속을 흡수하고, 주변 온도에서 상기 광속의 흡수 계수를 가지며 온도가 상승함에 따라 성장하는 제1 층과 제2 층 사이에 개재된 임베디스 층을 포함하는 기판에 있어서, 상기 제2 층의 두께는 상기 제1 층의 두께보다 얇고, 이들의 두께비는 1/2과 1/100 사이에 있는 것을 특징으로 하는, 기판에 관한 것이다.

[0033] 본 발명의 다른 특징들 및 이점들은 몇몇 바람직한 실시예들의 다음의 상세한 설명으로부터 드러날 것이다.

[0034] 이 설명은 첨부 도면들을 참조하여 주어질 것이다.

도면의 간단한 설명

[0035] 도 1은 본 발명에 따른 처리 프로세스를 받기 적합한, 임베디드 층을 포함하는 기판의 개략 단면도이고;

도 2는 상기 프로세스의 실행을 설명하는, 선행 도면과 유사한 도면이고;

도 3은 도 2에 도시된 구조의 상세의 확대도이고;

도 4는 기판의 변형 실시예의 단면 및 단순화된 도면이고;

도 5 및 도 6은 본 발명의 프로세스의 2개의 상이한 실시예들의 단순화된 도면이고;

도 7은 이러한 프로세스의 다른 변형예의 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 도 1에 나타낸 기판은 본 발명의 프로세스에 따라 처리되기 적합하다.

[0037] 이 기판(1)은 제1 층(2)과 제2 층(4) 사이에 끼여있는 임베디드 층(3)을 포함한다.

[0038] 제1 층(2), 상기 "처리(treatment)" 층, 실리콘은 예를 들어, 주변 온도에서 낮고 이러한 온도가 상승함에 따라 증가하는 미리 정해진 파장의 광속(luminous flux)의 흡수 계수를 가지는 특별한 특징을 가진다.

[0039] 그러므로, 이러한 층이 예를 들어 대략 수 10^{15} 원자들/cm^3의 레벨로 가볍게 도핑된 실리콘을 포함할 때, 이때 이러한 재료는 원적외선(예를 들어 10.6 마이크로미터 정도의 파장)을 방출하는 레이저 형태의 방사선에 대한 투과성이 있다.

[0040] 위의 임베디드 층(3)은 예를 들어 층(2) 위에 에피택시된 층이다. 이러한 층은 상기 광속에 대해 상당히 흡수성이 있고 온도에 실질적으로 독립적인 특별한 특징을 가진다.

[0041] 이러한 층에 흡수성을 갖게 하는 하나의 방법은 - 그것이 반도체일 경우 - 예를 들어 그것을 다른 원자종들로 도핑하는 것이다.

[0042] 그러므로, 예를 들어 이러한 임베디드 층은 예를 들어 붕소, 인 또는 비소의 원자들에 의해, 1.10^{20} 원자들/cm^3 정도의 레벨로 도핑된 두께가 마이크로미터인 실리콘 층일 수 있다.

[0043] 제2 층(4)은 보통 말하는 예를 들어 실리콘으로 만들어진 전술한 것 위에 에피택시된 층이다.

[0044] 이 도면의 참조번호 5는 취화되는(embrittled) 특성을 가지는 임베디드 층(3)과의 인터페이스(I)에 매우 가까운 층(4)의 선택적 영역(optional zone)이다.

[0045] 이러한 국부화된 취화 처리(embrittlement treatment)는 잘 알려진 취화 처리 예컨대 열처리들과 결합되거나 결합되지 않은 원자종들의 주입 또는 이러한 영역(5)에서의 구멍들의 생성(다공화 처리)에 의해 그것의 후면(40)을 통해 층(4)에서 행해질 수 있다.

[0046] 처리의 다른 예는 재료가 층의 나머지의 파라미터와 다른 메쉬 파라미터를 가지는 중간층의 생성이다.

[0047] 그러므로, 층(4)은 다음과 같은 방식, 예를 들어: 게르마늄의 백분율이 20% 이상을 나타내고 20 ㎛의 실리콘의 다른 층이 예를 들어 에피택시에 의해 성장된 Si-Ge 온 실리콘의 2 ㎛ 두께의 에피택시된 층의 생성으로 생성될 수 있다.

[0048] 유리하게는, 제2 층(4)의 두께는 제1 층(2)의 두께보다 작고, 이들의 두께비는 본 발명의 대상을 형성하는 프로세스의 적용이 또한 층(2) 내부의 취화의 결과가 아닌 방식으로 바람직하게는 그리고 전형적으로 1/2와 1/100 사이에 있다. 층들(2, 4)의 대응하는 두께들은 도 2에 eB 및 eC로 표시되어 있다.

[0049] 도 2에 도시된 것과 같이, 본 발명에 따른 프로세스는 적어도 제1 예에서, 제1 층(2)에 대해 투과성이 있으면서, 이러한 광속이 임베디드 층(3)에 의해 흡수되도록 파장이 결정되는 광속에 의해 제1 층(2)을 조사하는 것으로 구성된다.

[0050] 기판이 실리콘에 기초하는 상기 경우에 있어서, 광속은 바람직하게는 적외선 필드의 레이저 조사이다.

[0051] 이것은 IR로 표시된, 도 2의 검은색 화살표들로 나타낸다.

[0052] 이러한 프로세스의 제1 단계에서, 적외선 조사는 전체 층(2)을 통과하고 국부적으로 가열하는 층(3)에 의해 흡수된다.

[0053] 이러한 가열은 층(3)과의 그것의 인터페이스(I')의 레벨에서 층(2)으로 확산하고, 그것의 영역들은 이들의 흡수 계수의 점진적 상승으로 인해 점점 더 적게 투명하게 된다.

[0054] 광속(IR)이 원통형 또는 테이퍼 형상의 방사선의 충돌들의 형상으로 실현되는 도 2의 실시예에 있어서, 참조번호 P로 나타낸 일련의 서멀 "필러들(pillars)"이 층(2) 내에서 발생된다.

[0055] 그러므로, 이들 "필러들"은 조사가 목표로 하는 층(3)의 영역들 반대쪽에 위치된, 층(2)의 영역들을 가열한다.

[0056] 후자는 조사광에 의한 에너지 출력 및 후자의 인가 동안의 함수인 높이(eA)를 가진다.

[0057] 본 출원인은 층(2)의 국부화된 온도의 상승으로 인해, 도 3에 도시된 것과 같은 이들 서멀 필러들은 임베디드 층(3)을 국부적으로 변형시키는 제한들(C), 특히 전단 제한들을 확대시키고 발생시키고, 인터페이스 근방의 제2 층(4)에 전달되는 사실을 개시했다.

[0058] 그러므로, 본 프로세스는 임베디드 층(3)과의 제2 층(4)의 인터페이스(I)의 부근에서, 제2 층(4)에서, 초기의

분열(초기 프랙처)을 개시시키는 데 충분한 제한들의 수준으로 조사를 이용하는 것으로 구성된다. 그럼에도 불구하고, 프로세스는 국부적으로 취약하게 하는, 층(4)에서의 구조적 결함들을 발생시킨다.

[0059] 다음의 간단한 규칙들은 제한 수위에 관한 조건들을 얻기 위해 사용될 파라미터들의 값들을 결정하기 위해 적용된다:

[0060] 각각의 서멀 필러의 온도 및 그것의 높이는 자유 공간에서 수직 방향에서(즉, 수직으로), 이러한 서멀 필러(마치 구조에서 발견되지 않은 것처럼, 별개로 취해진)의 이론적 확장이 적어도 그 직경의 4/1000와 같을 수 있도록 선택된다.

[0061] 예를 들어, 직경 50 ㎛의 원통형으로 실현하는 레이저 플럭스로, 실질적으로 50 ㎛와 같은 직경의 서멀 필러들이 생산된다. 각각의 필러의 온도는 1273° K의 온도, 또는 주변 온도와 1000° K의 델타 T에 이른다. 이 온도에서의 열팽창 계수는 2.5*E-6이다.

[0062] 위에 기재된 기준을 만족시키기 위해 만들어질 필러의 높이(eA)는 계산된다:

[0063] $eA*2,\ 5*10^{-6}*1000 = (4/1000)*50,$

[0064] 또는 eA = 80 ㎛

[0065] 물론, 최적 파라미터들은 상업적으로 이용 가능한 시뮬레이션 소프트웨어를 이용하여 선택적으로 선택될 수 있다.

[0066] 만약 초기 프랙처 및/또는 층(4)의 기판의 취화가 영역(5)에서 행해지면, 이러한 초기 프랙처(incipient fracture)는 모두 앞에서 나타낸 것과 같이, 사용하기 더 용이하다.

[0067] 초기 프랙처는 예를 들어 웨이퍼에 인덴테이션을 형성하기 위해, 기판에 그것의 웨이퍼의 사전 화학적 및/또는 기계적 처리를 행하는 것으로 구성된다.

[0068] 이러한 경우에, 그것은 인덴테이션에 고유한 초기 플렉처를 전파하기 위해 제1 예에서 인덴테이션 근방에서, 이후 더욱더 가까이에서 조사를 이용하는 것이 바람직할 것이다.

[0069] 또, 두께(eC)가 eB에 비해 매우 얇으면, 초기 프랙처를 변형 및 발생시키기 위한 층(4)의 용량(capacity)은 상당한 데, 이러한 초기 확산은 기판의 나머지로부터 층(4)의 플랙션을 분리하기 위해 더 가까워지고, 부가된 기계적 제한이 만들어질 것이다.

[0070] 도 4와 관련하여, 이것이 앞의 것과 동일한 유형이지만 연속적이지 않은 흡수층(3)을 갖는 구조(1)를 다룬다.

[0071] 흡수성 재료의 너무 많은 "블록들(blocks)"을 형성하는, 군집(multitude), 즉 이산 영역(31)의 앙상블(ensemble)을 구성하도록, 그에 비해 연속적 해결방법을 제공한다.

[0072] 이와 같은 "층(layer)"은 예를 들어 구조의 전면 위에 에피택시에 의해 만들어지고, 이후 마스크를 통해 국부적으로 에칭된다. 마스크가 제거된 후, 이후 제2 층(4)이 차례차례로 에피택시된다.

[0073] 하나의 대안은 예를 들어 마스크를 통해 10^{16} 원자들/cm^2 정도의 도즈(dose)에 따라, 예를 들어 비소의 주입이 진행되고, 이후 3시간 동안 1050℃에서 어닐링된다.

[0074] 그러므로, 도 5 및 도 6에 도시된 것과 같이, 층들(2, 4) 중 하나가 주변 온도에서 낮은 광 흡수 계수를 가지며 온도가 상승함에 따라 성장하면, 구조는 아래로부터 또는 위로부터 조사될 수 있다.

[0075] 도 8의 방식에 따르면, 층(3)은 흡수성 이외에, 주변 재료, 즉 층들(2, 4)의 재료의 것보다 큰 열팽창 계수를 가진다. 이것은 구조 내에 초기 프랙처를 형성하기 위한 용량을 올린다.

[0076] 본 발명에 따른 프로세스의 몇몇 실시예들이 이하에 기술된다.

[0077] 예 1

[0078] (10^{20} 원자들/cm^3)의 붕소 농도로 붕소의 원자들에 의해 강하게 도핑된 실리콘의 2.5 마이크로미터의 층이 CVD 유형의 에피택시 기술을 통해, 타입 n(10^{15} 원자들/cm^3)으로 가볍게 도핑된, 약 200 마이크로미터의 두께를 가지는 실리콘 기판 위에 형성된다.

[0079] 20 마이크로미터 두께의 타입 n(수 10^{15} 원자들/cm^3)의 가볍게 도핑된 실리콘의 층이 CVD 유형의 에피택시에 의해 이러한 층 위에 형성된다.

[0080] 이후 얻어진 구조는 바람직하게는 실리콘으로 도핑된 p를 공격하기 위해 전문가에게 잘 알려진, 에틸렌-디아민 피로카테콜(ethylene-diamine pyrocatechol)의 수용액에 수분 동안 침지된다. 따라서, 도핑된 층 p은 주변에서 화학적으로 공격받는다.

[0081] 높이가 약 2.5 마이크로미터이고 깊이가 10 마이크로미터인 인덴테이션이 기판(웨이퍼)의 주변부 상에 만들어지고, 따라서, 실질적으로 도핑된 층의 레벨 또는 근방에서 프랙쳐의 전파를 위한 시작점으로서 기능할 수 있는 시작(initiation)을 생성한다.

[0082] 이후 레이저 플럭스 CO_2가 20 J/cm^2의 에너지 및 지속기간 600 나노초의 펄스들의 50 미크론 직경의 원통형 플럭스 형태로 이러한 구조에 가해진다.

[0083] 실질적으로 50 마이크로미터의 단면이고 대략 60 마이크로미터 높이 위의 도핑된 층 p로부터 연장하는 서멀 필러가 각각의 펄스에서 생성된다. 필러의 전체 높이에 걸쳐 실질적으로 균일하게 도달한 온도는 약 1400℃이다.

[0084] 바람직하게는, 그리고 상기 예와는 관계 없이, 제1 서멀 필러는 인덴테이션에 고유한 초기 프랙쳐를 전파하도록, 인덴테이션 근방(백 마이크로미터보다 작거나 같은 거리)에 만들어진다.

[0085] 이후 기판의 전체 표면에는 서멀 필러들이 생성된다. 각각의 새로운 서멀 필러는 이전 필러가 생성된 지점과 충분히 가까운 거리(예를 들어 100 마이크론보다 작은)에 세워지고, 그래서 프랙쳐는 더욱더 가깝게 전파될 수 있다. 이러한 필러들(C)의 생성은 레이저 비임 연속해서 방출되고 레이저 플럭스가 각각의 지점에서 만지 600 나노초를 대기하는 속도로 이동되는 점에서 연속해서 행해질 수 있다.

[0086] 예 2

[0087] 10^{20} 원자들/cm^3의 농도로, 붕소에 의해 강하게 도핑된 p의 If 의 2.5 마이크로미터의 층이 CVD 유형의 에피택시에 의해 약 200 마이크로미터의 두께로 If의 기판 위에 형성된다.

[0088] 2 마이크로미터 두께의 실리콘-게르마늄의 층은 이러한 층이 만들어지는 동안 에피택시 머신에서의 기상 플럭스의 동적 조절로 인해, 게르마늄 농도는 층의 베이스에서의 5%로부터 층의 두께 중간에서 25%에 도달하고 다시 층의 상부에서 약 5%로 감소하여 간다. 20 마이크로미터 두께의 타입 n의 가볍게 도핑된 층(수 10^{15} 원자들/cm^3)이 에피택시에 의해 Si-Ge의 이러한 층 위에 만들어진다.

[0089] 이후 이러한 구조는 앞에서 기술한 것과 유사하게 처리된다.

[0090] 흡수성 임베디드 층은 반드시 도핑된 실리콘으로 만들어지는 층일 필요는 없다. 그것은 광량자(photon)(광속의 성분)의 에너지보다 작은 밴드갭을 가지는 임의의 반도체층을 포함할 수 있다. 그것은 또한 간단히 산화물의 층일 수 있다.

[0091] 예 3

[0092] 이러한 경우에, 제1 층은 약 20 마이크로미터 두께의 "고유(intrinsic)" Si(즉, 도핑 없이)로 만들어지고, 그 위에는 고유 게르마늄(도핑되지 않음)의 10 마이크로미터의 흡수성 층 및 50 마이크로미터의 SiGe(0.8/0.2)의 층(제2 층)이 연속해서 형성된다. 광속은 1.08 마이크로미터와 동일한 파장의 레이저에 의해 발생된다.

[0093] 예 4

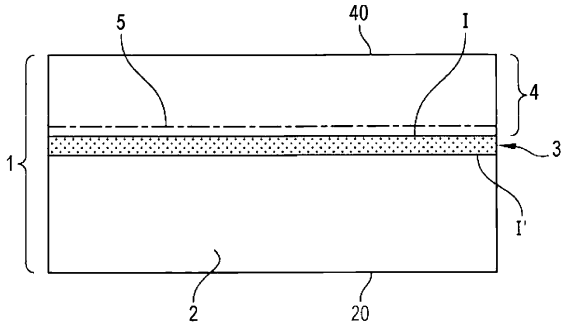
[0094] 여기서 제1 층은 회로들이 전사된(플레이트의 표면에 회로들을 포함하는 플레이트의 접착 및 시닝에 의한) 500 마이크로미터 두께의 실리콘 기판이다. 20 마이크로미터 두께의 회로 층은 제2 층을 구성한다. 산화물의 평탄화된 층은 이러한 전사 단계를 가능하게 하기 위해 회로들의 표면에 형성되었다. 제1 층은 또한 산화되었다. 조립 및 시닝 후, 산화물의 층 또는 층들은 흡수성 층을 형성한다.

[0095] 회로들의 형성은 예를 들어 상호접속들, 컨택트들 등을 형성하여 제1 층에 전사한 후 완료될 수 있다.

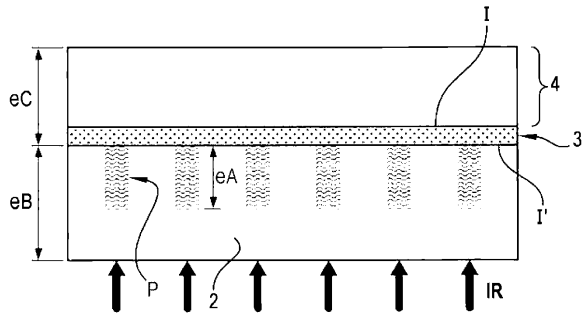
[0096] 이후 회로들의 이러한 층(제2 층)의 노출면은 최종 지지체와 조립되고, 10.6 마이크로미터 파장의 레이저는 제1 층을 최종 지지체에 전사하기 위해 본 발명에 따라 제1 층의 노출면에 인가된다.

도면

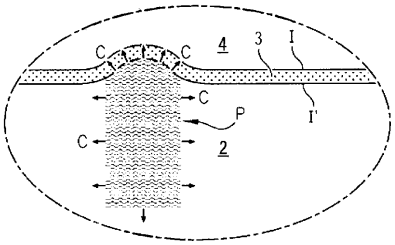
도면1



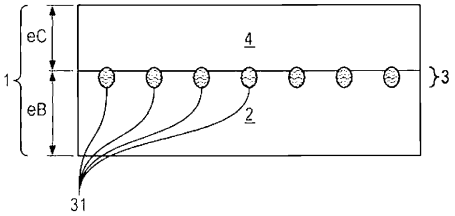
도면2



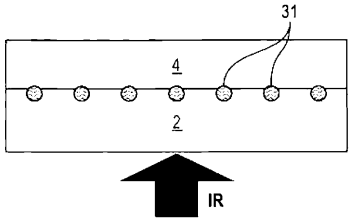
도면3



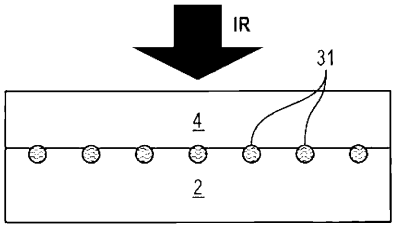
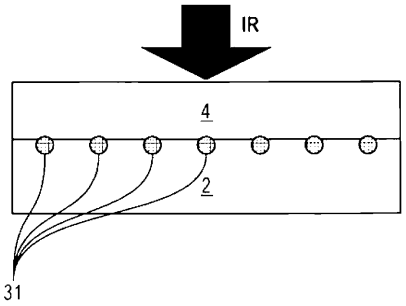
도면4



도면5



도면6



도면7