

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5566381号
(P5566381)

(45) 発行日 平成26年8月6日 (2014. 8. 6)

(24) 登録日 平成26年6月27日 (2014. 6. 27)

(51) Int. Cl.

F I

HO 3 K 19/177 (2006. 01)

HO 1 L 21/82 (2006. 01)

HO 3 K 19/177

HO 1 L 21/82 A

HO 1 L 21/82 P

請求項の数 22 (全 16 頁)

(21) 出願番号	特願2011-517524 (P2011-517524)	(73) 特許権者	597154922
(86) (22) 出願日	平成21年7月7日 (2009. 7. 7)		アルテラ コーポレーション
(65) 公表番号	特表2011-528196 (P2011-528196A)		Altera Corporation
(43) 公表日	平成23年11月10日 (2011. 11. 10)		アメリカ合衆国 95134 カリフォル
(86) 国際出願番号	PCT/US2009/049822		ニア州 サン ホセ イノベーション ド
(87) 国際公開番号	W02010/008971		ライヴ 101
(87) 国際公開日	平成22年1月21日 (2010. 1. 21)	(74) 代理人	100078282
審査請求日	平成24年6月18日 (2012. 6. 18)		弁理士 山本 秀策
(31) 優先権主張番号	12/172, 247	(74) 代理人	100062409
(32) 優先日	平成20年7月13日 (2008. 7. 13)		弁理士 安村 高明
(33) 優先権主張国	米国 (US)	(74) 代理人	100113413
			弁理士 森下 夏樹
		最終頁に続く	

(54) 【発明の名称】 回路における周波数性能を最適化する入力／出力モジュールのための装置および方法

(57) 【特許請求の範囲】

【請求項 1】

回路であって、該回路は、
該回路と少なくとも 1 つの外部デバイスとの間で第 1 の信号を送るように構成可能である複数の第 1 の信号パッドと、
該複数の第 1 の信号パッド間に交互配置される複数の未使用パッドと、
複数の第 1 のバッファと
を備え、該複数の未使用パッドのそれぞれは、該複数の第 1 のバッファのうちの少なくとも 1 つに連結され、該複数の第 1 のバッファは、該複数の未使用パッドのいずれかを通して第 2 の信号を送ることなしに、かつ、該複数の第 1 の信号パッドのいずれかを通して該第 2 の信号を送ることなしに、該回路と少なくとも 1 つの外部デバイスとの間で該第 2 の信号を駆動するように動作可能である、回路。

【請求項 2】

前記複数の第 1 の信号パッドは、前記回路と少なくとも 1 つの外部デバイスとの間で高論理状態と低論理状態とを切り替えるデジタル信号を送るように構成可能である、請求項 1 に記載の回路。

【請求項 3】

前記複数の第 1 の信号パッドのうちの少なくとも 1 つは、前記複数の未使用パッドのうちの 2 つに隣接する、請求項 1 に記載の回路。

【請求項 4】

前記複数の第 1 の信号パッドは、前記回路内でグループ化される 2 つの差動パッドを備え、該回路は、該複数の第 1 の信号パッドのうちの少なくとも 4 つと、前記複数の未使用パッドのうちの少なくとも 3 つとを備える、請求項 1 に記載の回路。

【請求項 5】

前記複数の第 1 の信号パッドに連結される複数の入力バッファと、
該複数の第 1 の信号パッドに連結される複数の出力バッファと
をさらに備える、請求項 1 に記載の回路。

【請求項 6】

前記複数の第 1 のバッファは、前記回路がフリップチップパッケージ内に収納されるときに、はんだバンプを通して、前記回路と少なくとも 1 つの外部デバイスとの間で前記第 2 の信号を駆動するように構成され、前記複数の未使用パッドに連結された該複数の第 1 のバッファは、該回路がワイヤボンダパッケージ内に収納されるときに、該回路と少なくとも 1 つの外部デバイスとの間で信号を駆動するように構成されない、請求項 1 に記載の回路。

10

【請求項 7】

前記回路は、
該回路と少なくとも 1 つの外部デバイスとの間で電圧信号を送るように構成可能である複数の電圧パッドであって、該電圧信号は、実質的に一定の電圧で維持される、複数の電圧パッドと、

該回路と少なくとも 1 つの外部デバイスとの間でデジタル信号を送るように構成可能である複数の第 2 の信号パッドであって、該複数の第 2 の信号パッドは、該複数の電圧パッド間に交互配置される、複数の第 2 の信号パッドと

20

をさらに備える、請求項 1 に記載の回路。

【請求項 8】

前記回路は、集積回路であり、前記複数の第 1 の信号パッドおよび前記複数の未使用パッドは、該集積回路上に配置された導電性材料を含み、該複数の未使用パッドのそれぞれと、該複数の第 1 の信号パッドのそれぞれとは、該集積回路の表面上の接点である、請求項 1 に記載の回路。

【請求項 9】

前記複数の第 1 の信号パッドは、前記回路と外部メモリデバイスとの間で、データ信号および少なくとも 1 つのデータストローブ信号を送るように構成される、請求項 1 に記載の回路。

30

【請求項 10】

回路であって、該回路は、
該回路と少なくとも 1 つの外部デバイスとの間で第 1 の信号を送るように構成可能である複数の第 1 の信号パッドと、

少なくとも 1 つの外部デバイスと該回路との間で実質的に一定の電圧を送るように構成可能である複数の電圧パッドと、

複数の未使用のパッドと、

複数のバッファであって、該複数の未使用パッドのそれぞれは、該複数のバッファのうちの少なくとも 1 つに連結され、該複数のバッファは、該複数の未使用パッドのいずれかを通して第 2 の信号を送ることなしに、かつ、該複数の第 1 の信号パッドのいずれかを通して該第 2 の信号を送ることなしに、該回路と少なくとも 1 つの外部デバイスとの間で該第 2 の信号を駆動するように動作可能である、複数のバッファと

40

を備える、回路。

【請求項 11】

前記複数の電圧パッドは、少なくとも 1 つの外部デバイスと前記回路との間で、少なくとも 1 つの接地電圧および少なくとも 1 つの供給電圧を送る、請求項 10 に記載の回路。

【請求項 12】

供給電圧を送る前記複数の電圧パッドのうちの第 1 の電圧パッドは、少なくとも 1 つの

50

外部デバイスと前記回路との間で接地電圧を送る該複数の電圧パッドのうちの第2の電圧パッドに隣接し、前記複数の第1の信号パッドのそれぞれは、該複数の電圧パッドのうちの少なくとも2つに隣接する、請求項10に記載の回路。

【請求項13】

前記複数の電圧パッドは、第1の供給電圧パッドと、第1の接地電圧パッドと、第2の供給電圧パッドと、第2の接地電圧パッドとを備え、該第1の供給電圧パッドは、前記複数の第1の信号パッドのうちの第1の信号パッドと該第1の接地電圧パッドとに隣接し、該第1の接地電圧パッドは、該複数の第1の信号パッドのうちの第2の信号パッドに隣接し、該第2の供給電圧パッドは、該複数の第1の信号パッドのうちの該第2の信号パッドと該第2の接地電圧パッドとに隣接し、該第2の接地電圧パッドは、該複数の第1の信号パッドのうちの第3の信号パッドに隣接する、請求項10に記載の回路。

10

【請求項14】

前記複数の第1の信号パッドは、前記回路と少なくとも1つの外部デバイスとの間で高論理状態と低論理状態とを切り替えるデジタル信号を送るように構成可能である、請求項10に記載の回路。

【請求項15】

前記回路は、

該回路と少なくとも1つの外部デバイスとの間で第3の信号を送るように構成可能である複数の第2の信号パッド

をさらに備え、

20

前記複数の未使用パッドは、該複数の第2の信号パッド間に交互配置される、請求項10に記載の回路。

【請求項16】

回路であって、該回路は、

該回路と少なくとも1つの外部デバイスとの間で第1の信号を送るように構成可能である複数の第1の信号パッドと、

該回路が第1のパッケージ型内に収納されるときに、該回路と少なくとも1つの外部デバイスとの間で信号を駆動するように構成されない複数のバッファに連結される複数の未使用パッドと

を備え、該複数の未使用パッドに連結される複数のバッファは、該回路が第2のパッケージ型内に収納されるときに、該回路と少なくとも1つの外部デバイスとの間で第2の信号を駆動するように構成される、回路。

30

【請求項17】

前記第1のパッケージ型は、ワイヤボンダパッケージであり、前記第2のパッケージ型は、フリップチップパッケージであり、前記複数のバッファは、前記複数の未使用パッドのいずれかを通して第2の信号を送ることなしに、かつ、該複数の第1の信号パッドのいずれかを通して該第2の信号を送ることなしに、はんだバンプを通してフリップチップモードで、該回路と少なくとも1つの外部デバイスとの間で該第2の信号を駆動するように動作可能である、請求項16に記載の回路。

【請求項18】

40

前記複数の未使用パッドは、前記複数の第1の信号パッド間に交互配置され、該複数の第1の信号パッドは、可変信号を送る、請求項16に記載の回路。

【請求項19】

前記複数の第1の信号パッドおよび前記複数の未使用パッドは、パッドの第1の列内にあり、前記回路は、

該回路と少なくとも1つの外部デバイスとの間でデジタル信号を送るように構成可能である複数の第2の信号パッドと、

少なくとも1つの外部デバイスと該回路との間で実質的に一定の電圧を送る複数の電圧パッドであって、該複数の第2の信号パッドは、パッドの第2の列内の該複数の電圧パッド間に交互配置される、複数の電圧パッドと

50

をさらに備える、請求項 16 に記載の回路。

【請求項 20】

回路上の複数のパッドを通して送られる信号の信号対雑音比を増加させる方法であって、該方法は、

該回路上に複数の信号パッドを形成することであって、該複数の信号パッドは、該回路と少なくとも 1 つの外部デバイスとの間で第 1 の信号を送るように構成可能である、ことと、

該回路上に複数の未使用パッドを形成することであって、該複数の未使用パッドは、該複数の信号パッド間に交互配置される、ことと、

該回路上に複数のバッファを形成することであって、該複数の未使用パッドのそれぞれは、該複数のバッファのうちの少なくとも 1 つに連結され、該複数のバッファは、該複数の未使用パッドのいずれかを通して第 2 の信号を送ることなしに、かつ、該複数の信号パッドのいずれかを通して該第 2 の信号を送ることなしに、該回路と少なくとも 1 つの外部デバイスとの間で該第 2 の信号を駆動するように動作可能である、ことと

を含む、方法。

【請求項 21】

前記複数の信号パッドは、前記回路と少なくとも 1 つの外部デバイスとの間でデジタル信号を送るように構成可能である、請求項 20 に記載の方法。

【請求項 22】

前記複数の信号パッドのうちの少なくとも 2 つは、相互に隣接して形成され、前記複数の未使用パッドのそれぞれは、該複数の信号パッドのうちの少なくとも 2 つに隣接する、請求項 20 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に関し、より具体的には、回路における周波数性能を最適化する、入力／出力モジュールに関する。

【背景技術】

【0002】

集積回路は、典型的に、集積回路と外部デバイスとの間で信号を送るためのパッドを含む。集積回路は、パッケージ内に収納することができる。

従来、集積回路ダイに対して bumps および traces のレイアウトを作成するための方法が知られている（例えば、特許文献 1 を参照）。この方法は、複数の I/O パッドの第 1 の列および複数の I/O パッドの第 2 の列を有するルーティングタイルを複製するステップを含む。第 1 の列は、第 2 の列からオフセットされ、その結果、第 1 の列の複数の I/O パッドは、第 2 の列の複数の I/O パッドの間に交互配置される。

また、従来、複数の外側結合パッドおよび複数のスタagger 状内側結合パッドを有するダイを有する単段キャビティダウン (single tier cavity down) 集積回路パッケージが知られている（例えば、特許文献 2 を参照）。この集積回路パッケージでは、ダイの複数の結合パッドが、設計方法に従って、パッケージの関連付けられた複数の供給リングおよび複数の結合フィンガーに割り当てられる。1 つの形態では、少なくとも、複数の供給リングに連結されている複数の結合パッドの全てが、複数の外側結合パッドであり、複数のスタagger 状内側結合パッドは、複数の結合フィンガーに連結されている。さらに、従来、ダイの複数の結合パッドをパッケージの関連付けられた複数の供給リングおよび複数の結合フィンガーに割り当てる方法や、複数のスタagger 状結合パッドを有するダイが知られている（例えば、特許文献 2 を参照）。

また、従来、集積回路上に複数の導電性トレースをルーティングすることによって導入される電力供給電圧降下を低減するための技術や、集積回路の複数の異なる領域において受容される電力供給電圧における変動を低減するための技術が知られている（例えば、特

10

20

30

40

50

許文献 3 を参照)。電力供給電圧は、導電性トレースにわたって、集積回路内でルーティングされる。複数の導電性トレースは、複数の結合パッドに結合される。複数の結合パッドは、外部ソースからの電力供給電圧を受容する。複数のトレースのうちの別のものは、高電力供給電圧 V_{DD} および低電力供給電圧 V_{SS} を受容する。複数の導電性トレースは、集積回路上の複数の回路要素に対して電力供給電圧をルーティングするためのより短い複数の経路を提供することによって、電力供給電圧における電圧降下を低減する。

また、従来、Stratix (R) III I/O が知られている (例えば、非特許文献 1 を参照)。この Stratix (R) III I/O は、使用の容易さおよび高速システム集積化のために特別に設計されている。それと同時に、Stratix (R) III I/O は、内部論理性能を最大化し、システムレベルのパフォーマンスを生み出すために必要な高帯域幅を提供する。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第 6591410 号明細書

【特許文献 2】米国特許第 6603199 号明細書

【特許文献 3】米国特許第 6998719 号明細書

【非特許文献】

【0004】

【非特許文献 1】“Stratix III Device I/O Features”, Altera Corporation, 2008 年 5 月, pp. 7 - 1 ~ 7 - 52

20

【発明の概要】

【課題を解決するための手段】

【0005】

本発明のいくつかの実施形態によると、回路は、回路と少なくとも 1 つの外部デバイスとの間で信号を送るように構成可能である信号パッドを有する、モジュールを含む。モジュールはまた、信号パッド間に交互配置される、未使用パッドも含む。

【0006】

本発明の他の実施形態によると、回路は、回路と少なくとも 1 つの外部デバイスとの間で可変信号を送るように構成可能である信号パッドを有する、モジュールを含む。モジュールは、少なくとも 1 つの外部デバイスと回路との間で、実質的に一定の電圧を送るように構成可能である、電圧パッドを含む。信号パッドは、電圧パッド間に交互配置される。

30

【0007】

本発明の他の実施形態によると、回路は、回路と少なくとも 1 つの外部デバイスとの間で信号を送るように構成可能である信号パッドを有する、モジュールを含む。モジュールはまた、回路が第 1 のパッケージ型内に収納されるときに、回路と少なくとも 1 つの外部デバイスとの間で信号を駆動するように構成されないバッファに連結される、未使用パッドも含む。バッファは、回路が第 2 のパッケージ型内に収納されるときに、回路と少なくとも 1 つの外部デバイスとの間で信号を駆動するように構成される。本発明は、本明細書に記載される技術を実装するための回路および方法を含む。

40

【0008】

本発明の様々な目的、特徴、および利点は、以下の発明を実施するための形態ならびに添付の図面を熟考すると明らかとなるであろう。

例えば、本発明は以下の項目を提供する。

(項目 1)

モジュールを備える回路であって、該モジュールは、

該回路と少なくとも 1 つの外部デバイスとの間で信号を送るように構成可能である複数の第 1 の信号パッドと、

該第 1 の信号パッド間に交互配置される複数の未使用パッドと

50

を備える、回路。

(項目2)

上記第1の信号パッドは、上記回路と少なくとも1つの外部デバイスとの間で高論理状態と低論理状態とを切り替えるデジタル信号を送るように構成可能である、項目1に記載の回路。

(項目3)

上記複数の第1の信号パッドのうちの少なくとも1つは、上記複数の未使用パッドのうちの2つに隣接する、項目1に記載の回路。

(項目4)

上記複数の第1の信号パッドは、上記モジュール内で共にグループ化される2つの差動パッドを備え、該モジュールは、該複数の第1の信号パッドのうちの少なくとも4つと、上記複数の未使用パッドのうちの少なくとも3つとを備える、項目1に記載の回路。

10

(項目5)

上記第1の信号パッドに連結される入力バッファと、
該第1の信号パッドに連結される出力バッファと
をさらに備える、項目1に記載の回路。

(項目6)

上記未使用パッドは、上記回路がフリップチップパッケージ内に収納されるときに、はんだバンプを通して、上記回路と少なくとも1つの外部デバイスとの間で信号を駆動するように構成されるバッファに連結され、該未使用パッドに連結されるバッファは、該回路がワイヤボンダパッケージ内に収納されるときに、該回路と少なくとも1つの外部デバイスとの間で信号を駆動するように構成されない、項目1に記載の回路。

20

(項目7)

上記モジュールはさらに、

上記回路と少なくとも1つの外部デバイスとの間で電圧信号を送るように構成可能である電圧パッドであって、該電圧信号は、実質的に一定の電圧で維持される、電圧パッドと

、
該回路と少なくとも1つの外部デバイスとの間でデジタル信号を送るように構成可能である第2の信号パッドであって、該第2の信号パッドは、該電圧パッド間に交互配置される、第2の信号パッドと

30

を備える、項目1に記載の回路。

(項目8)

上記回路は、プログラマブル論理集積回路である、項目1に記載の回路。

(項目9)

上記第1の信号パッドは、上記回路と外部メモリデバイスとの間で、データ信号および少なくとも1つのデータストローブ信号を送るように構成される、項目1に記載の回路。

(項目10)

モジュールを備える回路であって、該モジュールは、

該回路と少なくとも1つの外部デバイスとの間で可変信号を送るように構成可能である、第1の信号パッドと、

40

少なくとも1つの外部デバイスと該回路との間で実質的に一定の電圧を送るように構成可能である、電圧パッドであって、該第1の信号パッドは、該電圧パッド間に交互配置される、電圧パッドと

を備える、回路。

(項目11)

上記電圧パッドは、少なくとも1つの外部デバイスと上記回路との間で、少なくとも1つの接地電圧および少なくとも1つの供給電圧を送る、項目10に記載の回路。

(項目12)

供給電圧を送る上記電圧パッドのうちの第1の電圧パッドは、少なくとも1つの外部デバイスと上記回路との間で接地電圧を送る該電圧パッドのうちの第2の電圧パッドに隣接

50

し、上記第 1 の信号パッドのそれぞれは、該電圧パッドのうちの少なくとも 2 つに隣接する、項目 10 記載の回路。

(項目 13)

上記電圧パッドは、第 1 の供給電圧パッドと、第 1 の接地電圧パッドと、第 2 の供給電圧パッドと、第 2 の接地電圧パッドとを備え、該第 1 の供給電圧パッドは、上記第 1 の信号パッドのうちの第 1 の信号パッドおよび該第 1 の接地電圧パッドに隣接し、該第 1 の接地電圧パッドは、該第 1 の信号パッドのうちの第 2 の信号パッドに隣接し、該第 2 の供給電圧パッドは、該第 1 の信号パッドのうちの該第 2 の信号パッドおよび該第 2 の接地電圧パッドに隣接し、該第 2 の接地電圧パッドは、該第 1 の信号パッドのうちの第 3 の信号パッドに隣接する、項目 10 に記載の回路。

10

(項目 14)

上記第 1 の信号パッドは、上記回路と少なくとも 1 つの外部デバイスとの間で高論理状態と低論理状態とを切り替えるデジタル信号を送るように構成可能である、項目 10 に記載の回路。

(項目 15)

上記モジュールはさらに、
上記回路と少なくとも 1 つの外部デバイスとの間でデジタル信号を送るように構成可能である第 2 の信号パッドと、
該第 2 の信号パッド間に交互配置される未使用パッドと
を備える、項目 10 に記載の回路。

20

(項目 16)

モジュールを備える回路であって、該モジュールは、
上記回路と少なくとも 1 つの外部デバイスとの間で信号を送るように構成可能である、第 1 の信号パッドと、
該回路が第 1 のパッケージ型内に収納されるときに、該回路と少なくとも 1 つの外部デバイスとの間で信号を駆動するように構成されないバッファに連結される未使用パッドとを備え、該未使用パッドに連結されるバッファは、該回路が第 2 のパッケージ型内に収納されるときに、該回路と少なくとも 1 つの外部デバイスとの間で信号を駆動するように構成される、回路。

30

(項目 17)

上記第 1 のパッケージ型は、ワイヤボンドパッケージであり、上記第 2 のパッケージ型は、フリップチップパッケージである、項目 16 に記載の回路。

(項目 18)

上記未使用パッドは、上記第 1 の信号パッド間に交互配置され、該第 1 の信号パッドは、可変信号を送る、項目 16 に記載の回路。

(項目 19)

上記第 1 の信号パッドおよび上記未使用パッドは、パッドの第 1 の列内にあり、上記モジュールはさらに、

上記回路と少なくとも 1 つの外部デバイスとの間でデジタル信号を送るように構成可能である第 2 の信号パッドと、

40

少なくとも 1 つの外部デバイスと該回路との間で実質的に一定の電圧を送る、電圧パッドであって、該第 2 の信号パッドは、パッドの第 2 の列内の上記電圧パッド間に交互配置される、電圧パッドと

を備える、項目 16 に記載の回路。

(項目 20)

回路上のパッドを通して送られる信号の信号対雑音比を増加させる方法であって、
該回路上に信号パッドを形成することであって、該信号パッドは、該回路と少なくとも 1 つの外部デバイスとの間で信号を送るように構成可能である、ことと、

該回路上に未使用パッドを形成することであって、該未使用パッドは、該未使用パッドのそれぞれが、該信号パッドのうちの少なくとも 2 つに隣接するように、該信号パッド間

50

に交互配置される、ことと
を含む、方法。

(項目 21)

上記信号パッドは、上記回路と少なくとも 1 つの外部デバイスとの間でデジタル信号を送るように構成可能である、項目 20 に記載の方法。

(項目 22)

上記信号パッドのうちの少なくとも 2 つは、相互に隣接して形成される、項目 20 に記載の方法。

【図面の簡単な説明】

【0009】

10

【図 1】図 1 は、本発明の実施形態に係る、入力 / 出力 (I O) モジュールを図示する。

【図 2 A】図 2 A は、本発明の実施形態に係る、集積回路上の出力バッファ、入力バッファ、およびパッドを図示する。

【図 2 B】図 2 B は、本発明の実施形態に係る、集積回路上の差動出力バッファ、差動入力バッファ、およびパッドを図示する。

【図 3】図 3 は、本発明の態様を含むことができる、フィールドプログラマブルゲートアレイ (F P G A) の簡略化部分ブロック図である。

【図 4】図 4 は、本発明の技術を具現化することができる、例示的なデジタルシステムのブロック図を示す。

【発明を実施するための形態】

20

【0010】

集積回路 (I C) ダイは、パッケージの内部に配置し、回路基板上に実装することができる。信号は、 I C のパッドおよびパッケージ内の導電性材料を通して、 I C と回路基板との間で伝送される。パッドは、導電性材料で形成される。各パッドは、 I C ダイの表面上で接触を形成し、これは、 I C ダイへ、または I C ダイから電気信号を送るために使用することができる。 I C は、典型的に、多数のパッドを有する。パッドは、 1 つ以上の入力 / 出力 (I O) モジュールにグループ化されてもよい。

【0011】

図 1 は、本発明の実施形態に係る、入力 / 出力 (I O) モジュールを図示する。図 1 の I O モジュール 100 は、集積回路 (I C) ダイ上に 24 個のパッドを含む。24 個のパッドは、 I C へ、または I C の外へ信号を送るために使用される、 I C の外部端子である。図 1 に示される 24 個のパッドは、 I C 上に導電性材料で形成される。図 1 では、パッドは、長方形で示されているが、パッドは、正方形または任意の他の所望の形状であってもよい。 I O モジュール 100 の右側の点線は、 I C の一方の縁部が位置することができる場所の例を図示する。 I O モジュール 100 は、 1 ~ 16 の番号が付けられた 16 個のパッドと、パッド V C P D 21、 V C C N 22、 V S S N 23、 V C C Q 24、 V S S Q 25、 V C C N 26、 V S S N 27、および V R E F 28 とを含むことができる。 I O モジュール 100 内のパッドの配置は、図 1 に示される配置に制限されない。本発明の I O モジュールは、本発明の範囲および趣旨に含まれる、パッドの異なる配置ならびに配設を含むことができる。

30

40

【0012】

I O モジュール 100 内のパッドは、 2 列に配設される。第 1 の列は、 1、 2、 4、 5、 6、 8、 9、 10、 12、 13、 14、 および 16 の番号が付けられたパッドを含む。第 2 の列は、 21、 3、 22、 23、 7、 24、 25、 11、 26、 27、 15、 および 28 の番号が付けられたパッドを含む。図 1 には、 1 つの I O モジュール 100 のみが示されているが、集積回路 (I C) は、いくつかの I O モジュール 100 を有することができる。例えば、 I C は、 I C の各縁部に隣接して、 1 つ以上の I O モジュール 100 を有することができる。

【0013】

I O モジュール 100 は、ワイヤボンダ (W B) パッケージ、フリップチップ (F C)

50

パッケージ、または別の型式のパッケージ内に収納される、集積回路（ＩＣ）ダイ内を使用することができる。ＩＣがワイヤボンダパッケージ内に収納されるとき、ＩＣのパッドは、ワイヤボンダ接続を使用して、パッケージに連結される。パッドは、典型的に、ＩＣの上面に接触し、ワイヤボンダ接続は、パッドをＩＣの下方のパッケージの導電性領域に連結する。パッケージは、ＩＣのパッドを基板または別のウェハもしくはチップに連結することができる。

【００１４】

ＩＣがフリップチップパッケージ内に収納されるとき、ＩＣのパッドは、はんだバンプを使用して、パッケージに連結される。ＩＣは、ＩＣのパッドが下向きの状態でフリップチップパッケージ内に実装され、はんだバンプは、パッドをＩＣの下のパッケージの導電性領域に接続するように、ＩＣの底面側に乗せられる。

10

【００１５】

ＩＣ含有モジュール１００がワイヤボンダ（ＷＢ）パッケージ内に収納されるとき、パッド１、３、４、６、７、８、１０、１１、１２、１４、１５、および１６は、ＩＣと外部デバイスとの間で信号を送るために使用される。パッド２、５、９、および１３は、ＩＣと外部デバイスとの間で信号を送るために使用されない。パッド２、５、９、および１３は、信号を送るために使用されないため、未使用パッド２、５、９、および１３は、図１に示されるパッドの左列のパッド１、４、６、８、１０、１２、１４、および１６を通して送られる信号間の遮蔽を提供する。未使用パッド２、５、９、および１３は、信号パッド１、４、６、８、１０、１２、１４、および１６を通して伝送される信号間のクロストークを低減するように、信号パッド１と、４と、６と、８と、１０と、１２と、１４と、１６との間に交互配置される。結果として、未使用パッド２、５、９、および１３は、パッド１、４、６、８、１０、１２、１４、および１６を通して伝送される信号の信号対雑音比を増加させる。

20

【００１６】

例えば、図２Ａ～図２Ｂに示されるように、出力信号は、ＩＯモジュール１００内のパッドを通して出力（伝送器）バッファから伝送され、入力信号は、ＩＯモジュール１００内のパッドを通して入力（受信器）バッファに伝送される。図２Ａは、本発明の実施形態に係る、集積回路上の出力バッファ２０１、入力バッファ２０２、およびパッド２０３を図示する。出力バッファ２０１が、シングルエンド出力信号ＯＵＴを、パッド２０３を通して、集積回路の外に駆動できるようにすることができる。入力バッファ２０２が、集積回路の外側からパッド２０３で受信されたシングルエンド入力信号を駆動できるようにすることができる。図２Ｂは、本発明の実施形態に係る、集積回路上の差動出力バッファ２１１、差動入力バッファ２１２、およびパッド２１３～２１４を図示する。出力バッファ２１１が、差動出力信号ＯＵＴ＋／ＯＵＴ－を、パッド２１３および２１４を通して、集積回路の外に駆動できるようにすることができる。入力バッファ２１２が、集積回路の外からパッド２１３および２１４で受信された差動入力信号ＩＮ＋／ＩＮ－を駆動できるようにすることができる。

30

【００１７】

ＩＣ含有モジュール１００がフリップチップ（ＦＣ）パッケージ内に収納されるとき、入力信号および出力信号を、ＩＯモジュール１００内のパッドのいずれかを通過して信号を送ることなく、はんだバンプを通して、ＩＣ上の入力バッファおよび出力バッファと外部回路との間で駆動することができる。図１の１～１６の番号が付けられたパッドのそれぞれは、出力バッファおよび／または入力バッファに連結される。ＩＣがＦＣパッケージ内に収納されるとき、１～１６の番号が付けられたパッドに連結されるバッファが、ＩＣと外部回路との間で信号を伝送できるようにすることができる。ＩＯモジュール１００内のパッド１～１６に連結される１６個のバッファは、ＩＣがＦＣパッケージ内に収納されるときに、ＩＯモジュール１００内のパッドを通して１６個の信号を送ることなく、ＩＣと少なくとも１つの外部デバイスとの間で１６個の信号を駆動できるようにすることができる。１つのパッドあたりに１つのバッファ（各パッド１～１６で）は、パッドを通して入

40

50

力信号または出力信号を送ることなく、入力信号または出力信号を駆動する。

【 0 0 1 8 】

I Oモジュール100は、モジュール100を含有するI Cを、異なる型式のパッケージでできるようにする。I Oモジュール100は、集積回路内で、信号の最適な最大周波数性能を達成するように、異なる型式のパッケージの異なる入力/出力(I O)利用率に適合することができる。例えば、I C含有I Oモジュール100がWBパッケージ内に収納されるとき、上述されるように、図1の1~16の番号が付けられた16個のパッドのうちの12個のパッドは、I Cと外部回路との間で12個の信号を送るために使用され、1~16の番号が付けられた16個のパッドの4個は、未使用である。したがって、I Oモジュール100は、I C含有モジュール100がWBパッケージ内に収納されるときに、最大75%のI O利用(16個のパッドのうちの12個のパッド)を提供する。

10

【 0 0 1 9 】

別の実施例として、I C含有I Oモジュール100がフリップチップ(F C)パッケージ内に収納されるとき、1~16の番号が付けられた16個のパッドに連結される16個のI Oバッファは、I Cと外部回路との間で、パッド1~16を通して16個の信号を送ることなく、はんだバンプを通して16個の信号を伝送するために使用することができる。1つのパッドあたりに1つのバッファは、16個の信号のうちの1つを伝送する。したがって、I Oモジュール100は、I C含有モジュール100がF Cパッケージ内に収納されるときに、16個のI Oバッファに連結することができ、これは、最大100%のI O利用(16個のパッドあたりに16個のバッファ)を提供する。

20

【 0 0 2 0 】

I C含有I Oモジュール100がワイヤボンド(WB)パッケージ内に収納されるとき、入力および/または出力データ信号を送るために、I Oモジュール100内の8個または10個のパッドを使用することができ、データストロープ信号を送るために、I Oモジュール100内の2個または4個のパッドを使用することができ、I Oモジュール100内の4個のパッドは、未使用パッドである。入力および/または出力データ信号を送るために使用されるパッドは、DQパッドと称される。DQデータ信号パッドには、I Oモジュール100内の1、3、4、7、11、14、15、および16の番号が付けられたパッドを含む。10および12の番号が付けられたパッドはまた、DQデータ信号パッドとして使用することができる。DQデータ信号パッドを通して送られるデータ信号は、典型的に、論理高状態と論理低状態との間で変化するデジタル信号である。

30

【 0 0 2 1 】

未使用パッド2は、パッド1および4を通して送られる信号を遮蔽する。未使用パッド5は、パッド4および6を通して送られる信号を遮蔽する。未使用パッド9は、パッド8および10を通して送られる信号を遮蔽する。未使用パッド13は、パッド12および14を通して送られる信号を遮蔽する。

【 0 0 2 2 】

データ出力信号は、I Oモジュール100内のDQパッドの1つ以上を通して、I C含有モジュール100から外部メモリデバイス(例えば、メモリチップ)に伝送することができる。別の実施例として、データ入力信号は、I Oモジュール100内のDQパッドの1つ以上を通して、外部メモリデバイスからI Cに伝送することができる。さらに別の実施例として、データ入力信号およびデータ出力信号は、I Oモジュール100内のDQパッドを通して、外部メモリデバイスとI Cとの間で双方向に伝送することができる。

40

【 0 0 2 3 】

I CがWBパッケージ内にあるときに、I Oモジュール100内のパッド1、3、4、7、10、11、12、14、15、および16がDQデータ信号パッドとして構成される場合、I Oモジュール100は、例えば、外部メモリデバイス(例えば、SDRAMデバイス)のx8 DQグループ化またはx9 DQグループ化を支援することができる。x8 DQグループ化では、8ビットデータバイトを形成するように、8個のDQパッドを通して、8個のデータ信号が同時に伝送される。x9 DQグループ化では、9ビット

50

データバイトを形成するように、9個のDQパッドを通して、9個のデータ信号が同時に伝送される。IOMジュール100内のパッド1、3、4、7、11、14、15、および16のみがWBパッケージ内のDQデータ信号パッドとして構成される場合、IOMジュール100は、最大で、外部メモリデバイスのx8グループ化を支援することができる。したがって、IOMジュール100が、パッド1、3、4、7、11、14、15、および16をDQデータ信号パッドとして使用し、パッド10をDQSパッドとしての使用し、パッド12をDQS#パッドとして使用するよう構成される場合、IOMジュール100は、最大でx8 DQグループ化を支援することができる。

【0024】

IOMジュール100はまた、パッド1、3、4、7、11、14、15、および16の2つのx4 DQグループ化を支援することもできる。本実施形態では、パッド1、3、4、および7は、ICと外部メモリデバイスとの間で、第1の4ビットバイトを形成するデータ信号を送るために使用され、パッド11、14、15、および16は、ICと外部メモリデバイスとの間で、第2の4バイトを形成するデータ信号を送るために使用される。フリップチップ(FC)パッケージでは、パッド1、3、4、7、11、14、15、16、ならびに任意にパッド10および12に連結されるバッファは、IOMジュール100内のパッドを通してDQデータ信号を送ることなく、DQデータ信号を外部メモリデバイスに駆動する、または外部メモリデバイスからのDQデータ信号を駆動することができる。

【0025】

x4、x8、またはx9 DQグループ化では、データ信号は、例えば、それぞれ、IOMジュール100内の8個または9個のDQパッドを通して、2倍のデータ転送速度(例えば、DDR、DDR2、DDR3等)で送ることができる。2倍のデータ転送速度で動作する信号バスは、クロック信号の立ち上がりおよび立ち下りの両方でデータを転送する。代替として、データ信号は、例えば、IOMジュール100内の8個または9個のDQパッドを通して、4倍のデータ転送速度(例えば、QDR、QDRII等)で送ることができる。4倍のデータ転送速度は、各クロックサイクルでデータの4ビットが伝送されるように、独立したデータ読み出しピンおよびデータ書き込みピンを使用して、すなわち、2つのピンを使用する、1つのクロックサイクルでの2つの書き込みおよび2つの読み出しを使用して、クロック信号の立ち上がりおよび立ち下りの両方でデータを伝送させる、通信信号送信技術である。

【0026】

x4、x8、およびx9グループ化でデータ信号を送るために使用されない、1個または2個の予備のDQパッドは、例えば、データマスク信号および/またはバイト書き込み選択信号を送るために使用することができる。データマスク信号は、データを外部メモリデバイスに書き込むための入力マスク信号である。バイト書き込み選択信号は、書き込み動作の現行部分中に外部メモリデバイスに書き込まれるデータバイトを選択するために使用される。

【0027】

IC含有IOMジュール100がワイヤボンド(WB)パッケージ内に収納されるとき、IOMジュール100内の1個または2個のDQSパッドおよび1個または2個のDQS#パッドは、ICと外部メモリデバイス(例えば、SDRAMチップ)との間でデータストローブ信号を送るために使用することができる。フリップチップ(FC)パッケージでは、DQSパッドおよびDQS#パッドに連結されるバッファは、DQSパッドまたはDQS#パッドを通して信号を送ることなく、IC含有モジュール100と外部メモリデバイスとの間でデータストローブ信号を駆動する。DQSパッドおよびDQS#パッドを通して伝送されるデータストローブ信号は、DQデータパッドを通して伝送されるデータをサンプリングするために使用される。

【0028】

データストローブ信号は、典型的に、高論理状態と低論理状態とを切り替える、デジタ

10

20

30

40

50

ル信号である。差動データストローブ信号が使用される場合、差動データストローブ信号は、データストローブパッドDQSおよびDQS#を通して伝送される。シングルエンドデータストローブ信号が使用される場合、シングルエンドデータストローブ信号は、典型的に、データストローブパッドDQSを通して伝送される。

【0029】

図1では、1つのDQSパッドは、パッド6と番号が付けられ、1つのDQS#パッドは、パッド8と番号が付けられている。パッド10は、第2のDQSデータストローブパッドとして使用することができ、パッド12は、第2のDQS#データストローブパッドとして使用することができる。したがって、パッド10は、データDQパッドまたはデータストローブDQSパッドとして使用することができ、パッド12は、データDQパッドまたはデータストローブDQS#パッドとして使用することができる。各DQSパッドは、好ましくは、その特定のDQSパッドの相補データストローブ信号を送るDQS#パッドに隣接して位置する。したがって、パッド6および8は、第1の差動データストローブ信号DQSおよびDQS#を送るために使用することができ、パッド10および12は、第2の差動データストローブ信号DQSおよびDQS#を送るために使用することができる。

10

【0030】

IOモジュール100はまた、電圧パッドVCPD21、VCCN22、VSSN23、VCCQ24、VSSQ25、VCCN26、VSSN27、およびVREF28も含む。第1の供給電圧は、外部電源から、供給電圧パッドVCPD21を通して、IC上の事前駆動回路に伝送される。第2の供給電圧は、外部電源から、2つの供給電圧パッドVCCN22および26を通して、ICの周辺に位置する回路素子に伝送される。第1の接地電圧は、外部電源から、2つのVSSNパッド23および27を通して、ICの周辺に位置する回路素子に提供される。ICの周辺に位置する回路素子によって受容される供給電圧は、VSSNパッドでの電圧を引いたVCCNパッドでの電圧に等しい。

20

【0031】

第3の供給電圧は、外部電源から、供給電圧パッドVCCQ24を通して、ICのコア領域内に位置する回路素子に伝送される。第2の接地電圧は、外部電源から、VSSQパッド25を通して、ICのコア領域内に位置する回路素子に提供される。ICのコア領域内に位置する回路素子によって受容される供給電圧は、VSSQパッド25での電圧を引いたVCCQパッド24での電圧に等しい、静穏供給電圧である。基準電圧は、VREFパッド28を通して、外部デバイス（例えば、外部メモリデバイス）とICとの間で伝送される。

30

【0032】

パッドVCPD21、VCCN22、VSSN23、VCCQ24、VSSQ25、VCCN26、VSSN27、およびVREF28を通して伝送されるすべての信号は、論理高状態と論理低状態とを切り替えない、実質的に一定の電圧を有する。図1に示されるように、DQ信号パッド3、7、11、および15は、電圧パッドVCPD21と、VCCN22と、VSSN23と、VCCQ24と、VSSQ25と、VCCN26と、VSSN27と、VREF28との間に交互配置される。パッドVCPD21と、VCCN22と、VSSN23と、VCCQ24と、VSSQ25と、VCCN26と、VSSN27と、VREF28との間にDQパッド3、7、11、および15を交互配置することで、電圧パッドVCPD21、VCCN22、VSSN23、VCCQ24、VSSQ25、VCCN26、VSSN27、およびVREF28を通して伝送される信号の電圧が、回路動作中、実質的に一定のままとなるため、クロストークが低減され、DQパッド3、7、11、および15を通して伝送されるデータ信号の信号対雑音比が増加する。

40

【0033】

図3は、本発明の態様を含むことができる、フィールドプログラマブルゲートアレイ（FPGA）300の簡略化部分ブロック図である。FPGA300は、本発明の特徴を含むことができる、集積回路の一実施例にすぎない。本発明の実施形態は、フィールドプロ

50

グラマブルゲートアレイ (F P G A)、プログラマブル論理デバイス (P L D)、コンプレックスプログラマブル論理デバイス (C P L D)、プログラマブル論理アレイ (P L A)、および特定用途向け集積回路 (A S I C) 等の多数の種類の集積回路で 사용할 ことができることを理解されたい。

【 0 0 3 4 】

F P G A 3 0 0 は、様々な長さおよび速度の列ならびに行相互接続導体のネットワークによって相互接続される、プログラマブル論理アレイブロック (または L A B) 3 0 2 の 2 次元アレイを含む。L A B 3 0 2 は、複数の (例えば、 1 0 個の) 論理素子 (または L E) を含む。

【 0 0 3 5 】

L E は、ユーザー定義論理関数の効率的な実装を提供する、プログラマブル論理回路ブロックである。F P G A は、様々な組み合わせ関数および逐次関数を実装するように構成することができる、多数の論理素子を有する。論理素子は、プログラマブル相互接続構造へのアクセスを有する。プログラマブル相互接続構造は、ほぼいかなる所望の構成にも論理素子を相互接続するようにプログラムすることができる。

【 0 0 3 6 】

F P G A 3 0 0 はまた、アレイ全体にわたって提供される、様々なサイズのランダムアクセスメモリ (R A M) ブロックを含む、分散メモリ構造を有する。R A M ブロックは、例えば、ブロック 3 0 4、ブロック 3 0 6、およびブロック 3 0 8 を含む。これらのメモリブロックはまた、シフトレジスタおよび先入れ先出し (F I F O) バッファも含むことができる。

【 0 0 3 7 】

F P G A 3 0 0 はさらに、例えば、加算機構および減算機構と共に、乗算器を実装することができる、デジタル信号処理 (D S P) ブロック 3 1 0 を含む。本実施例では、チップの周辺の周囲に位置する入力 / 出力素子 (I O E) 3 1 2 は、多数のシングルエンド標準および差動入力 / 出力標準を支援する。I O E 3 1 2 は、例えば、図 2 A ~ 図 2 B に示されるように、集積回路のパッドに連結される、入力バッファおよび出力バッファを含む。パッドのそれぞれは、例えば、F P G A と 1 つ以上の外部デバイスとの間で、入力信号、出力信号、または定電圧を送るために使用することができる、F P G A ダイの外部端子である。I O モジュール 1 0 0 内のパッドは、1 つ以上の I O E に連結することができる。F P G A 3 0 0 は、説明のためだけに本明細書に記載され、本発明は、多くの異なる種類の P L D、F P G A、および A S I C に実装できることが理解される。

【 0 0 3 8 】

本発明はまた、いくつかの構成要素のうちの 1 つとして F P G A を有するシステムに実装することもできる。図 4 は、本発明の技術を具現化することができる、例示的なデジタルシステム 4 0 0 のブロック図を示す。システム 4 0 0 は、プログラムされたデジタルコンピュータシステム、デジタル信号処理システム、専用デジタルスイッチングネットワーク、または他の処理システムであってもよい。さらに、そのようなシステムは、電気通信システム、自動車システム、制御システム、家庭用電化製品、個人用コンピュータ、インターネット通信およびネットワーキング等の多種多様な用途向けに設計することができる。さらに、システム 4 0 0 は、単一の基板上、複数の基板上、または複数の筐体内に提供することができる。

【 0 0 3 9 】

システム 4 0 0 は、1 つ以上のバスによって共に相互接続される、処理ユニット 4 0 2 と、メモリユニット 4 0 4 と、入力 / 出力 (I / O) ユニット 4 0 6 とを含む。この例示的な実施形態によると、F P G A 4 0 8 は、処理ユニット 4 0 2 内に組み込まれる。F P G A 4 0 8 は、図 4 のシステム内で、多くの異なる目的を果たすことができる。F P G A 4 0 8 は、例えば、その内部動作および外部動作を支援する、処理ユニット 4 0 2 の論理ビルディングブロックであってもよい。F P G A 4 0 8 は、システム動作におけるその特定の役割を実行するのに必要な論理関数を実装するようにプログラムされる。F P G A 4

10

20

30

40

50

08は、具体的に、接続410を通してメモリ404に連結することができ、接続412を通してI/Oユニット406に連結することができる。

【0040】

処理ユニット402は、処理または記憶に適切なシステム構成要素にデータを向けること、メモリ404内に記憶されるプログラムを実行すること、I/Oユニット406を介してデータを受信および伝送すること、または他の同様の機能を行うことができる。処理ユニット402は、中央演算処理ユニット(CPU)、マイクロプロセッサ、浮動小数点コプロセッサ、グラフィックコプロセッサ、ハードウェアコントローラ、マイクロコントローラ、コントローラとして使用するためにプログラムされたフィールドプログラマブルゲートアレイ、ネットワークコントローラ、または任意の種類のプロセッサもしくはコントローラであってもよい。さらに、多くの実施形態では、多くの場合、CPUは必要ない。

10

【0041】

例えば、CPUの代わりに、1つ以上のFPGA408が、システムの論理演算を制御することができる。別の実施例として、FPGA408は、特定の計算タスクを処理するために、必要に応じて、再プログラムすることができる、再構成可能であるプロセッサとしての機能を果たす。代替として、FPGA408は、それ自体が組み込みマイクロプロセッサを含むことができる。メモリユニット404は、ランダムアクセスメモリ(RAM)、読み出し専用メモリ(ROM)、固定またはフレキシブルディスク媒体、フラッシュメモリ、テープ、もしくは任意の他の記憶手段、またはこれらの記憶手段の任意の組み合わせであってもよい。

20

【0042】

本発明の例示的な実施形態の前述の説明は、図示および説明のために提示されてきた。前述の説明は、包括的であること、または本発明を本明細書に開示される実施例に制限することは意図されない。場合によっては、本発明の特徴は、説明されるような他の特徴の対応する使用なく、採用することができる。本発明の範囲から逸脱することなく、上記の教示を考慮して、多くの修正、置換、および変形が可能である。

【図 1】

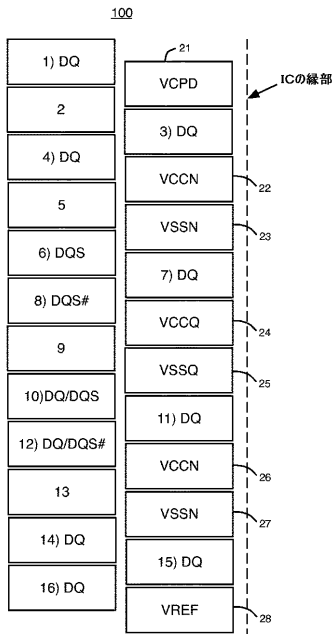


FIG. 1

【図 2 A】

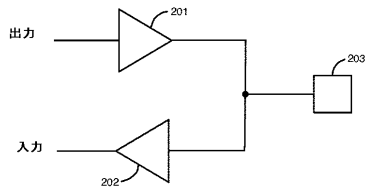


FIG. 2A

【図 2 B】

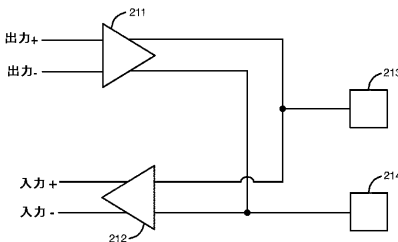


FIG. 2B

【図 3】

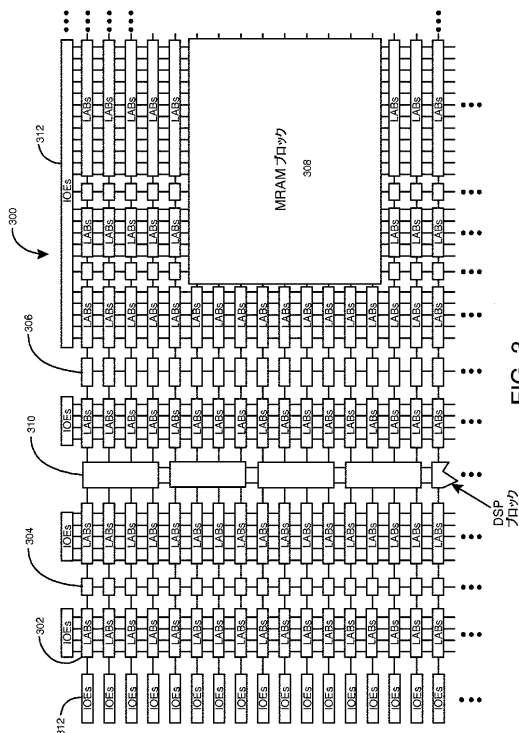


FIG. 3

【図 4】

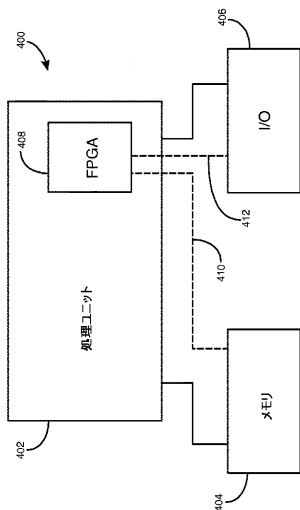


FIG. 4

フロントページの続き

- (72)発明者 リン, グー
アメリカ合衆国 カリフォルニア 95120, サン ノゼ, マウンテン シャドウズ ロード 1071
- (72)発明者 リン, イェン-フー
アメリカ合衆国 カリフォルニア 95129, サン ノゼ, ヒッコリー ウェイ 740
- (72)発明者 トラン, ステファニー
アメリカ合衆国 カリフォルニア 95120, サン ノゼ, ワシヨー ドライブ 1227
- (72)発明者 コーシュクホー, プーヤン
アメリカ合衆国 カリフォルニア 95054, サンタ クララ, クランドール サークル 4061

審査官 柳下 勝幸

- (56)参考文献 特開2003-152520(JP, A)
特開2003-229448(JP, A)
特開2001-257313(JP, A)
米国特許出願公開第2003/0214344(US, A1)

- (58)調査した分野(Int.Cl., DB名)
H03K 19/177
H01L 21/82