

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 3 日 (03.05.2018)



(10) 国际公布号
WO 2018/076645 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) **G11C 19/28** (2006.01) **TECHNOLOGY CO., LTD.)** [CN/CN]; 中国安徽省合肥市新站区工业园, Anhui 230011 (CN)。
- (21) 国际申请号: PCT/CN2017/082328 (72) 发明人: 王梓轩(WANG, Zixuan); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (22) 国际申请日: 2017 年 4 月 28 日 (28.04.2017)
- (25) 申请语言: 中文 (74) 代理人: 北京市柳沈律师事务所(LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (26) 公布语言: 中文
- (30) 优先权: 201610928693.X 2016年10月31日 (31.10.2016) CN (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS

(54) Title: SHIFT REGISTER AND DRIVING METHOD, GATE DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器及驱动方法、栅驱动电路以及显示装置

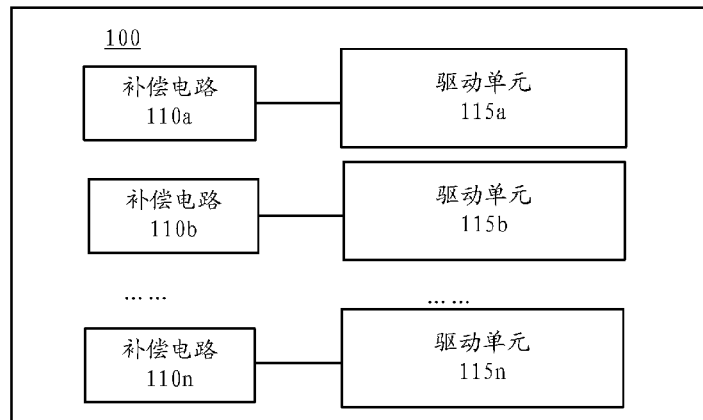


图 1

110 COMPENSATION CIRCUIT
115 DRIVING UNIT

(57) Abstract: A shift register, a display device and a driving method. The shift register comprises: a driving unit (115), configured to provide a gate line signal to a corresponding pixel unit set; and a compensation circuit (110) provided in correspondence with the driving unit (115); the compensation circuit (110) is configured to compensate the threshold voltage offset of one or more transistors in the driving unit (115). The shift register performs the threshold voltage compensation of the associated transistor when the display device is not in operation, such that the service life of the shift register is prolonged.

(57) 摘要: 一种移位寄存器、显示装置和驱动方法。移位寄存器包括: 驱动单元(115), 被配置为给相应的像素单元组提供栅线信号; 和与驱动单元(115)对应设置的补偿电路(110); 其中, 补偿电路(110)被配置为补偿驱动单元(115)中的一或多个晶体管的阈值电压偏移。该移位寄存器在显示装置不工作期间进行相关晶体管的阈值电压补偿, 可以实现移位寄存器使用寿命的延长。

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

移位寄存器及驱动方法、栅驱动电路以及显示装置

技术领域

- 5 本公开的实施例涉及一种移位寄存器及驱动方法、栅驱动电路以及显示装置。

背景技术

- 10 当今人类不仅对产品的外观和质量有高要求，而且对产品的价格和实用性有更高的关注。在显示领域，由于晶体管阈值电压导致的不稳定性因素，会进一步导致由多个晶体管构成的栅驱动电路的工作不稳定且缩短栅驱动电路的工作寿命。

发明内容

- 15 本公开的至少一个实施例提供一种移位寄存器，包括：驱动单元，被配置为给相应的像素单元组提供栅线信号；和与所述驱动单元对应设置的补偿电路；其中，所述补偿电路被配置为补偿所述驱动单元中的一个或多个晶体管的阈值电压偏移。

- 20 例如，在所述移位寄存器的一些实施例中，所述补偿电路包括：补偿晶体管，所述补偿晶体管的栅极与补偿控制线相连，所述补偿晶体管的第一极与第一补偿信号线相连，所述补偿晶体管的第二极与上拉节点相连；其中，所述补偿控制线用于向所述栅极提供控制所述补偿晶体管导通的控制信号；所述第一补偿信号线用于向所述第一极提供正向补偿电压或者负向补偿电压。

- 25 例如，在所述移位寄存器的一些实施例中，所述补偿电路包括：第一补偿晶体管以及第二补偿晶体管；其中所述第一补偿晶体管为 N 型晶体管和所述第二补偿晶体管中为 P 型晶体管；所述第一补偿晶体管的栅极同时与第二补偿信号线和所述第一补偿晶体管的第一极相连，所述第一补偿晶体管的第二极与所述驱动单元的上拉节点相连；所述第二补偿晶体管的栅极同时与
30 所述第二补偿信号线和所述第二补偿晶体管的第一极相连，所述第二补偿晶

体管的第二极与所述驱动单元的所述上拉节点相连；其中，所述第二补偿信号线用于向所述第一补偿晶体管的第一极或者向所述第二补偿晶体管的第一极提供补偿电压。

例如，在所述移位寄存器的一些实施例中，所述驱动单元包括：上拉电路，被配置为将第一时钟信号输出为栅线信号；上拉控制电路，被配置为控制所述上拉电路的打开时间；下拉电路，被配置为在第一时间将所述栅线信号拉低为低电位；下拉维持电路，被配置为维持所述栅线信号的低电位状态；下拉维持控制电路，被配置为维持下拉控制点处于低电位；所述上拉电路或者下拉维持控制电路均至少包含一个晶体管；其中，所述补偿电路，被配置为向所述上拉电路或者下拉维持控制电路中的部分晶体管写入补偿电压。

例如，在所述移位寄存器的一些实施例中，所述上拉控制电路包括第一晶体管，所述第一晶体管的第一极与输入信号线连接以接收输入信号，所述第一晶体管的栅极与所述第一极连接，所述第一晶体管的第二极与所述上拉节点相连；所述上拉电路包括第二晶体管，该第二晶体管的栅极与所述上拉节点相连，所述第二晶体管的第一极与所述第一时钟相连，所述第二晶体管的第二极与输出端相连；所述下拉电路包括第三晶体管，所述第三晶体管的第一极与所述输出端连接，所述第三晶体管的栅极与复位信号线连接，所述第三晶体管的第二极与第一电源线连接；其中，所述第一电压线用于传输所述第一电压；所述复位信号线用于传输所述复位信号；所述下拉维持控制电路包括第四晶体管和第五晶体管，所述第四晶体管的第一极与第二时钟信号线连接，所述第四晶体管的栅极与所述第二下拉节点相连，所述第四晶体管的第二极与所述第一下拉节点相连；所述第五晶体管的第一极与所述下拉节点相连，所述第五晶体管的栅极与所述上拉节点相连，所述第五晶体管的第二极与所述第一电源线连接；其中，所述第二时钟信号线用于传输第二时钟信号；所述第一电源线用于传输所述第一电压；所述下拉维持电路包括第六晶体管以及第七晶体管，所述第六晶体管与所述第七晶体的第一极均与所述第一电源线连接，所述第六晶体管与所述第七晶体管的栅极均与第一下拉节点连接，所述第六晶体管与所述第七晶体管的第二极均与所述上拉节点连接；其中，所述第一电压线用于传输所述第一电压。

例如，在所述移位寄存器的一些实施例中，所述下拉维持控制电路还包

括第八晶体管和第九晶体管；所述第八晶体管的第一极与所述第二下拉节点相连，所述第八晶体管的栅极与所述上拉节点相连，所述第八晶体管的第二极与所述第一电源线连接；所述第九晶体管的第一极与所述第二时钟信号连接以接收第二时钟信号，所述第九晶体管的栅极与所述第一极相连，所述第九晶体管的第二极与所述第二下拉节点相连。

例如，在所述移位寄存器的一些实施例中，所述移位寄存器还包括复位电路，被配置为初始化阶段使得所述上拉节点放电。

例如，在所述移位寄存器的一些实施例中，所述复位电路包括第十晶体管，所述第十晶体管的第一极与所述上拉节点相连，所述第十晶体管的栅极与所述复位信号连接，所述第十晶体管的第二极与所述第一电源线连接。

本公开实施例还提供一种栅驱动电路，包括如上所述的任一移位寄存器。

本公开的至少一个实施例还提供一种显示装置，包括上述实施例的栅驱动电路以及与所述栅驱动电路相连的显示面板。

例如，在所述显示装置的一些实施例中，还包括：计时测温装置，被配置为测量所述显示面板开机时所述栅驱动电路的各驱动单元的工作时长以及工作时的温度，基于统计的时间和温度得到各驱动单元的上拉电路或者下拉维持控制电路中晶体管的阈值电压偏移情况，并依据阈值电压偏移情况计算晶体管的补偿时长及补偿电压；控制装置，被配置为存储由所述计时测温装置计算得到的补偿电压和补偿时长，并向与所述栅驱动电路的各驱动单元对应的补偿电路提供所述补偿电压；以及内置电源，被配置为向所述栅驱动电路的补偿电路及所述控制装置供电。

例如，在所述显示装置的一些实施例中，所述控制装置还被配置为：当判断所述显示面板处于关机状态时，向所述栅驱动电路的补偿电路提供所述补偿电压，其中所述补偿电压用于对驱动单元的上拉电路或者下拉维持控制电路中部分晶体管进行阈值电压补偿。

例如，在所述显示装置的一些实施例中，所述控制装置还被配置为在所述补偿时间段内向所述补偿电路提供补偿电压。

例如，在所述显示装置的一些实施例中，所述补偿电压包括正向补偿电压或负向补偿电压；当执行正向偏压补偿时，所述控制装置向所述第一补偿信号线传输正向补偿电压；当执行负向偏压补偿时，所述控制装置向所述第

一补偿信号线传输负向补偿电压。

本公开的至少一个实施例还提供一种驱动方法，用于所述移位寄存器，包括：在充电阶段，设置输入信号为有效信号，设置第一时钟信号为无效信号，设置第二时钟信号为有效信号，设置复位信号为关闭电压；在输出阶段，
5 设置所述输入信号为无效信号，设置所述第一时钟信号为有效信号，设置所述第二时钟信号为无效信号，设置所述复位信号为关闭电压；在放电阶段，设置所述输入信号为无效信号，设置所述第一时钟信号为无效信号，设置所述第二时钟信号为无效信号，设置所述复位信号为开启电压；在保持阶段，设置所述输入信号为无效信号，设置所述第二时钟信号为无效信号，设置所述
10 所述第二时钟信号为无效信号，设置所述复位信号为关闭电压；以及在补偿阶段，设置所述输入信号为无效信号，设置所述第一时钟信号为无效信号，设置所述第二时钟信号为无效信号，设置所述复位信号为关闭电压，设置所述补偿控制信号为开启电压并设置所述第一补偿信号线在补偿时间内传输有效信号，或者设置所述第二补偿信号线在补偿时长内传输有效信号。

15

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

20

图 1 为本公开的一个实施例提供的移位寄存器的示意图；

图 2A 为本公开的一个实施例提供的补偿电路的示意图；

图 2B 为本公开的另一个实施例提供的补偿电路的示意图；

图 3A 为本公开的一个实施例提供的驱动单元和补偿电路的示意框图；

图 3B 为图 3A 所示的驱动单元和补偿电路的一个示例性的电路图；

25

图 3C 为图 3A 所示的驱动单元和补偿电路的另一个示例性的电路图；

图 4 为本公开的一个实施例提供的显示装置的示意图；

图 5A 和图 5B 为本公开的一个实施例提供的用于图 3B 和图 3C 所示的电路结构的驱动时序图；

30

图 6A-图 6D 为本公开的一个实施例提供的基于图 5B 时序图的各个晶体管的工作示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管该连接是直接还是间接的。

本公开的实施例提供了一种具备阈值漂移修正功能的移位寄存器。在显示面板不工作期间，本公开的实施例对移位寄存器中的多个晶体管施加反向栅压或者正向栅压，以恢复显示装置在工作中产生的阈值电压漂移，进而延长栅移位寄存器的寿命。此外，本公开实施例由于在显示装置不工作期间进行相关晶体管的阈值电压补偿因而对显示器的电量消耗较少，所以可以实现移位寄存器使用寿命的大大延长，尤其适合用于类似公共显示等需要超长时间持续稳定工作的应用场景中的显示器。

本公开实施例提供一种移位寄存器，包括：驱动单元，被配置为给相应的像素单元组提供栅线信号；以及与所述驱动单元对应设置的补偿电路；其中，所述补偿电路被配置为补偿所述驱动单元中的一个或多个晶体管的阈值电压偏移。如图1所示，移位寄存器100包括：多个驱动单元115（例如，115a、115b、...，115n）和与每个驱动单元115一一对应设置的补偿电路110（例如，110a、110b、...，110n）。各驱动单元115可以被配置为给相应的像素单元组提供栅线信号。各所述补偿电路110被配置为补偿与其对应的驱动单元115中的一或多个晶体管的阈值电压偏移。当然，移位寄存器100可以包括一或多个驱动单元115以及与每个驱动单元115一一对应设置的补偿电路110。对于一个移位寄存器100中所包含的驱动单元115和补偿电路110

的数量，本公开在此不作限定。

在一些实施例中，一个像素单元组的结构与像素单元的在显示面板上的排列方式相关。例如，当像素单元以行的形式排列时，一个像素单元组为一整行的像素单元。当像素单元以列的方式排列时，一个像素单元组也可以为

5 一整列的像素单元。本公开实施例并不对像素单元的排列方式进行限制，例如像素单元也可以以斜线的方式在显示面板上排列，此时一个像素单元组也可以为一条斜线上所包含的所有像素单元。

在一些实施例中，补偿电路 110 所补偿的一个或多个晶体管与驱动单元 115 的具体电路结构相关。通常驱动单元 115 包含多个晶体管，且这些晶体

10 管可以被用作时序控制管或输出管。由于不同的晶体管在工作中所处的状态各不相同，因此它们阈值电压漂移的程度也不相同。所以需要根据具体驱动电路中各晶体管的工作状态而获得需要采用补偿电路 110 进行补偿的晶体管。例如，可以采用补偿电路 110 来补偿驱动单元 115 中所包含的下拉晶体管。此外，图 1 中示出的驱动单元 115a、115b,, 115n 可以分别称为第一

15 级驱动单元 115a、第二级驱动单元 115b,, 第 n 级驱动单元 115n。

下面结合图 2A 和图 2B 分析两种不同的补偿电路。

图 2A 示出了本公开的实施例提供的一种补偿电路 110 的具体结构,该补偿电路 110 可以包括：补偿晶体管 211，该补偿晶体管 211 的栅极与补偿控制线 213 相连，补偿晶体管 211 的第一极与第一补偿信号线 215 相连，补偿

20 晶体管 211 的第二极与驱动单元 115 中的上拉节点（示出于图 3A 中）相连。补偿控制线 213 用于向补偿晶体管 211 的栅极提供用来控制该补偿晶体管 211 导通的控制信号，例如，控制信号可以为脉冲信号。此外，第一补偿信号线用于向补偿晶体管 211 的第一极提供正向补偿电压或者负向补偿电压。

例如，当图 2A 示出的补偿控制线 213 向补偿晶体管 211 的栅极提供高电平时，该补偿晶体管 211 被导通，此时再通过第一补偿信号线 215 输入高电平以实现

25 对驱动单元 115 中一个或多个晶体管的正偏压补偿，或者通过第一补偿信号线 215 输入低电平信号以实现

对驱动单元 115 中一个或多个晶体管的负偏压补偿。

图 2A 提供的补偿电路 110 可以对驱动单元 115 中包括的一个或多个晶体管进行正向偏压补偿或者负向偏压补偿，进而校正被补偿的晶体管的阈值

30

电压 V_{th} 漂移，提高栅驱动电路的工作寿命。

图 2B 示出了本公开的实施例提供的补偿电路 110 的另一结构示意图。该补偿电路 110 包括：第一补偿晶体管 212 和第二补偿晶体管 213，其中第一补偿晶体管 212 和第二补偿晶体管 213 中的一个为 N 型晶体管而另一个为 P 型晶体管。此外，参考图 2B 可知第一补偿晶体管 212 的栅极同时与第二补偿信号线 225 和第一补偿晶体管 212 的第一极相连，第一补偿晶体管 212 的第二极与相应的驱动单元的上拉节点（示出在图 3A 中）相连。第二补偿晶体管 213 的栅极同时与第二补偿信号线 225 和第二补偿晶体管 213 的第一极相连，第二补偿晶体管 213 的第二极与相应的驱动单元的上拉节点相连（示出在图 3A 中）。例如，第一补偿晶体管 212 的第二极与第二补偿晶体管 213 的第二极相连；第一补偿晶体管 212 的栅极与第二补偿晶体管 213 的栅极相连；其中，第二补偿信号线 225 用于向第一补偿晶体管 212 的第一极或者向第二补偿晶体管 213 的第一极提供一个补偿电压。例如，可以采用图 2B 示出的第二补偿信号线 225 向第一补偿晶体管 212 或者第二补偿晶体管 213 的第一极提供一个正向补偿电压或者负向补偿电压，进而对驱动单元 115 中的一个或多个晶体管进行偏压补偿。例如，可以采用第二补偿信号线 225 向第一补偿晶体管 212 的栅极和第一极加载正向补偿电压，使得第一补偿晶体管 212 导通，之后再由第一补偿晶体管 212 的第二极向上拉节点输出该正向补偿电压。同时可以采用第二补偿信号线 225 向第二补偿晶体管 213 的栅极和第一极加载负向补偿电压，使得第二补偿晶体管 213 导通，之后再由第二补偿晶体管 213 的第二极向上拉节点输出该负向补偿电压。具体为，可以通过图 2B 示出的第二补偿信号线 225 输入高电平信号，以通过第一补偿晶体管 212 的导通，实现对驱动单元 115 中一个或多个晶体管的正偏压补偿。或者，也可以通过图 2B 示出的第二补偿信号线 225 输入低电平信号，以通过第二补偿晶体管 213 的导通，实现对驱动单元 115 中一个或多个晶体管的负偏压补偿。

下面结合图 3A-图 3C 中提供的驱动单元的电路结构进一步阐述移位寄存器以及栅驱动电路的结构。

图 3A 仅示出了移位寄存器中的一个驱动单元以及与该驱动单元对应设置的一个补偿电路 310。补偿电路 310 的结构可以与图 2A 或图 2B 所示的补

偿电路 110 的结构相同或相类似。图 3A 示出的驱动单元可以包括：上拉电路 316、上拉控制电路 312、下拉电路 318、下拉维持电路 320 以及下拉维持控制电路 314。

上拉电路 316 被配置为将第一时钟信号输出为栅线信号（该栅线信号将被传输到像素单元组作为，例如，显示扫描信号）。上拉控制电路 312 被配置为控制上拉电路 316 的打开时间。下拉电路 318 被配置为在第一时间将输出端输出的栅线信号拉低为低电位。下拉维持电路 320 被配置为维持栅线信号的低电位状态。下拉维持控制电路 314 被配置为维持下拉控制点（例如，图中示出的第一下拉节点）处于低电位。例如，上拉电路 316 或者下拉维持控制电路 314 均至少包含一个晶体管。补偿电路 310，被配置为向上拉电路 316 或者下拉维持控制电路 314 中的部分晶体管写入补偿电压。

例如，上拉控制电路 312 与输入端相连以接收输入信号，例如，输入信号可以为上一级驱动单元的输出端输出的信号。下拉维持控制电路 314 与第二时钟信号相连以接收第二时钟信号。上拉电路 316 与第一时钟信号相连以接收第一时钟信号，例如，第一时钟信号为脉冲信号。下拉电路 318 以及下拉维持电路 320 还与第一电源线相连以接收第一电压。例如，第一电压可以作为一个低电平信号。例如，输入端的输入信号为上一级驱动单元的输出端输出的信号（例如，对于图 1 示出的第二级驱动单元 115b，其上一级驱动单元为第一级驱动单元 115a）。第二时钟信号与第一时钟信号相位相反。复位线上的复位信号为下一级驱动单元的输出端输出的信号（例如，对于图 1 示出第一级的驱动单元 115a，其下一级驱动单元为第二级驱动单元 115b）。由于驱动单元 115a 不存在上一级驱动单元，因此可以在其输入端输入一脉冲激活信号。

例如，驱动单元还可以包括复位电路 322，该复位电路 322 与复位信号线相连以接收复位信号。复位电路 322 被配置为在初始化阶段使得上拉节点放电，为驱动单元稳定工作做好准备。

例如，图 3A 示出的驱动单元还包括第二下拉节点（图 3B 和图 3C 中示出），第一下拉节点与第二下拉节点又分别与下拉维持控制电路 314 相连。

下面以图 3B 和图 3C 中的晶体管均为 N 型晶体管为例，详细说明图 3A 示出的移位寄存器的结构。

图 3B 示出了移位寄存器中的一个驱动单元和一个补偿电路。驱动单元的上拉控制电路 312 包括第一晶体管 M1，第一晶体管 M1 的第一极与输入信号线连接以接收输入信号，第一晶体管 M1 的栅极与第一极连接，第一晶体管 M1 的第二极与上拉节点 pu 相连。驱动单元的上拉电路 316 包括第二晶体管 M2，该第二晶体管 M2 的栅极与上拉节点 pu 相连，第二晶体管 M2 的第一极与第一时钟相连，第二晶体管 M2 的第二极与输出端相连。驱动单元的下拉电路 318 包括第三晶体管 M3，第三晶体管 M3 的第一极与输出端连接，第三晶体管 M3 的栅极与复位信号线连接，第三晶体管 M3 的第二极与第一电源线连接，例如，第一电压线用于传输第一电压 VSS；复位信号线用于传输复位信号；下拉维持电路包括第六晶体管 M6 以及第七晶体管 M7，第六晶体管 M6 与第七晶体管 M7 的第一极均与第一电源线连接，第六晶体管 M6 与第七晶体管 M7 的栅极均与第一下拉节点 pd 连接，第六晶体管 M6 与第七晶体管 M7 的第二极均与上拉节点 pu 连接；第一电压线用于传输第一电压 Vss；下拉维持控制电路包括第四晶体管 M4 和第五晶体管 M5，第四晶体管 M4 的第一极与第二时钟信号线连接，第四晶体管 M4 的栅极与第二下拉节点 PD-CN 相连，第四晶体管 M4 的第二极与第一下拉节点 pd 相连；第五晶体管 M5 的第一极与第一下拉节点 pd 相连，第五晶体管 M5 的栅极与上拉节点 pu 相连，第五晶体管 M5 的第二极与第一电源线连接；其中，第二时钟信号线用于传输第二时钟信号，第一电源线用于传输第一电压 VSS。

例如，图 3B 示出驱动单元的下拉维持控制电路 314 还可以包括第八晶体管 M8 和第九晶体管 M9；第八晶体管 M8 的第一极与第二下拉节点 PD-CN 相连，第八晶体管 M8 的栅极与上拉节点 pu 相连，第八晶体管 M8 的第二极与第一电源线 Vss 连接；第九晶体管 M9 的第一极与第二时钟信号线连接以接收第二时钟信号，第九晶体管 M9 的栅极与第一极相连，第九晶体管 M9 的第二极与第二下拉节点 PD-CN 相连。

例如，图 3B 示出的驱动单元的复位电路包括第十晶体管 M10，第十晶体管 M10 的第一极与上拉节点 pu 相连，第十晶体管 M10 的栅极与复位信号线连接以接收复位信号 RESET，第十晶体管 M10 的第二极与第一电源线连接以接收第一电压 Vss。

例如，图 3B 示出的补偿电路具体可以参考图 2A 提供的补偿电路。此时

补偿电路的输出端与上拉节点 pu 相连。例如，通过图 3B 的补偿电路可以实现对上拉电路包括的第二晶体管 M2、以及上拉维持电路 314 包括的第五晶体管 M5 以及第八晶体管 M8 进行正向偏压补偿或者负向偏压补偿。

此外，针对图 3B 示出的补偿电路所补偿的驱动单元，该驱动单元所包括的晶体管的分析过程如下：如图 3B 所示的阵列基板栅驱动电路的移位寄存器中的一个驱动单元，该驱动单元采用一个与第一时钟信号反相的第二时钟信号控制第一下拉节点 pd 电压来降低输出端输出 VGL 时的噪音水平，进而维持移位寄存器的稳定工作。结合图 3B 可知通过第四晶体管 M4、第五晶体管 M5、第八晶体管 M8 以及第九晶体管 M9 控制第一下拉节点（pd 点）的电压，由此可知第四晶体管 M4、第五晶体管 M5、第八晶体管 M8 以及第九晶体管 M9 这四个晶体管的状态决定了栅驱动电路的正常工作与否。影响晶体管持续工作条件下阈值电压偏移的外界因素主要包括两点，其一是施加在晶体管栅极上的电压，其二是加在栅极上的电压信号的占空比。在本例中，第四晶体管 M4、第五晶体管 M5、第八晶体管 M8 以及第九晶体管 M9 这四个晶体管栅压的占空比有显著不同。如下表 1 列出了估算得到的占空比。下面仅考虑由于晶体管阈值电压 V_{th} 漂移造成栅驱动电路的失效现象。结合表 1 可知负责第一下拉节点 pd 点与第二下拉节点 PD-CN 点下拉的第五晶体管 M5 和第八晶体管 M8 在栅驱动电路工作时栅极所受电压的占空比约为 99.2%，远高于负责第一下拉节点 pd 和第二下拉节点 PD-CN 充电的第四晶体管 M4 和第九晶体管 M9，负责输出的第二晶体管 M2 同样有负向压力高的问题。因此经过较长时间的持续工作后，第五晶体管 M5 和第八晶体管 M8 的阈值电压 V_{th} 偏移会严重的负向漂移，所以导致第五晶体管 M5 以及第八晶体管 M8 在较低栅压下就会很容易打开，而进一步导致栅驱动电路不稳定。此时，若上拉节点 pu 点输入噪声，则第五晶体管 M5 和第八晶体管 M8 将同时打开，导致第一下拉节点 pd 点至较低电平，第六晶体管 M6 对上拉节点 pu 点的放电作用由于其栅压降低而减弱，上拉节点 pu 点的噪声由于得不到很快释放而积累，并通过第二晶体管 M2 的输出传递给后续行，而造成整个栅驱动电路失效。

表 1

编号	节点	占空比
M5	PD-CN	50%

M3	pu	99.2%
M6	pu	99.2%
M8	pu	99.2%
M9	第二时钟	50%

通过图 3B 示出的补偿电路可以补偿驱动单元包括的第二晶体管 M2, 第五晶体管 M5 以及第八晶体管 M8 的阈值电压偏移, 该处偏移包括正向偏移或者负向偏移。此外, 图 3B 示出的补偿电路具体可以参考图 2A 提供的补偿电路, 也可以采用图 2B 示出的补偿电路。

- 5 图 3C 与图 3B 的不同在于补偿电路部分, 图 3C 的补偿电路的具体结构可以参考图 2B 提供的补偿电路。采用图 3C 提供的补偿电路可以对驱动单元包括的第二晶体管 M2, 第五晶体管 M5 以及第八晶体管 M8 的阈值电压偏移进行补偿, 该处补偿仅包括正向偏移补偿。例如, 通过图 2B 的第二补偿信号 (对应于图 3C 的补偿信号) 提供的正向偏压补偿第二晶体管 M2, 第五晶体管 M5 以及第八晶体管 M8 的阈值电压偏移。

需要说明的是, 本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的, 所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中, 为了区分晶体管除栅极之外的两极, 直接描述了其中一极

15 极为第一极, 另一极为第二极, 所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如, 本公开实施例所述的晶体管的第一极可以为源极, 第二极可以为漏极; 或者, 晶体管的第一极为漏极, 第二极为源极。此外, 按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管, 本公开的实施例以第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、

20 第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 以及第七晶体管 M7 等均为 N 型晶体管为例进行说明。基于本公开对该实现方式的描述和教导, 本领域普通技术人员在没有做出创造性劳动前提下能够容易想到本公开实施例采用 P 型晶体管或 N 型和 P 型晶体管组合的实现方式, 因此, 这些实现方式也是在本公开的保护范围内的。

- 25 本公开实施例还提供一种栅驱动电路, 包括如上所述的任一移位寄存器。例如, 所述栅驱动电路可以包括多个级联的移位寄存器。

如图 4 所示, 本公开的实施例还提供一种显示装置, 该显示装置包括栅驱动电路 199 (其包含移位寄存器) 以及与栅驱动电路 199 相连的显示面板

420。图 4 示出了栅驱动电路 199 中的移位寄存器，其包括补偿电路（110a、110b、...、110n）以及与各补偿电路对应设置的驱动单元（115a、115b、...、115n），补偿电路和驱动单元的具体结构可以参考图 1、图 2A-2B 以及图 3A-3C。此外，图 4 仅示出了显示装置包含的部分单元，例如，图 4 的显示装置还可以包括数据驱动电路，多条扫描线，多条数据线或者时钟电路（图中未示出）等。

在一些实施例中，显示装置还包括：计时测温装置 430，控制装置 440 以及内置电源 450。计时测温装置 430 被配置为测量显示面板 420 开机时栅驱动电路 199 的各驱动单元 115 的工作时长以及工作时的温度，之后基于统计的时间和温度得到各驱动单元 115 的上拉电路或者下拉维持控制电路中晶体管的阈值电压偏移情况，最后依据阈值电压偏移情况计算晶体管的补偿时长及补偿电压。控制装置 440 被配置为存储由计时测温装置 430 计算得到的补偿电压和补偿时长，并向与栅驱动电路 199 的各驱动单元 115 对应的补偿电路 110 提供补偿电压。内置电源 450 被配置为向所述栅驱动电路 199 的补偿电路及所述控制装置供电。

例如，在一些实施例中计时测温装置 430 可以采用计时传感器和温度测量传感器实时采集相关的数据，并采用处理器基于采集的数据计算补偿电压。计时测温装置 430 还可以设置有存储器，该存储器可以用于预先存储一阈值补偿对照表，该阈值补偿对照表依据晶体管工作的温度和时间提供一个阈值电压补偿参考值或者阈值电压补偿参考范围。之后计时测温装置 430 再根据统计的晶体管的工作时长和温度通过查表获得对应的补偿电压或者补偿范围。

例如，在一些实施例中，控制装置 440 还被配置为：当判断显示面板处于关机状态时，向栅驱动电路 199 的补偿电路 110 提供计时测温装置 430 得到的补偿电压。例如，补偿电压用于对与补偿电路 110 相连的驱动单元 115 的上拉电路或者下拉维持控制电路中的部分晶体管进行阈值电压补偿。

例如，在一些实施例中控制装置 440 还被配置为在计时测温装置 430 计算得到的补偿时长内向补偿电路 110 提供补偿电压。

例如，在一些实施例中，补偿电压包括正向补偿电压或负向补偿电压。当执行正向偏压补偿时，控制装置 440 向第一补偿信号线（具体可以参考图

2A 示出的第一补偿信号) 传输正向补偿电压。当执行负向偏压补偿时, 控制装置 3440 向第一补偿信号线 (图 2A 示出的) 传输负向补偿电压。

例如, 在一些实施例中, 补偿电压可以仅包括正向补偿电压, 此时当监测显示面板处于不工作状态时, 由控制装置 440 向第二补偿信号线传输正向补偿电压 (具体可以参考图 2B 示出的第二补偿信号线 225)。

如图 5A 和图 5B 所示, 本公开实施例还提供一种用于驱动图 3B 和图 3C 示出的移位寄存器的驱动时序图。

如 5A 所示, 驱动方法包括充电阶段、输出阶段、放电阶段、保持阶段以及补偿阶段。

10 在充电阶段 1, 设置输入信号 Out(n-1) 为有效信号, 设置第一时钟信号 CLK 为无效信号, 设置第二时钟信号 CLKB 为有效信号, 设置复位信号 Out(n+1) 为关闭电压。在输出阶段 2, 设置输入信号 Out(n-1) 为无效信号, 设置第一时钟信号 CLK 为有效信号, 设置第二时钟信号 CLKB 为无效信号, 设置复位信号 Out(n+1) 为关闭电压。在放电阶段 3, 设置输入信号 Out(n-1) 为无效信号, 设置第一时钟 CLK 信号为无效信号, 设置第二时钟信号 CLKB 为无效信号, 设置复位信号 Out(n+1) 为开启电压。在保持阶段 4, 设置输入信号 Out(n-1) 为无效信号, 设置第一时钟信号 CLK 为无效信号, 设置第二时钟信号 CLKB 为无效信号, 设置复位信号 Out(n+1) 为关闭电压。在补偿阶段, 设置输入信号 Out(n-1) 为无效信号, 设置第一时钟信号 CLK 为无效信号, 设置第二时钟信号 CLKB 为无效信号, 设置复位信号 Out(n+1) 为关闭电压, 设置补偿控制信号 Off_Compensation_Ctrl 为开启电压并设置所述第一补偿信号线 Off_Compensation_PW 在补偿时间 T 内传输有效信号, 或者设置所述第二补偿信号线在补偿时长 T (如图 5B 所示) 内传输有效信号。在一些例子中, 有效信号为高电压信号, 无效信号为低电压信号。而在另一些例子中, 有效信号为低电压信号, 无效信号为高电压信号。本公开在此不作限定。

以上示例中的输入信号 Out(n-1) 信号为第 n 级驱动单元的上一级驱动单元 (即第 “n-1” 级驱动单元) 的输出端信号。复位信号 Out(n+1) 信号为第 n 级驱动单元的下一级驱动单元 (即第 “n+1” 级驱动单元) 的输出端信号。此外, 当 n 等于 1 时, 由于其不存在上一级驱动单元所以此时可以设置 Out(n-1) 信号为一激励脉冲信号作为 Out(n+1) 信号。当 n 为最后一级驱动单元时, 其

不存在下一级驱动单元此时也可以设置一激励脉冲信号作为 Out(n+1)信号。

下面结合图 4、图 5A、图 5B 以及图 6A-6D 详细说明用于驱动图 3C 电路的驱动过程。

当显示装置开机时计时测温装置 430 负责统计驱动单元 115 的工作时间
5 和工作温度，并评估第二晶体管 M2、第五晶体管 M5 和第八晶体管 M8 的阈值电压偏移情况，并将结果保存在控制装置 440 中。图 3B 示出的电路的工作过程包括阶段一的充电过程，阶段二的输出过程，阶段三的放电过程，阶段四的保持过程共四个部分，各个阶段的时序图可以参考图 5A 和图 5B。此外，这四个阶段对应开启的晶体管如图 6A-6D（其中图中的补偿电路部分仅
10 包含图 2B 中的第一补偿晶体管或者图 3C 提供的补偿电路中的一个补偿晶体管）中所示，其中图 6A-6D 中以实线加粗的部分表示晶体管为导通状态，其他无加粗为关闭状态。

阶段一：充电阶段将输入信号 Out(n-1)输入至输入端 INPUT，第一晶体管 M1 打开，上拉节点 pu 被充电至 Vgh（例如，高电平）。第五晶体管 M5
15 及第八晶体管 M8 打开，将第一下拉节点 pd 和第二下拉节点 PD-CN 下拉至低电平；

阶段二：输出阶段在充电阶段上拉节点 pu 被拉升至高电平，第五晶体管 M5 和第八晶体管 M8 打开，继续对第一下拉节点 pd 和第二下拉节点 PD_CN 放电，此时由于第一时钟信号 CLK 变为高电平，在电容 C1 的作用下，上拉
20 节点 pu 点自举至更高的电位，第二晶体管 M2 更为充分的打开，将第一时钟 CLK 输出至输出端。

阶段三：放电阶段将 Out(n+1)输入至复位信号线 RESET，第十晶体管 M10 及第三晶体管 M3 开启，分别对上拉节点 pu 和输出端放电，随着上拉节点 pu 电位降低，第四晶体管 M4 和第五晶体管 M5 开启，将第一下拉节点
25 pd 拉升至高电位。

阶段四：保持阶段在放电阶段下拉节点 pd 已被拉升至高电位，此时第四晶体管 M4、第九晶体管 M9、第六晶体管 M6 以及第七晶体管 M7 打开，将上拉节点 pu 点和输出端拉至低电位，保持该级驱动单元在关机状态下的输出为 Vgl（例如，低电平）。

30 关机阶段：在显示器关机状态下，控制装置 440 依赖电源装置提供的电

力，向第二补偿信号线输出一个正向偏压，进行正向偏压补偿。此时的时序和开启的晶体管如图 5B 所示，该正向偏压使第十一晶体管 M11 导通，输出至上拉节点 pu 点，对第二晶体管 M2、第五晶体管 M5 和第八晶体管 M8 施加正向偏压，可以恢复这三个晶体管在驱动单元工作期间积累的负向阈值电压 V_{th} 偏移。此外，第二补偿信号 Off_Compensation 的输出时间 T 由计时测温装置 430 记录的数据计算得出。在恢复过程结束后，则补偿电路停止工作。

本公开实施例附图只涉及到与本公开实施例涉及到的结构，而其他结构可参考通常设计。在不冲突的情况下，本公开的实施例及实施例中的不同特征可以相互组合。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

本公开要求于 2016 年 10 月 31 日递交的中国专利申请第 201610928693.X 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本公开的一部分。

权利要求书

1、一种移位寄存器，包括：

驱动单元，被配置为给相应的像素单元组提供栅线信号；和

5 与所述驱动单元对应设置的补偿电路；

其中，所述补偿电路被配置为补偿所述驱动单元中的一个或多个晶体管的阈值电压偏移。

2、如权利要求 1 所述移位寄存器，其中，所述补偿电路包括：

10 补偿晶体管，所述补偿晶体管的栅极与补偿控制线相连，所述补偿晶体管的的第一极与第一补偿信号线相连，所述补偿晶体管的第二极与上拉节点相连；

其中，所述补偿控制线用于向所述栅极提供控制所述补偿晶体管导通的控制信号；所述第一补偿信号线用于向所述第一极提供正向补偿电压或者负向补偿电压。

15 3、如权利要求 1 所述移位寄存器，其中，所述补偿电路包括：第一补偿晶体管以及第二补偿晶体管；其中所述第一补偿晶体管为 N 型晶体管和所述第二补偿晶体管中为 P 型晶体管；

20 所述第一补偿晶体管的栅极同时与第二补偿信号线和所述第一补偿晶体管的的第一极相连，所述第一补偿晶体管的第二极与所述驱动单元的上拉节点相连；

所述第二补偿晶体管的栅极同时与所述第二补偿信号线和所述第二补偿晶体管的的第一极相连，所述第二补偿晶体管的第二极与所述驱动单元的所述上拉节点相连；

25 其中，所述第二补偿信号线用于向所述第一补偿晶体管的的第一极或者向所述第二补偿晶体管的的第一极提供补偿电压。

4、如权利要求 1 所述移位寄存器，其中，

所述驱动单元包括：

上拉电路，被配置为将第一时钟信号输出为栅线信号；

上拉控制电路，被配置为控制所述上拉电路的打开时间；

30 下拉电路，被配置为在第一时间将所述栅线信号拉低为低电位；

下拉维持电路，被配置为维持所述栅线信号的低电位状态；

下拉维持控制电路，被配置为维持下拉控制点处于低电位；

所述上拉电路或者下拉维持控制电路均至少包含一个晶体管；

其中，所述补偿电路被配置为向所述上拉电路或者下拉维持控制电路中

5 的部分晶体管写入补偿电压。

5、如权利要求4所述的移位寄存器，其中，

所述上拉控制电路包括第一晶体管，所述第一晶体管的第一极与输入信号线连接以接收输入信号，所述第一晶体管的栅极与所述第一极连接，所述第一晶体管的第二极与所述上拉节点相连；

10 所述上拉电路包括第二晶体管，该第二晶体管的栅极与所述上拉节点相连，所述第二晶体管的第一极与所述第一时钟相连，所述第二晶体管的第二极与输出端相连；

所述下拉电路包括第三晶体管，所述第三晶体管的第一极与所述输出端连接，所述第三晶体管的栅极与复位信号线连接，所述第三晶体管的第二极与第一电源线连接；其中，所述第一电压线用于传输所述第一电压；所述复位信号线用于传输所述复位信号；

所述下拉维持控制电路包括第四晶体管和第五晶体管，所述第四晶体管的第一极与第二时钟信号线连接，所述第四晶体管的栅极与所述第二下拉节点相连，所述第四晶体管的第二极与所述第一下拉节点相连；所述第五晶体管的第一极与所述第一下拉节点相连，所述第五晶体管的栅极与所述上拉节点相连，所述第五晶体管的第二极与所述第一电源线连接；其中，所述第二时钟信号线用于传输第二时钟信号；所述第一电源线用于传输所述第一电压；

20 所述下拉维持电路包括第六晶体管以及第七晶体管，所述第六晶体管与所述第七晶体的第一极均与所述第一电源线连接，所述第六晶体管与所述第七晶体管的栅极均与第一下拉节点连接，所述第六晶体管与所述第七晶体管的第二极均与所述上拉节点连接；其中，所述第一电压线用于传输所述第一电压。

6、如权利要求5所述的移位寄存器，其中，

所述下拉维持控制电路还包括第八晶体管和第九晶体管；

30 所述第八晶体管的第一极与所述第二下拉节点相连，所述第八晶体管的

栅极与所述上拉节点相连,所述第八晶体管的第二极与所述第一电源线连接;

所述第九晶体管的第一极与所述第二时钟信号连接以接收第二时钟信号,所述第九晶体管的栅极与所述第一极相连,所述第九晶体管的第二极与所述第二下拉节点相连。

5 7、如权利要求5所述移位寄存器,其中,还包括复位电路,被配置为初始化阶段使得所述上拉节点放电。

8、如权利要求7所述的移位寄存器,其中,所述复位电路包括第十晶体管,所述第十晶体管的第一极与所述上拉节点相连,所述第十晶体管的栅极与所述复位信号连接,所述第十晶体管的第二极与所述第一电源线连接。

10 9、一种栅驱动电路,包括权利要求1-8中任一项所述的移位寄存器。

10、一种显示装置,包括权利要求9所述的栅驱动电路以及与所述栅驱动电路相连的显示面板。

11、如权利要求10所述的显示装置,还包括:

15 计时测温装置,被配置为测量所述显示面板工作时所述栅驱动电路的各驱动单元的工作时长以及工作时的温度,基于统计的时间和温度得到各驱动单元的上拉电路或者下拉维持控制电路中晶体管的阈值电压偏移情况,并依据阈值电压偏移情况计算晶体管的补偿时长及补偿电压;

控制装置,被配置为存储由所述计时测温装置计算得到的补偿电压和补偿时长,并向与所述栅驱动电路的各驱动单元对应的补偿电路提供所述补偿电压; 以及

20 内置电源,被配置为向所述栅驱动电路的补偿电路及所述控制装置供电。

12、如权利要求11所述的显示装置,其中,

所述控制装置还被配置为:当判断所述显示面板处于关机状态时,向所述栅驱动电路的补偿电路提供所述补偿电压,其中所述补偿电压用于对驱动单元的上拉电路或者下拉维持控制电路中部分晶体管进行阈值电压补偿。

13、如权利要求12所述的显示装置,其中,所述控制装置还被配置为在所述补偿时间段内向所述补偿电路提供补偿电压。

14、如权利要求12所述的显示装置,其中,

所述补偿电压包括正向补偿电压或负向补偿电压;

30 当执行正向偏压补偿时,所述控制装置向所述第一补偿信号线传输正向

补偿电压;

当执行负向偏压补偿时, 所述控制装置向所述第一补偿信号线传输负向补偿电压。

15、一种驱动方法, 用于驱动权利要求 1-8 任一项所述的移位寄存器,

5 包括:

在充电阶段, 设置输入信号为有效信号, 设置第一时钟信号为无效信号, 设置第二时钟信号为有效信号, 设置复位信号为关闭电压;

在输出阶段, 设置所述输入信号为无效信号, 设置所述第一时钟信号为有效信号, 设置所述第二时钟信号为无效信号, 设置所述复位信号为关闭电压;

10 压;

在放电阶段, 设置所述输入信号为无效信号, 设置所述第一时钟信号为无效信号, 设置所述第二时钟信号为无效信号, 设置所述复位信号为开启电压;

在保持阶段, 设置所述输入信号为无效信号, 设置所述第二时钟信号为无效信号, 设置所述第二时钟信号为无效信号, 设置所述复位信号为关闭电压; 以及

在补偿阶段, 设置所述输入信号为无效信号, 设置所述第一时钟信号为无效信号, 设置所述第二时钟信号为无效信号, 设置所述复位信号为关闭电压, 设置补偿控制信号为开启电压并设置所述第一补偿信号线在补偿时间内

20 传输有效信号, 或者设置所述第二补偿信号线在补偿时长内传输有效信号。

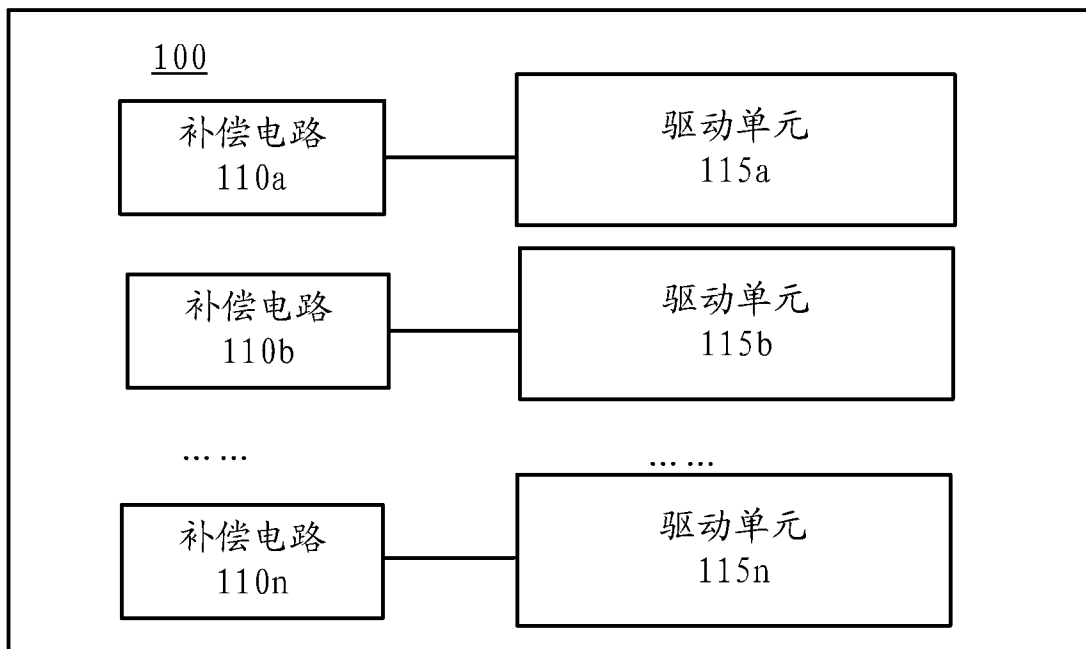


图 1

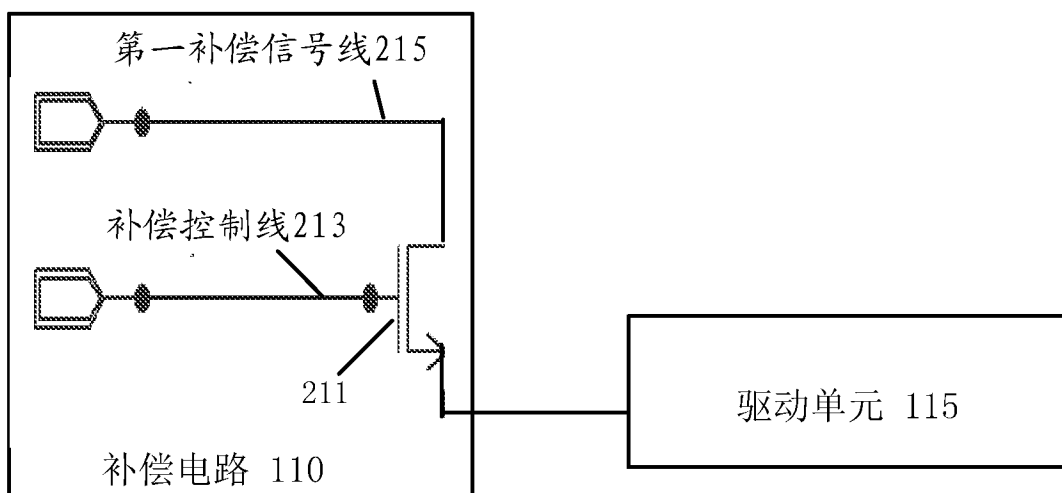


图 2A

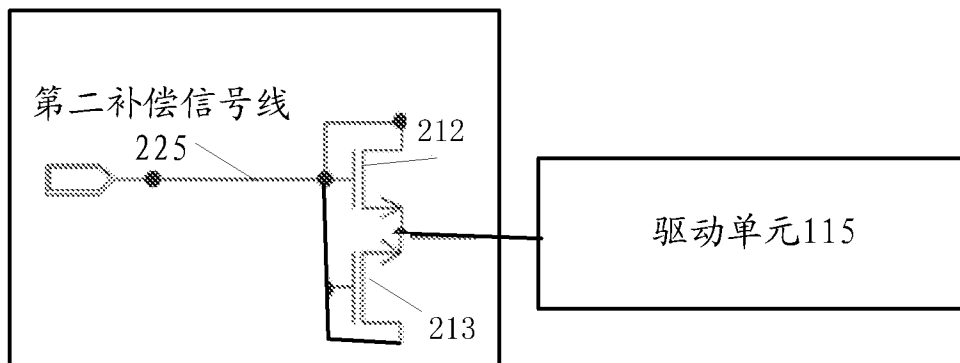


图 2B

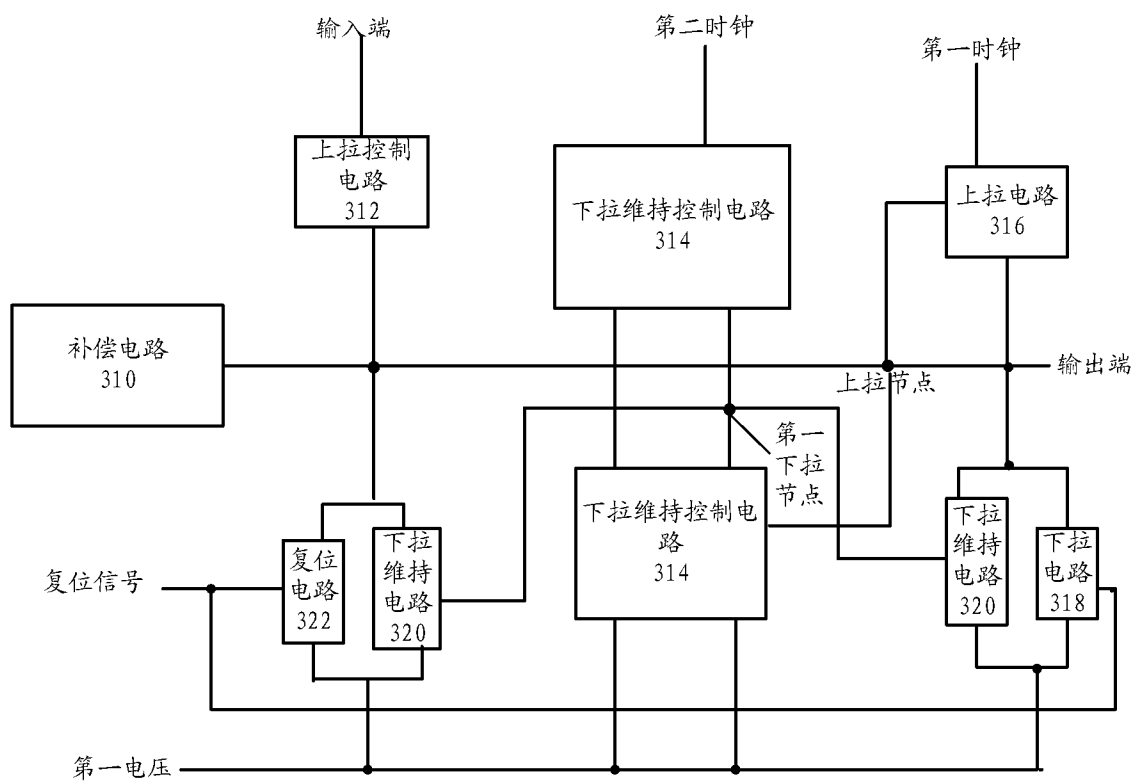


图 3A

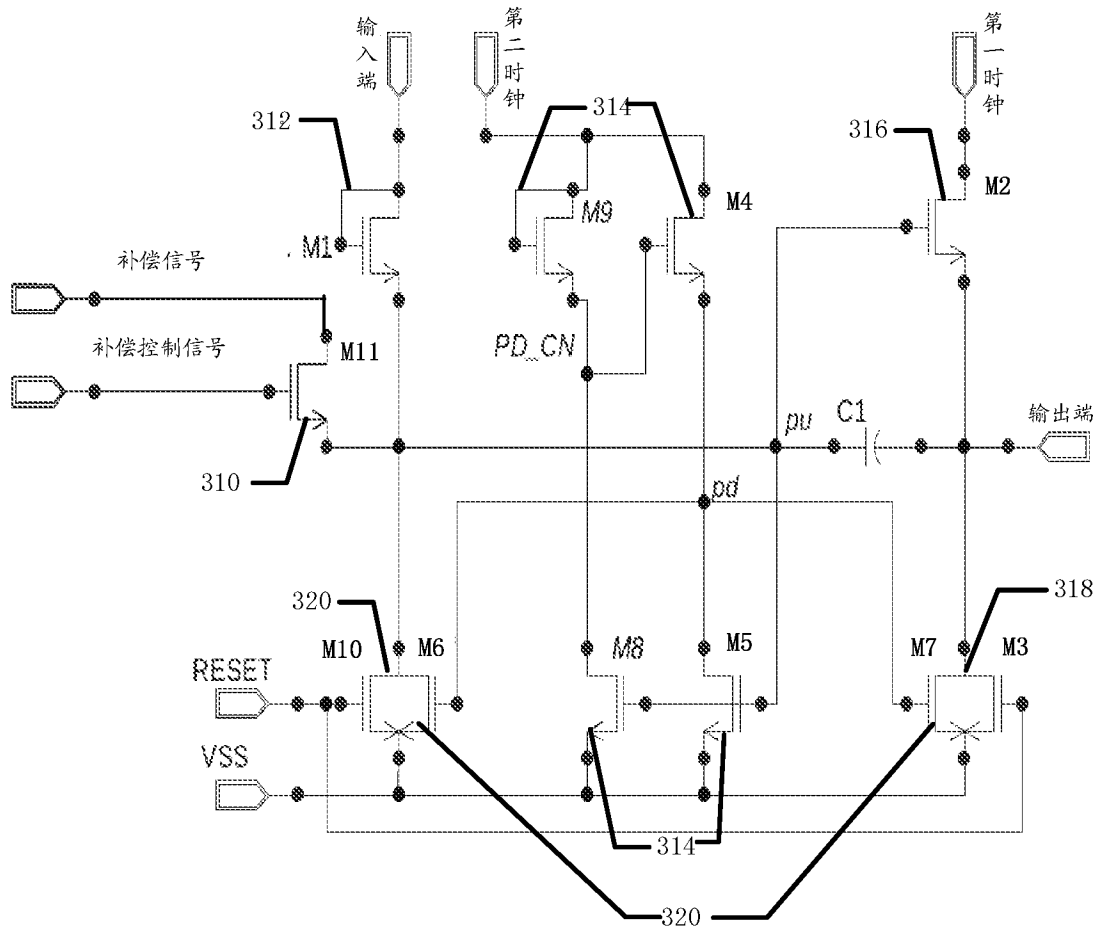


图 3B

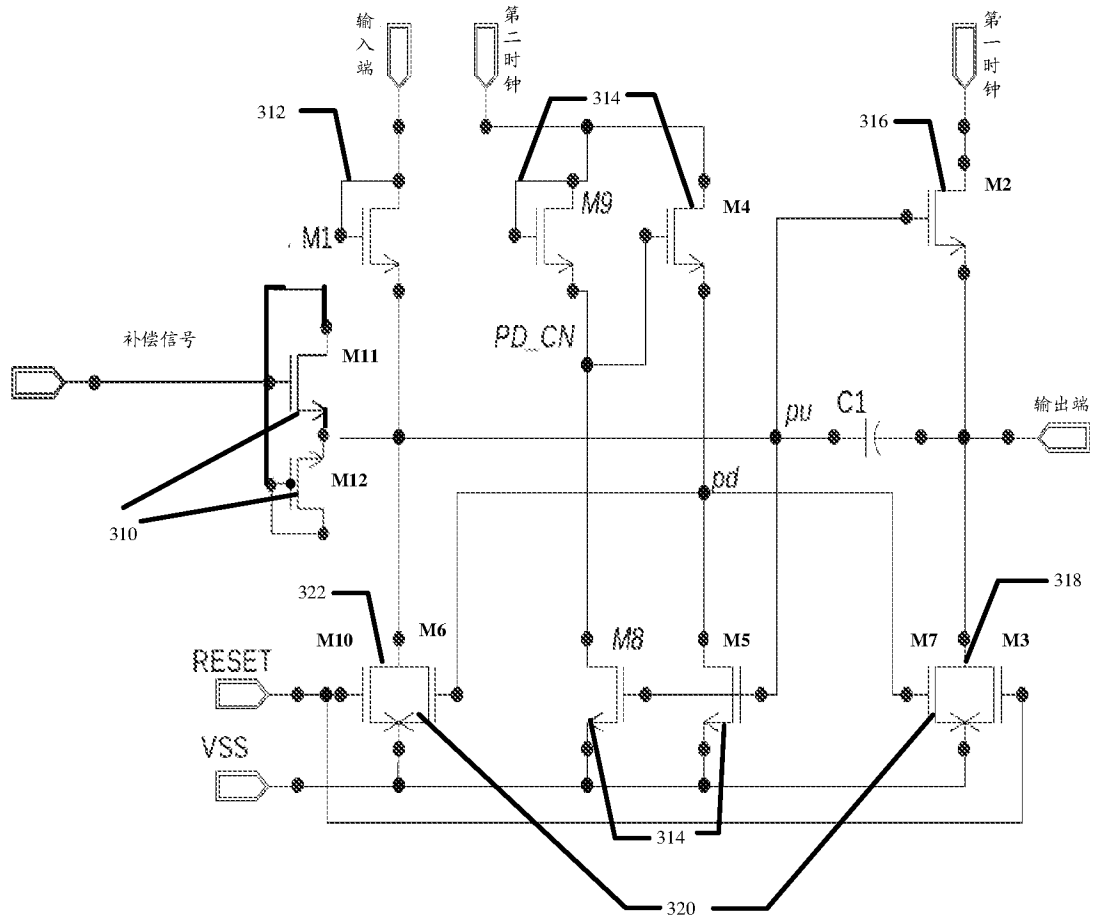


图 3C

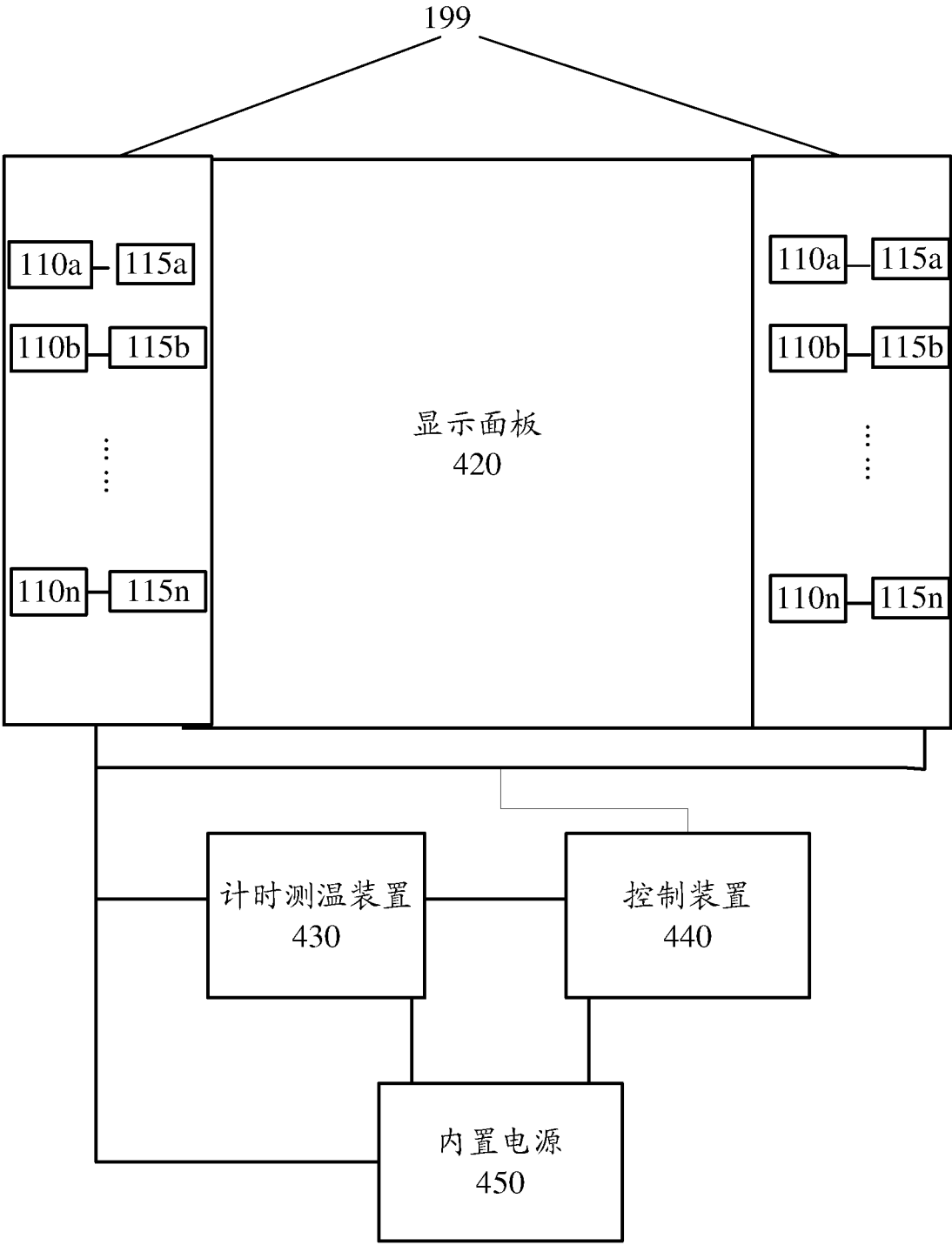


图 4

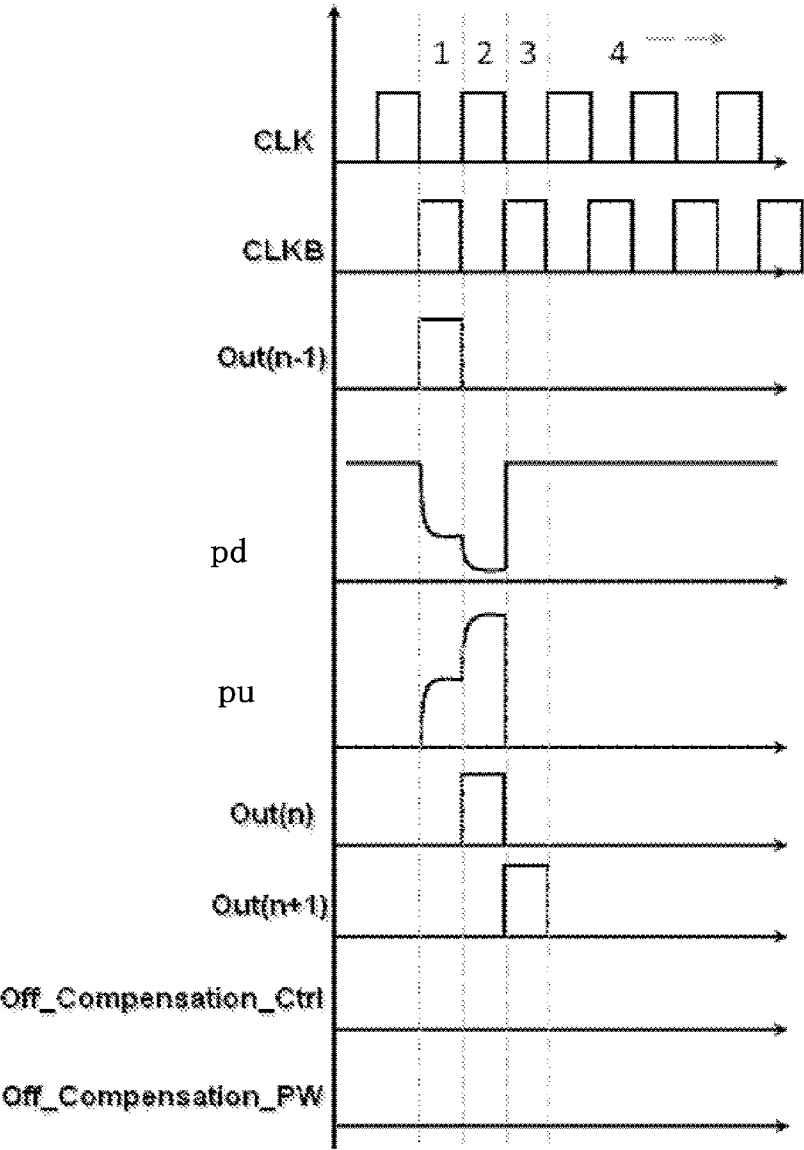


图 5A

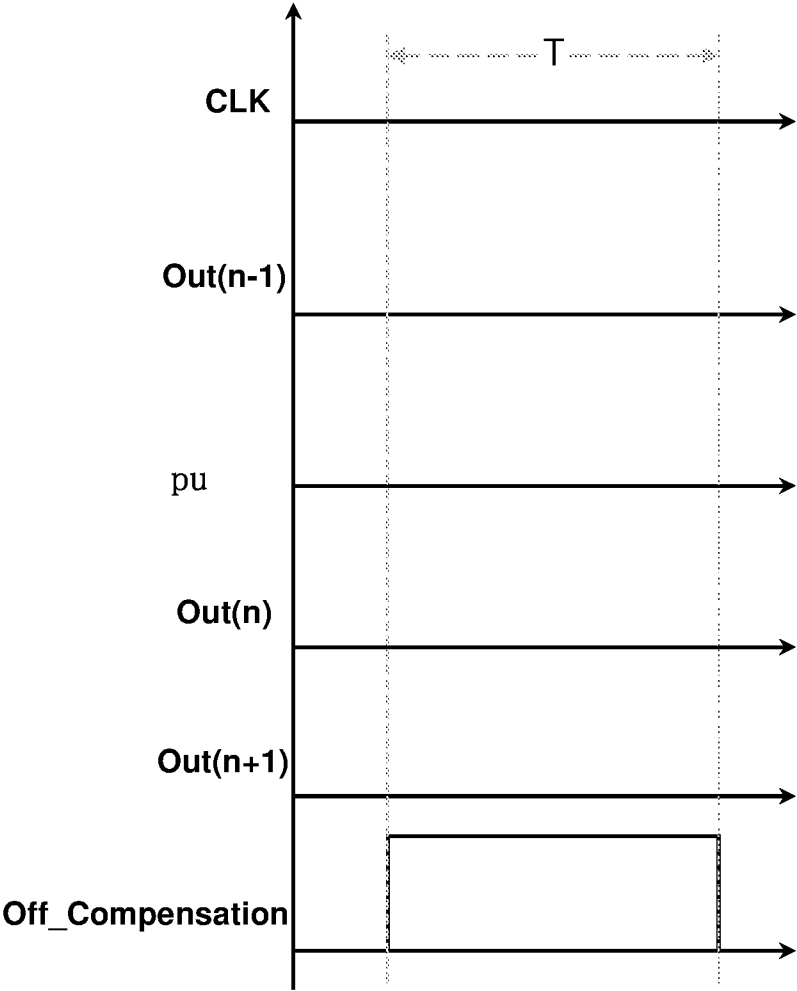


图 5B

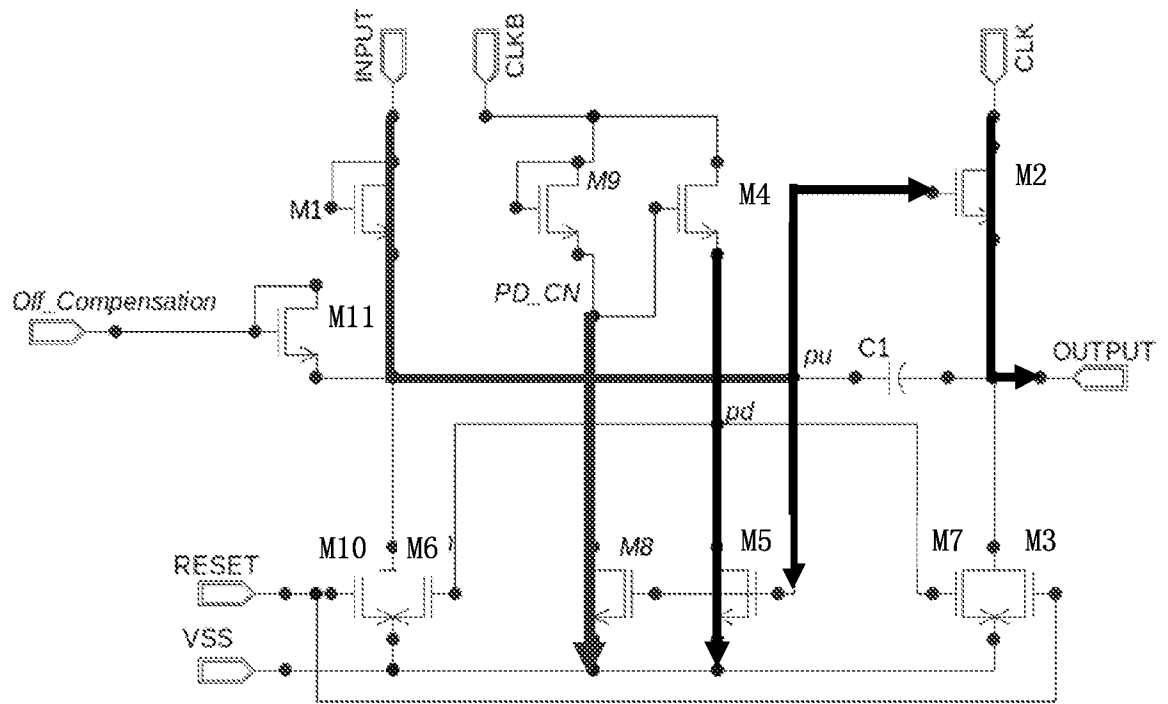


图 6A

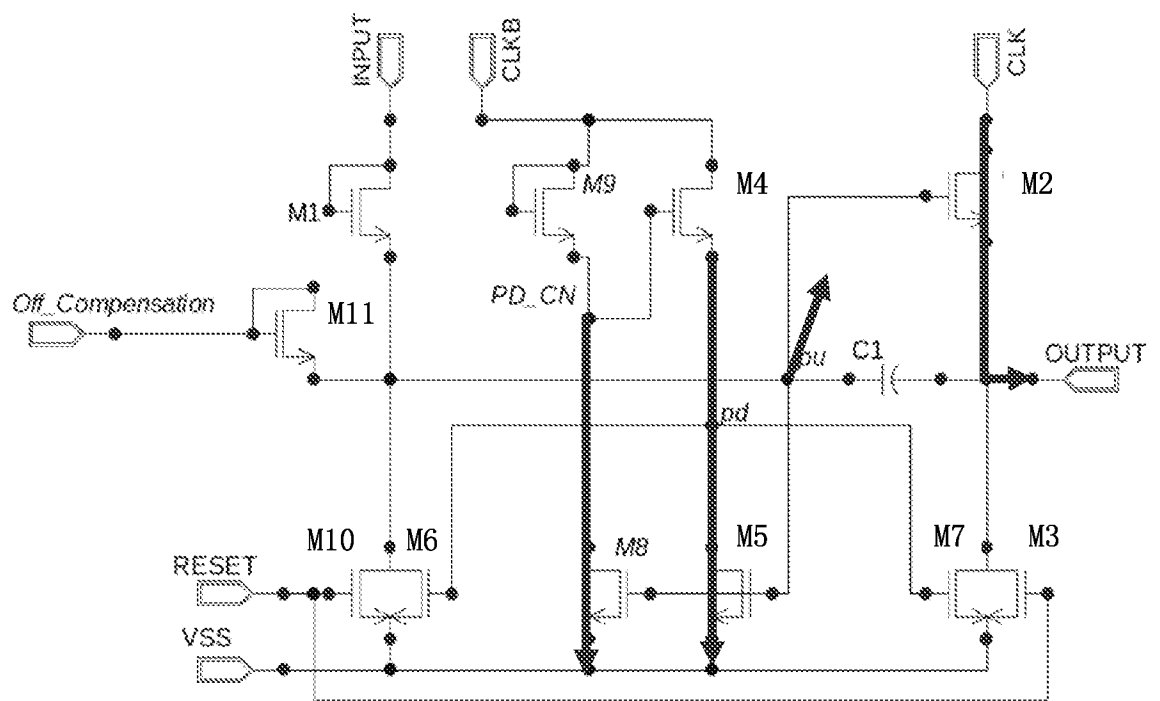


图 6B

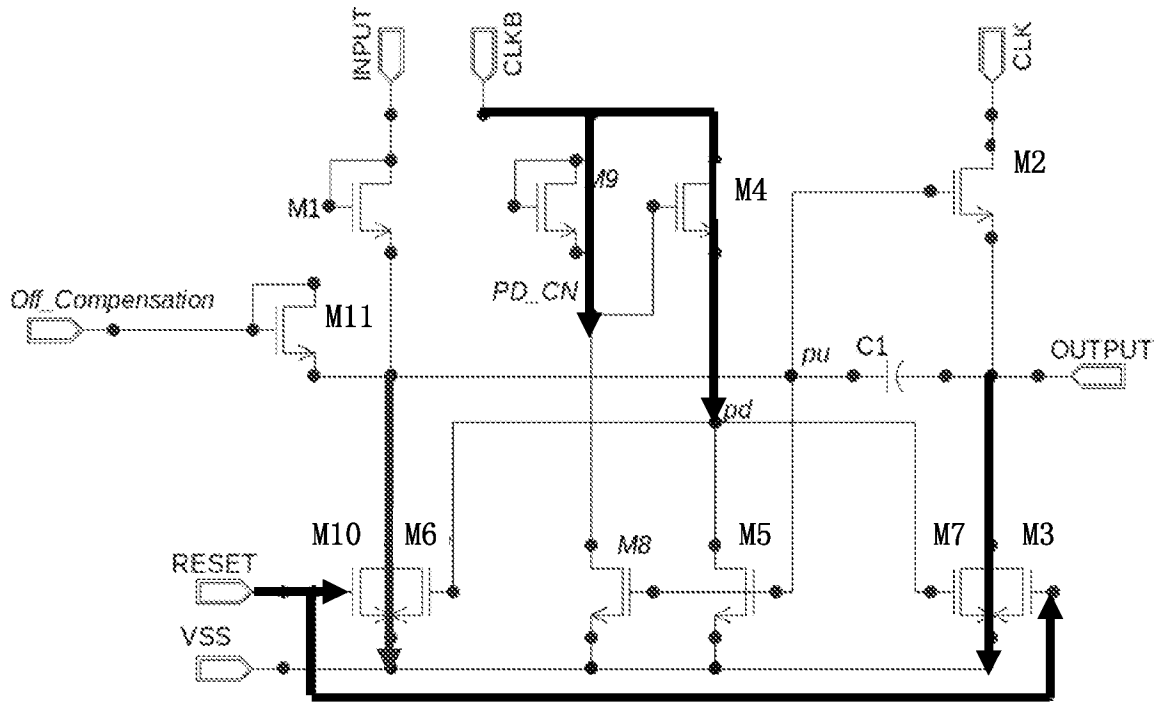


图 6C

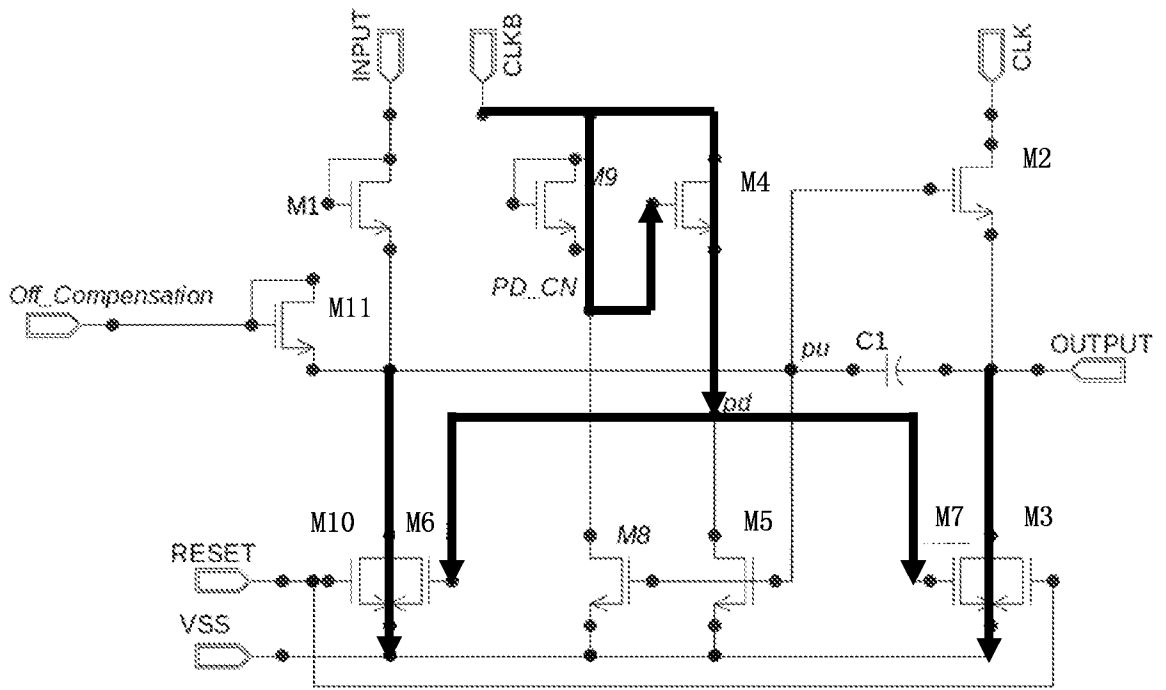


图 6D

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/082328

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3, G11C 19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN: 移位寄存器, 移位暂存器, 栅极, 晶体管, 阈值, 电压, 偏压, 漂移, 偏移, 补偿, 校正, 非工作, 不工作, shift register?, gate, trnsistor?, threshold, voltage, bias, shift+, compens+, inactive

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105206243 A (BOE TECHNOLOGY GROUP CO., LTD.), 30 December 2015 (30.12.2015), description, paragraphs [0068]-[0134], and figures 1-7	1-10, 15
PX	CN 106356015 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 25 January 2017 (25.01.2017), description, paragraphs [0030]-[0072], and figures 1-6D	1-15
A	CN 104318883 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 28 January 2015 (28.01.2015), entire document	1-15
A	CN 104064158 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 24 September 2014 (24.09.2014), entire document	1-15
A	US 2014091997 A1 (LG DISPLAY CO., LTD.), 03 April 2014 (03.04.2014), entire document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 July 2017	Date of mailing of the international search report 28 July 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Xi Telephone No. (86-10) 62085797

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/082328

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105206243 A	30 December 2015	WO 2017071278 A1	04 May 2017
CN 106356015 A	25 January 2017	None	
CN 104318883 A	28 January 2015	CN 104318883 B	01 February 2017
CN 104064158 A	24 September 2014	KR 20170030599 A	17 March 2017
		US 2016260403 A1	08 September 2016
		US 9524688 B2	20 December 2016
		GB 201700516 D0	01 March 2017
		CN 104064158 B	04 May 2016
		GB 2543210 A	12 April 2017
		WO 2016008189 A1	21 January 2016
US 2014091997 A1	03 April 2014	CN 103714770 B	20 April 2016
		US 9190169 B2	17 November 2015
		KR 20140042451 A	07 April 2014
		CN 103714770 A	09 April 2014

国际检索报告

国际申请号

PCT/CN2017/082328

A. 主题的分类

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3, G11C19

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN:移位寄存器, 移位暂存器, 栅极, 晶体管, 阈值, 电压, 偏压, 漂移, 偏移, 补偿, 校正, 非工作, 不工作, shift register?, gate, transistor?, threshold, voltage, bias, shift+, compens+, inactive

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105206243 A (京东方科技集团股份有限公司) 2015年 12月 30日 (2015 - 12 - 30) 说明书第【0068】-【0134】, 附图1-7	1-10, 15
PX	CN 106356015 A (合肥鑫晟光电科技有限公司 等) 2017年 1月 25日 (2017 - 01 - 25) 说明书第【0030】-【0072】段、附图1-6D	1-15
A	CN 104318883 A (北京大学深圳研究生院) 2015年 1月 28日 (2015 - 01 - 28) 全文	1-15
A	CN 104064158 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-15
A	US 2014091997 A1 (LG DISPLAY CO LTD) 2014年 4月 3日 (2014 - 04 - 03) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 7月 18日

国际检索报告邮寄日期

2017年 7月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

杨曦

电话号码 (86-10)62085797

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/082328

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105206243	A	2015年 12月 30日	WO	2017071278	A1	2017年 5月 4日
CN	106356015	A	2017年 1月 25日	无			
CN	104318883	A	2015年 1月 28日	CN	104318883	B	2017年 2月 1日
CN	104064158	A	2014年 9月 24日	KR	20170030599	A	2017年 3月 17日
				US	2016260403	A1	2016年 9月 8日
				US	9524688	B2	2016年 12月 20日
				GB	201700516	D0	2017年 3月 1日
				CN	104064158	B	2016年 5月 4日
				GB	2543210	A	2017年 4月 12日
				WO	2016008189	A1	2016年 1月 21日
US	2014091997	A1	2014年 4月 3日	CN	103714770	B	2016年 4月 20日
				US	9190169	B2	2015年 11月 17日
				KR	20140042451	A	2014年 4月 7日
				CN	103714770	A	2014年 4月 9日

表 PCT/ISA/210 (同族专利附件) (2009年7月)