



(12)发明专利

(10)授权公告号 CN 104272391 B

(45)授权公告日 2018.04.27

(21)申请号 201380023029.5

(72)发明人 X·李 J·P·金 T·金

(22)申请日 2013.05.06

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号

申请公布号 CN 104272391 A

代理人 元云

(43)申请公布日 2015.01.07

(51)Int.Cl.

(30)优先权数据

13/464,242 2012.05.04 US

G11C 11/16(2006.01)

G11C 11/56(2006.01)

G11C 7/06(2006.01)

(85)PCT国际申请进入国家阶段日

2014.10.31

(56)对比文件

US 2009/0201717 A1, 2009.08.13,

US 2011/0194333 A1, 2011.08.11,

US 2008/0094884 A1, 2008.04.24,

CN 1524269 A, 2004.08.25,

(86)PCT国际申请的申请数据

PCT/US2013/039656 2013.05.06

(87)PCT国际申请的公布数据

W02013/166479 EN 2013.11.07

审查员 唐丹颖

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

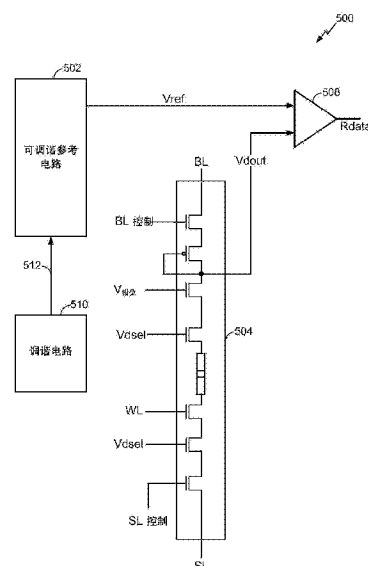
权利要求书2页 说明书17页 附图8页

(54)发明名称

包括用于半导体存储器电路的磁性隧道结元件的可调谐参考电路

(57)摘要

一种电路包括包含第一路径和第二路径的第一参考对。第一路径包括第一磁性隧道结(MTJ)元件而第二路径包括第二MTJ元件。该电路进一步包括包含第三路径和第四路径的第二参考对。第三路径包括第三MTJ元件而第四路径包括第四MTJ元件。第一参考对和第二参考对被并联地系结在一起。该电路的参考电阻基于第一、第二、第三和第四MTJ元件中每一者的电阻。该电路的参考电阻能够通过调整其中一个MTJ元件的电阻来调整。



1. 一种调谐可调谐参考电路的方法,所述方法包括:

选择(602)被并联地连接在一起的多个参考对(102、104、250、252、254)中的第一参考对的路径,所述参考对中的每一参考对包括包含第一磁性隧道结MTJ元件(110、118、218、234、238)的第一路径(106、114、260、270、274)和包含第二MTJ元件(112、120、220、236、240)的第二路径(108、116、262、272、276);以及

将电流施加于(604)所述路径以设置所述第一参考对的所述路径中的MTJ元件的MTJ电阻,其中所述可调谐参考电路的参考电阻基于所述多个参考对(102、104、250、252、254)中的每一参考对的电阻,其中所述多个参考对(102、104、250、252、254)包括第一数量的处于第一状态的MTJ元件和第二数量的处于第二状态的MTJ元件,其中所述第一状态对应于平行状态而所述第二状态对应于反平行状态,并且其中所述第一数量和所述第二数量是不同的。

2. 如权利要求1所述的方法,其特征在于,进一步包括将存储器元件的输出电压与所述可调谐参考电路的参考电压进行比较以确定与所述存储器元件的所述输出电压相对应的数字值,其中所述可调谐参考电路的所述参考电压基于所述可调谐参考电路的所述参考电阻。

3. 如权利要求1所述的方法,其特征在于,所述可调谐参考电路的所述参考电阻是所述多个参考对中的每一参考对的电阻的平均。

4. 如权利要求1所述的方法,其特征在于,所述第一参考对的所述路径中的所述MTJ元件的第一电阻对应于所述MTJ元件的所述第一状态,其中所述第一参考对的所述路径中的所述MTJ元件的第二电阻对应于所述MTJ元件的所述第二状态,并且其中所述第二电阻大于所述第一电阻。

5. 如权利要求1所述的方法,其特征在于,所述多个参考对中的所述第一参考对的所述路径是基于关于每一参考对中的所述第一MTJ元件和所述第二MTJ元件的空间位置的信息并基于每一参考对中的所述第一MTJ元件和所述第二MTJ元件的电阻变化来选择的。

6. 如权利要求1所述的方法,其特征在于,进一步包括断言至少一个控制信号以使足够的电流能流经所述第一参考对的所述路径中的所述MTJ元件。

7. 如权利要求6所述的方法,其特征在于,所述第一路径包括第一晶体管,其中所述第二路径包括第二晶体管,其中第一控制信号被提供给所述第一晶体管的栅极端,并且其中第二控制信号被提供给所述第二晶体管的栅极端。

8. 一种调谐可调谐参考电路的设备,包括:

用于选择被并联地连接在一起的多个参考对(102、104、250、252、254)中的第一参考对的路径的装置(CTL11、CTL12、CTL21、CTL22、CTLn1、CTLn2),所述参考对中的每一参考对包括包含第一磁性隧道结MTJ元件(110、118、218、234、238)的第一路径(106、114、260、270、274)和包含第二MTJ元件(112、120、220、236、240)的第二路径(108、116、262、272、276);以及

用于将电流施加于所述路径以设置所述第一参考对的所述路径中的MTJ元件的电阻的装置(122、264、266),其中所述设备的参考电阻基于所述多个参考对(102、104、250、252、254)中的每一参考对的电阻,其中所述多个参考对(102、104、250、252、254)包括第一数量的处于第一状态的MTJ元件和第二数量的处于第二状态的MTJ元件,其中所述第一状态对应

于平行状态而所述第二状态对应于反平行状态,并且其中所述第一数量和所述第二数量是不同的。

9.如权利要求8所述的设备,其特征在于,存储器元件的输出电压与对应于所述设备的参考电阻的参考电压进行比较以确定与所述存储器元件的所述输出电压相对应的数字值。

10.如权利要求8所述的设备,其特征在于,进一步包括用于调整与所述多个参考对并联地连接的备用参考对的第一备用MTJ元件的电阻的装置,所述备用参考对包括所述备用MTJ元件和第二备用MTJ元件,其中所述设备的所述参考电阻能够基于所述第一备用MTJ元件的电阻来调整。

11.如权利要求10所述的设备,其特征在于,所述备用参考对被包括在参考对阵列中,所述参考对阵列包括所述第一参考对和所述备用参考对。

12.如权利要求8所述的设备,其特征在于,所述用于选择的装置包括所述第一参考对的所述路径中的晶体管,所述晶体管具有接收控制信号的栅极端,并且其中所述用于施加所述电流的装置包括被耦合至所述多个参考对中的每一参考对的参考源线。

13.如权利要求8所述的设备,其特征在于,所述设备的所述参考电阻在对所述设备执行测试以确定所述设备的初始电阻之后被调整,并且其中所述第一参考对的所述路径的所述MTJ元件包括所述第一参考对的所述第一路径的所述第一MTJ元件。

14.如权利要求8所述的设备,其特征在于,所述用于选择所述多个参考对中的所述第一参考对的所述路径的装置和所述用于将所述电流施加于所述路径的装置包括存储能够由计算机执行的指令的非瞬态计算机可读介质,所述指令包括:

能够由所述计算机执行以选择所述多个参考对中的所述第一参考对的所述路径的指令;以及

能够由所述计算机执行以将所述电流施加于所述路径的指令。

15.如权利要求14所述的设备,其特征在于,所述指令进一步包括能够由所述计算机执行以将存储器元件的电阻与所述设备的所述参考电阻进行比较以确定所述存储器元件的状态的指令。

包括用于半导体存储器电路的磁性隧道结元件的可调谐参考电路

[0001] I. 领域

[0002] 本公开一般涉及调整参考电路的参考电阻。

[0003] II. 相关技术描述

[0004] 技术进步已导致越来越小且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络传达语音和数据分组。此外,许多此类无线电话包括被结合于此的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于接入因特网的软件应用,诸如web浏览器应用。这些无线电话还可包括包含磁性隧道结(MTJ)存储器元件的存储器设备。

[0005] MTJ存储器元件可被用作例如磁性随机存取存储器(MRAM)设备的MRAM元件。MTJ存储器元件可以处于平行状态或处于反平行状态。MTJ存储器元件的每一状态可对应于MTJ存储器元件的相应电阻。相对于参考电阻较低的MTJ存储器元件的电阻可表示第一数字值。相对于该参考电阻较高的MTJ存储器元件的电阻可表示第二数字值。MTJ存储器元件的电阻表示第一数字值还是第二数字值可通过将MTJ存储器元件的输出电压与对应于参考电阻的参考电压作比较来确定。MTJ元件的输出电压可对应于MTJ存储器元件的电阻。诸如工艺变化和制造缺陷之类的因素可导致MTJ存储器元件的电阻以及参考电阻的变化。此类电阻变化可导致对由MTJ存储器元件的输出电压所表示的数字值的不一致和不准确的确定。

III. 发明内容

[0006] 公开了提供参考电压的可调谐参考电路。该可调谐参考电路可向感测设备(例如,感测放大器)提供参考电压,该感测设备使用参考电压来确定对应于存储器元件(诸如MRAM设备中的MTJ元件)的输出电压的数字值。参考电压可对应于可调谐参考电路的参考电阻,并且存储器元件的输出电压可对应于存储器元件的电阻。

[0007] 可调谐参考电路可包括被并联地系结在一起并对可调谐参考电路的参考电阻作出贡献的多个参考对。每个参考对可包括也可在每个相应参考对内被并联地系结在一起的路径对。参考对中的每一路径可包括可选择性地调整成处于平行状态或反平行状态的MTJ元件。MTJ元件的平行状态可对应于MTJ元件的低电阻(R_p),而MTJ元件的反平行状态可对应于MTJ元件的高电阻(R_{ap})。通过将处于平行状态的MTJ元件的数量设置为不同于处于反平行状态的MTJ元件的数量,可调谐参考电路的参考电阻可被调高或调低。参考电阻的调整相应地调整基于该参考电阻的参考电压。非等同数量的处于平行状态和处于反平行状态的MTJ元件可补偿影响可调谐参考电路的参考电阻和MTJ存储器元件的电阻的工艺变化和制造缺陷。

[0008] 在特定实施例中,一种调谐可调谐参考电路的方法包括选择被并联地系结在一起

的多个参考对中的第一参考对的路径。每一参考对包括包含第一磁性隧道结 (MTJ) 元件的第一路径以及包含第二 MTJ 元件的第二路径。该方法还包括将电流施加于选定路径以设置第一参考对的选定路径中的 MTJ 元件的 MTJ 电阻。可调谐参考电路的参考电阻基于这多个参考对中的每一参考对的电阻。这多个参考对包括第一数量的处于第一状态 (例如, 平行状态) 的 MTJ 元件以及第二数量的处于第二状态 (例如, 反平行状态) 的 MTJ 元件, 其中第一数量和第二数量不同。

[0009] 在另一特定实施例中, 一种电路包括包含第一路径和第二路径的第一参考对。第一路径包括第一磁性隧道结 (MTJ) 元件而第二路径包括第二 MTJ 元件。该电路还包括包含第三路径和第四路径的第二参考对。第三路径包括第三 MTJ 元件而第四路径包括第四 MTJ 元件。第一参考对和第二参考对被并联地系结在一起。该电路的参考电阻基于第一、第二、第三和第四 MTJ 元件的电阻。该电路的参考电阻能够通过调整第一和第二 MTJ 元件之一的电阻来调整。

[0010] 在另一特定实施例中, 一种设备包括用于选择被并联地系结在一起的多个参考对中的第一参考对的路径的装置。每一参考对包括包含第一磁性隧道结 (MTJ) 元件的第一路径以及包含第二 MTJ 元件的第二路径。该设备还包括将电流施加于选定路径以设置第一参考对的选定路径中的 MTJ 元件的 MTJ 电阻的装置。可调谐参考电路的参考电阻基于这多个参考对中的每一参考对的电阻。所述多个参考对包括第一数量的处于第一状态的 MTJ 元件以及第二数量的处于第二状态的 MTJ 元件, 其中第一数量和第二数量不同。

[0011] 由所公开的实施例中的至少一个实施例所提供的一个特定优势是调整与被用于确定与 MTJ 存储器元件的电阻相关联的数字值的参考电压相对应的参考电阻。参考电阻的调整可改善基于 MTJ 存储器元件的输出电压与参考电压的比较而确定的数字值的可靠性。此外, 参考电阻的调整可通过补偿影响参考电阻和 MTJ 存储器元件的电阻的工艺变化和制造缺陷来提高包括存储器 MTJ 元件的存储器设备的制造成品率。为了解说, 参考对可被并联地系结在一起以形成可被用作存储器设备的多个存储器元件的参考电压源的公共参考电路。由于寄生线路电阻, 参考电压线上第一位置处的参考电压电平可以与该参考电压线上的第二位置处的参考电压电平不同。另外, 由于处理变化, 存储器设备内的第一位置处的 MTJ 存储器元件具有的电阻可以与该存储器设备内的第二位置处的另一 MTJ 存储器元件的电阻不同。因此, 基于 MTJ 存储器元件和参考对的空间位置来调整由公共参考电路提供的参考电压可以补偿寄生线路电阻和 MTJ 存储器元件的电阻变化。

[0012] 本公开的其他方面、优点和特征将在阅读了整个申请后变得明了, 整个申请包括下述章节: 附图简述、具体实施方式以及权利要求。

[0013] IV. 附图简述

[0014] 图1是可调谐参考电路的特定解说性实施例的框图;

[0015] 图2是可调谐参考电路的特定解说性实施例的电路图;

[0016] 图3是可调谐参考电路的另一特定解说性实施例的电路图;

[0017] 图4是可调谐参考电路的另一特定解说性实施例的电路图;

[0018] 图5是包括图1-4的用于确定与存储器元件的输出相对应的数字值的可调谐参考电路的系统的特定解说性实施例的框图;

[0019] 图6是调整可调谐参考电路的方法的特定解说性实施例的流程图;

[0020] 图7是包括具有可调谐参考电路的存储器的无线设备的示图;以及

[0021] 图8是制造包括可调谐参考电路的电子设备的制造过程的特定解说性实施例的数据流图。

V. 具体实施方式

[0022] 参照图1,描绘了可调谐参考电路的特定解说性实施例,并且一般指定为100。该可调谐参考电路100包括第一参考对102和第二参考对104。第一参考对102和第二参考对104经由参考电压线124和线122被并联地系结在一起。可调谐参考电路100可在参考电压线124处具有基于第一参考对102的电阻和第二参考对104的电阻的参考电阻。例如,可调谐参考电路100的参考电阻可以是第一参考对102和第二参考对104的电阻的平均。可调谐参考电路100可在参考电压线124上具有基于可调谐参考电路100的参考电阻的参考电压(Vref)。参考电压线124上的参考电压(Vref)可通过调整可调谐参考电路100的参考电阻来调整。在特定实施例中,参考电压线124上的参考电压(Vref)可被用于确定与存储器元件(诸如,磁性随机存取存储器(MRAM)元件)的输出电压相对应的数字值。

[0023] 从空间布局的角度看,参考电压线124上的各个位置处的参考电压(Vref)的电压电平可能因参考电压线124的寄生线路电阻而彼此不同。例如,靠近第一参考对102左侧的位置处的参考电压(Vref)的电压电平可能与靠近第二参考对104右侧的另一位置处的参考电压(Vref)的电压电平不同。因此,个体地调整第一参考对102的电阻和第二参考对104的电阻可补偿寄生线路电阻对参考电压(Vref)的电压电平的影响。另外,由于处理变化,存储器设备中靠近第一参考对102的MTJ存储器元件具有的电阻可能不同于该存储器设备中靠近第二参考对104的MTJ存储器元件的电阻。存储器元件的电阻差异可产生与不同MTJ元件联用的不同的期望参考电压电平。因此,基于存储器设备的MTJ存储器元件的位置来调整参考电压可以补偿各MTJ元件的电阻变化。

[0024] 在特定实施例中,第一参考对102可包括第一路径106和第二路径108。第一路径106可包括第一MTJ元件110。第二路径108可包括第二MTJ元件112。第一参考对102的电阻可基于第一MTJ元件110的电阻和第二MTJ元件112的电阻。为了解说,第一MTJ元件110和第二MTJ元件112可具有低电阻(Rp)或高电阻(Rap)。在特定实施例中,低电阻(Rp)可对应于第一状态,而高电阻(Rap)可对应于第二状态。例如,第一状态可对应于MTJ元件的平行状态,而第二状态可对应于MTJ元件的反平行状态。

[0025] 在特定实施例中,基于穿过第一路径106的写电流的方向,第一MTJ元件110可以处于平行状态或处于反平行状态。类似地,基于穿过第二路径108的写电流的方向,第二MTJ元件112可以处于平行状态或处于反平行状态。在特定实施例中,第一参考对102的电阻可以是第一MTJ元件110的电阻和与第一MTJ元件110并联的第二MTJ元件112的电阻的等效电阻。

[0026] 在特定实施例中,第二参考对104可包括第三路径114和第四路径116。第三路径114包括第三MTJ元件118而第四路径116包括第四MTJ元件120。第二参考对104的电阻可基于第三MTJ元件118的电阻和第四MTJ元件120的电阻。为了解说,第三MTJ元件118和第四MTJ元件120可具有低电阻(Rp)或高电阻(Rap)。低电阻(Rp)可对应于第一状态,而高电阻(Rap)可对应于第二状态。例如,第一状态可对应于MTJ元件的平行状态,而第二状态可对应于MTJ元件的反平行状态。

[0027] 在特定实施例中,基于穿过第三路径114的写电流的方向,第三MTJ元件118可以处于平行状态或处于反平行状态。类似地,基于穿过第四路径116的写电流的方向,第四MTJ元件120可以被设置成处于平行状态或处于反平行状态。在特定实施例中,第二参考对104的电阻可以是第三MTJ元件118的电阻和与第三MTJ元件118并联的第四MTJ元件120的电阻的等效电阻。

[0028] 在特定实施例中,可调谐参考电路100的参考电阻可基于第一MTJ元件110、第二MTJ元件112、第三MTJ元件118和第四MTJ元件120中的每一者的电阻。例如,可调谐参考电路100的参考电阻可以能够通过调整第一MTJ元件110和第二MTJ元件112中的一者或多者的电阻来调整。可调谐参考电路100的参考电阻也可以能够通过调整第三MTJ元件118和第四MTJ元件120中的一者或多者的电阻来调整。

[0029] 在特定实施例中,处于第一状态(例如,平行状态)的MTJ元件110、112、118、120的数量可以与处于第二状态(例如,反平行状态)的MTJ元件110、112、118、120的数量不同。为了解说,第一MTJ元件110和第二MTJ元件112可被调整为彼此处于相同状态,而第三MTJ元件118可被调整为与第四MTJ元件120处于不同状态。在特定实施例中,第一MTJ元件110、第二MTJ元件112和第三MTJ元件118可被调整为处于平行状态,而第四MTJ元件120可被调整为处于反平行状态。替换地,在另一实施例中,处于第一状态(例如,平行状态)的MTJ元件110、112、118、120的数量可以等于处于第二状态(例如,反平行状态)的MTJ元件110、112、118、120的数量。

[0030] 在操作期间,参考电压线124上的参考电压(V_{ref})可通过分别将可调谐参考电路100的参考电阻调高或调低而被调高或调低。可调谐参考电路100的参考电阻可通过调整第一MTJ元件110、第二MTJ元件112、第三MTJ元件118和第四MTJ元件120中的一者或多者的状态来调整。例如,第一、第二、第三和第四MTJ元件110、112、118、120中的一者或多者的电阻可被调整为使得处于第一状态的第一、第二、第三和第四MTJ元件110、112、118、120的数量与处于第二状态的第一、第二、第三和第四MTJ元件110、112、118、120的数量不同。为了解说,相应的写电流可被供应给第一路径106、第二路径108、第三路径114和第四路径116中的每一者。第一MTJ元件110、第二MTJ元件112、第三MTJ元件118和第四MTJ元件120中的每一者可基于相应的写电流的方向被设置为处于平行状态或处于反平行状态。例如,第一MTJ元件110、第二MTJ元件112和第三MTJ元件118可被配置为处于与低电阻(R_p)相对应的平行状态,而第四MTJ元件120可被配置为处于与高电阻(R_{ap})相对应的反平行状态。

[0031] 在调整可调谐参考电路100的参考电阻之后,与可调谐参考电路100的参考电阻相对应的参考电压(V_{ref})可被用于确定与基于MTJ存储器元件的电阻的MTJ存储器元件输出电压相对应的数字值。相应的读电流可被供应给存储器元件的源线或位线以及第一路径106、第二路径108、第三路径114和第四路径116中的每一者。MTJ存储器元件的输出电压可以与对应于可调谐参考电路100的参考电阻的参考电压(V_{ref})作比较以确定与MTJ存储器元件的输出电压相对应的数字值。

[0032] 通过调整第一MTJ元件110、第二MTJ元件112、第三MTJ元件118和第四MTJ元件120中的一者或多者的电阻,可调谐参考电路100的参考电阻可被调高或调低。作为调整可调谐参考电路100的参考电阻的结果,参考电压(V_{ref})可被相应地调高或调低。调整参考电压(V_{ref})可以改善感测放大器的感测边际(sensing margin)以及基于MTJ存储器元件的输出

电压和参考电压 (V_{ref}) 被确定的与MTJ存储器元件的输出电压相对应的数字值的可靠性。另外,作为通过调整可调谐参考电路100的参考电阻来补偿工艺变化和制造缺陷的结果,包括MTJ存储器元件的存储器设备的制造成品率可提高。另外,由于寄生线路电阻,参考电压 (V_{ref}) 可以在参考电压线124的不同位置处具有不同电压电平。为了克服寄生线路电阻的影响,参考电压线124上的特定位置处的参考电压 (V_{ref}) 的电压电平可以通过改变靠近该特定位置的参考对的电阻而被较佳地调整。此外,由于处理变化,存储器设备内的不同位置处的MTJ存储器元件可以具有不同的电阻。因此,参考电压线124上不同位置处的参考电压 (V_{ref}) 的电压电平可被调整以补偿靠近参考电压线124上的特定位置的MTJ存储器元件的电阻变化。因此,感测放大器的感测边际可通过基于存储器设备的MTJ存储器元件的空间位置调整参考电压来改善。

[0033] 为了解说,调整第一、第二、第三和第四MTJ元件110、112、118、120中的一者或多者的电阻以使得处于第一状态的第一、第二、第三和第四MTJ元件110、112、118、120的数量与处于第二状态的第一、第二、第三和第四MTJ元件110、112、118、120的数量不同具有多项技术优势。例如,可调谐参考电路100的初始配置可包括参考对102、104,其中每个参考对包括处于平行状态的MTJ元件和处于反平行状态的MTJ元件。可调谐参考电路100的参考电阻可以是每个参考对102、104的电阻的平均,并且每个特定对的电阻可以是该特定对被并联地系结在一起的两个MTJ元件中的每一个MTJ元件的电阻的等效电阻。此种配置可以提供期望地靠近MTJ存储器元件的高电阻与MTJ存储器元件的低电阻的中间的可调谐参考电路参考电阻。然而,由于诸如工艺变化和制造缺陷之类的因素,可调谐参考电路的参考电阻可以是例如更靠近MTJ存储器元件的高电阻或者更靠近MTJ存储器元件的低电阻。与可调谐参考电路100的参考电阻和MTJ存储器元件的电阻之间的期望关系的此类偏差会影响对与MTJ存储器元件的电阻相对应的数字值的可靠确定(感测)。所确定的数字值的不可靠性会不利地影响包括MTJ存储器元件的存储器设备的制造成品率。

[0034] 通过选择可调谐参考电路的参考对中的路径并将选定路径中的MTJ元件的电阻调整为低电阻(例如,与第一状态(诸如平行状态)相对应的低电阻)或高电阻(例如,与第二状态(诸如反平行状态)相对应的高电阻),该参考对的电阻可被调低或调高。处于选定路径中的MTJ元件的电阻的调整可相应地调整可调谐参考电路的参考电阻,从而该参考电阻在该MTJ元件的高电阻和低电阻之间进行平衡。参考对的选定路径中的MTJ元件的电阻的调整可导致该参考对具有均处于平行状态或处于反平行状态的两个MTJ元件并且导致可调谐参考电路具有不等数量的处于平行状态的MTJ元件和处于反平行状态的MTJ元件。因此,具有不等数量的处于平行状态的MTJ元件和处于反平行状态的MTJ元件的可调谐参考电路可以具有期望地在MTJ存储器元件的高电阻与MTJ存储器元件的低电阻之间进行平衡的参考电阻,从而基于MTJ存储器元件的电阻确定(感测)的数字值的可靠性被改善。基于MTJ存储器元件的电阻确定(感测)的数字值的可靠性改善可产生提高的制造成品率。

[0035] 尽管图1解说了可调谐参考电路100中的两个参考对102、104,但可调谐参考电路100可以具有大于或少于两个参考对。另外,第一路径106、第二路径108、第三路径114和第四路径116中的每一者可以具有分别与第一MTJ元件110、第二MTJ元件112、第三MTJ元件118和第四MTJ元件120串联的一个或多个MTJ元件。

[0036] 参照图2,描绘了可调谐参考电路的特定解说性实施例,并且一般指定为200。可调

谐参考电路200可提供基于可调谐参考电路200的参考电阻的参考电压 (V_{ref}) 以供用于确定与存储器元件的输出电压相对应的数字值。可调谐参考电路200可包括第一参考对250、第二参考对252和第n参考对254。第一参考对250、第二参考对252和第n参考对254可被并联地系结在一起。第一参考对250、第二参考对252和第n参考对254可经由参考电压 (V_{ref}) 268处的参考电压线、参考位线266处的参考位线信号 (REFBL)、以及被配置成携带参考源线信号 (REFSL) 的参考源线264被系结在一起。在特定实施例中, 第一参考对250和第二参考对252可分别对应于图1的第一参考对102和第二参考对104。

[0037] 在特定实施例中, 可调谐参考电路200在参考电压线268处的参考电阻可基于第一参考对250、第二参考对252和第n参考对254中的每一者的电阻。例如, 可调谐参考电路200的参考电阻可以是第一参考对250、第二参考对252和第n参考对254的电阻的平均。可调谐参考电路200的参考电阻可通过调整第一参考对250、第二参考对252和第n参考对254中的一者或多者的电阻来调整。在特定实施例中, 参考电压线268上的参考电压 (V_{ref}) 可通过调整可调谐参考电路200的参考电阻来改变。

[0038] 在特定实施例中, 可调谐参考电路200的参考电阻可通过调整第一参考对250的电阻来调整。第一参考对250可包括第一路径260和第二路径262。第一路径260可包括第一MTJ元件218和第一晶体管230。第一MTJ元件218可被耦合至字线晶体管222以及第一数据选择晶体管214。电压钳位晶体管210可被耦合至第一数据选择晶体管214和负载晶体管206。在特定实施例中, 负载晶体管206可以是p沟道金属氧化物半导体 (PMOS) 晶体管。负载晶体管206的漏极端和栅极端可被耦合至参考电压线268。负载晶体管206可被耦合至参考位线控制晶体管202的源极端。位线控制晶体管202的漏极端可被耦合至参考位线266。字线晶体管222可被耦合至第二数据选择晶体管226, 后者被耦合至第一晶体管230的漏极端。第一晶体管230的源极端可被耦合至参考源线264。

[0039] 在特定实施例中, 至少一个控制信号可被断言以使足够的电流能流经第一MTJ元件218。例如, 字线信号 (WL)、数据选择信号 (V_{dsel})、电压钳位信号 ($V_{钳位}$)、参考位线控制信号 (REFBL控制)、以及第一参考源线控制信号 (CTL11) 可被断言以使足够的电流能流经第一MTJ元件218。

[0040] 在特定实施例中, 第一路径260可通过断言被提供给第一晶体管230的栅极端的的第一参考源线控制信号 (CTL11) 来被选择。第一路径260可被配置成接收用于设置第一MTJ元件218的MTJ电阻的电流。例如, 在通过断言第一参考源线控制信号 (CTL11) 来选择第一路径260后, 写电流可被供应给选定的第一路径260以设置第一MTJ元件218的MTJ电阻。在替换性实施例中, 第一路径260可通过在向第一路径260供应写电流之后或基本上与之同时地断言第一参考源线控制信号 (CTL11) 来被选择。

[0041] 在特定实施例中, 第一路径260可被配置成经由参考位线266或经由参考源线264接收写电流。例如, 第一路径260可被配置成经由参考位线266接收写电流以将第一MTJ元件218设置为处于第一状态。第一路径260还可被配置成经由参考源线264接收写电流以将第一MTJ元件218设置为处于第二状态。

[0042] 在特定实施例中, 第一MTJ元件218的第一电阻可对应于第一状态, 而第一MTJ元件218的第二电阻可对应于第二状态。为了解说, 第一状态可对应于第一MTJ元件218的平行状态, 而第二状态可对应于第一MTJ元件218的反平行状态。在特定实施例中, 第二电阻可以大

于第一电阻。例如,第一电阻可对应于低电阻 (R_p),而第二电阻可对应于高电阻 (R_{ap})。

[0043] 在特定实施例中,第二路径262可包括第二MTJ元件220和第一晶体管232。第二MTJ元件220可被耦合至字线晶体管224以及第一数据选择晶体管216。电压钳位晶体管212的源极端可被耦合至第一路径260的电压钳位晶体管210的源极端。电压钳位晶体管212还可被耦合至第一数据选择晶体管216和负载晶体管208。在特定实施例中,负载晶体管208可以是PMOS晶体管。负载晶体管208的漏极端和栅极端可被耦合至参考电压线268。负载晶体管208可被耦合至参考位线控制晶体管204的源极端。参考位线控制晶体管204的漏极端可被耦合至参考位线266。字线晶体管224可被耦合至第二数据选择晶体管228,后者被耦合至第二晶体管232的漏极端。第二晶体管232的源极端可被耦合至参考源线264。

[0044] 在特定实施例中,第二路径262可被配置成接收用于设置第二MTJ元件220的MTJ电阻的写电流。例如,第二路径262可被配置成经由参考位线266接收写电流以将第二MTJ元件220设置为处于第一状态,以及经由参考源线264接收写电流以将第二MTJ元件220设置为处于第二状态。在特定实施例中,第二路径262可通过断言被提供给第二晶体管232的栅极端的第二参考源线控制信号(CTL12)来被选择。

[0045] 在特定实施例中,第一状态可对应于与第二MTJ元件220的第一电阻相对应的第二MTJ元件220的平行状态,而第二状态可对应于与第二MTJ元件220的第二电阻相对应的第二MTJ元件220的反平行状态。为了解说,第一电阻可以大于第二电阻。例如,第一电阻可对应于低电阻 (R_p),而第二电阻可对应于高电阻 (R_{ap})。

[0046] 在特定实施例中,控制信号可被断言以使电流能流经第二MTJ元件220。例如,字线信号(WL)、数据选择信号(V_{dse1})、电压钳位信号($V_{\text{钳位}}$)、参考位线控制信号(REFBL控制)、以及第二参考源线控制信号(CTL12)可被断言以使足够的电流能流经第二MTJ元件220。

[0047] 在特定实施例中,在通过断言第二参考源线控制信号(CTL12)来选择第二路径262后,写电流可被供应给选定的第二路径262以设置第二MTJ元件220的MTJ电阻。在替换性实施例中,第二路径262可通过在向第二路径262供应写电流之后或基本上与之同时地断言第二信号(CTL12)来被选择。

[0048] 在特定实施例中,可调谐参考电路200的参考电阻可通过调整第二参考对252的电阻来调整。第二参考对252可具有与第一参考对250类似的结构。例如,第二参考对252可包括第一路径270和第二路径272。第二参考对252可具有第一路径270中的第一MTJ元件234和第二路径272中的第二MTJ元件236。第三参考源线控制信号(CTL21)可被提供给第二参考对252的第一路径270中的第一晶体管242的栅极端。第四参考源线控制信号(CTL22)可被提供给第二参考对252的第二路径272的第二晶体管244的栅极端。第二参考对252的第一路径270可通过断言参考源线控制信号(CTL21)来被选择。类似地,第二参考对252的第二路径272可通过断言参考源线控制信号(CTL22)来被选择。第一路径270可被配置成以类似于关于第一参考对250中的第一路径260描述的方式来接收用于设置第一MTJ元件234的MTJ电阻的电流。第二路径272可被配置成以类似于关于第一参考对250中的第二路径262描述的方式来接收用于设置第二MTJ元件236的MTJ电阻的电流。

[0049] 在特定实施例中,可调谐参考电路200的参考电阻可通过调整第n参考对254的电阻来调整。第n参考对254具有与第一参考对250和第二参考对252类似的结构。例如,第n参考对254的第一路径274可包括第一MTJ元件238和第一晶体管246。第n参考对254的第二路

径276可包括第二MTJ元件240和第二晶体管248。第n参考对254的第一路径274可通过断言被提供给第一晶体管246的栅极端的第五参考源线控制信号(CTLn1)来被选择。类似地,第n参考对254的第二路径276可通过断言被提供给第二晶体管248的栅极端的参考源线控制信号(CTLn2)来被选择。第一路径274可被配置成以类似于关于第一参考对250中的第一路径260描述的方式来接收用于设置第一MTJ元件238的MTJ电阻的电流。第二路径276可被配置成以类似于关于第一参考对250中的第二路径262描述的方式来接收用于设置第二MTJ元件240的MTJ电阻的电流。

[0050] 在操作期间,可调谐参考电路200的参考电阻可通过调整第一参考对250、第二参考对252和第n参考对254中的一者或多者的电阻来调整。在特定实施例中,可调谐参考电路200的参考电阻在对可调谐参考电路200执行测试(例如,自测试)以确定可调谐参考电路200的初始电阻之后被调整。例如,第一参考对250、第二参考对252、和第n参考对254中的一者或多者的电阻可被调整成使得具有低电阻(R_p)的MTJ元件的数量不同于具有高电阻(R_{ap})的MTJ元件的数量。由于寄生线路电阻,每个参考对250、252、254可以不同地影响参考电压线268上的特定位置处的参考电压(V_{ref})。另外,参考对250、252和254的电阻可因处理变化而彼此不同。因此,用于基于每一参考对250、252、254的空间位置以及参考对250、252、254的电阻变化来调谐特定参考对的算法可以改善感测放大器的感测边际。

[0051] 为了解说,第一参考对250的电阻可被调整以调整可调谐参考电路200的参考电阻。为了调整第一参考对250的电阻,第一参考源线控制信号(CNTL11)可被断言以选择第一路径260。字线信号(WL)、数据选择信号(V_{dse1})、电压钳位信号($V_{钳位}$)、和参考位线控制信号(REFBL控制)可被断言以分别导通字线晶体管222、数据选择晶体管214、226、电压钳位晶体管210、和位线控制晶体管202。导通字线晶体管222、数据选择晶体管214、226、电压钳位晶体管210、和位线控制晶体管202使写电流能流经第一MTJ元件218以设置第一MTJ元件218的电阻。该写电流可被供应给参考位线266以将第一MTJ元件218的电阻设置为低电阻(R_p)或高电阻(R_{ap})。替换地,写电流可被供应给参考源线264以将第一MTJ元件218的电阻设置为低电阻(R_p)或高电阻(R_{ap})。

[0052] 在调整可调谐参考电路200的参考电阻之后,与可调谐参考电路200的参考电阻相对应的参考电压(V_{ref})可被用于确定(感测)与MTJ存储器元件的输出电压相对应的数字值。相应的读电流可被供应给参考源线264和存储器元件的源线。替换地,相应的读电流可被供应给参考位线266和存储器元件的位线。MTJ存储器元件的输出电压可以与参考电压(V_{ref})作比较以确定(感测)与MTJ存储器元件的输出电压相对应的数字值。

[0053] 通过调整第一参考对250、第二参考对252和第n参考对254中的一者或多者的电阻,可调谐参考电路200的参考电阻可被调高或调低。作为调整可调谐参考电路200的参考电阻的结果,参考电压(V_{ref})可被相应地调高或调低。调整参考电压(V_{ref})可以改善基于MTJ存储器元件的输出电压和参考电压(V_{ref})被确定(感测)的与MTJ存储器元件的输出电压相对应的数字值的可靠性。通过调整特定参考对的电阻,可调谐参考电路200的整体参考电阻和参考电压线上的特定位置处的参考电阻可被调谐以增加存储器设备中的所有MTJ元件以及存储器元件中的特定MTJ存储器元件的感测边际。另外,作为通过调整可调谐参考电路200的参考电阻来补偿工艺变化和制造缺陷的结果,包括MTJ存储器元件的存储器设备的制造成品率可提高。

[0054] 尽管图2解说了三个参考对250、252、254,但可调谐参考电路200可包括大于或小于三个参考对。另外,尽管关于第一参考对250来描述了调整可调谐参考电路200的参考电阻的操作,但第二参考对252和第n参考对254中的每一者的电阻可按类似于关于第一参考对250描述的方式来调整以调整可调谐参考电路200的参考电阻。此外,第一参考对250的电阻还可通过按类似于关于第一MTJ元件218描述的方式调整第二MTJ元件220的电阻来调整。基于优化算法来调整特定参考对可以改善存储器设备中的所有MTJ元件的整体感测边际并且还改善存储器设备中的特定MTJ存储器元件的感测边际。感测边际中的此类改善可以提高MRAM设备的制造成品率。参照图3,描绘了可调谐参考电路的特定解说性实施例,并且一般指定为300。可调谐参考电路300可提供基于可调谐参考电路300的参考电阻的参考电压(V_{ref})以用于确定(感测)与存储器元件的输出电压相对应的数字值。可调谐参考电路300可包括第一参考对250、第二参考对252、第n参考对254、备用参考对302、和开关组312。第一参考对250、第二参考对252和第n参考对254可被并联地耦合在一起。备用参考对302可经由开关组312被并联地系结至第一参考对250、第二参考对252和第n参考对254。在特定实施例中,可调谐参考电路300的参考电阻可通过调整第一参考对250、第二参考对252、第n参考对254和备用参考对302中的一者或多者的参考电阻来调整。

[0055] 在特定实施例中,第一参考对250、第二参考对252和第n参考对254可对应于图2的第一参考对250、第二参考对252和第n参考对254。

[0056] 在特定实施例中,开关组312可被配置成接收用于控制开关组312中的开关的操作的开关控制信号(SWC)。例如,开关控制信号(SWC)可被断言以闭合开关组312中的开关以将备用参考对302耦合至第一参考对250、第二参考对252和第n参考对254。开关控制信号(SWC)还可被去断言以断开开关组312中的开关以将备用参考对302与第一参考对250、第二参考对252和第n参考对254解耦合。在特定实施例中,开关组312中的各开关中的一者或多者可以是N沟道金属氧化物半导体(NMOS)晶体管、P沟道金属氧化物半导体(PMOS)晶体管、或互补金属氧化物半导体(CMOS)晶体管。例如,开关控制信号(SWC)可被提供给开关组312中的每一晶体管的栅极端。

[0057] 在特定实施例中,可调谐参考电路300的参考电阻可通过调整备用参考对302的参考电阻来调整。备用参考对302可具有与第一参考对250、第二参考对252和第n参考对254类似的结构。例如,备用参考对302可包括第一路径320和第二路径322。第一路径320可被配置成经由参考位线266或经由参考源线264来接收写电流。备用参考对302可包括第一路径320中的第一备用MTJ元件304和第二路径322中的第二备用MTJ元件306。可调谐参考电路300的参考电阻可以能够通过调整第一备用MTJ元件304和第二备用MTJ元件306中的一者或多者的电阻来调整。例如,可调谐参考电路300的参考电阻可以能够通过调整第一备用MTJ元件304的电阻来调整。为了解说,第一备用参考源线控制信号(CTL_{x1})可被提供给第一路径320中的第一备用晶体管308的栅极端。第二备用参考源线控制信号(CTL_{x2})可被提供给第二路径322中的第二备用晶体管310的栅极端。第一路径320可通过断言第一备用参考源线控制信号(CTL_{x1})来被选择。类似地,第二路径322可通过断言第二备用参考源线控制信号(CTL_{x2})来被选择。在特定实施例中,第一路径320可被配置成以类似于关于图2的第一参考对250中的第一路径260描述的方式来接收用于设置第一备用MTJ元件304的MTJ电阻的电流。第二路径322可被配置成以类似于关于图2的第一参考对250中的第二路径262描述的方

式来接收用于设置第二备用MTJ元件306的MTJ电阻的电流。

[0058] 在特定实施例中,第一备用MTJ元件304和第二备用MTJ元件306中的一者或多者的电阻可被调整成使得可调谐参考电路300中具有低电阻 (R_p) (例如,处于平行状态)的MTJ元件的数量不同于可调谐参考电路300中具有高电阻 (R_{ap}) (例如,处于反平行状态)的MTJ元件的数量。在另一特定实施例中,第一备用MTJ元件304和第二备用MTJ元件306中的一者或多者的电阻可被调整成使得可调谐参考电路300中具有低电阻 (R_p) (例如,处于平行状态)的MTJ元件的数量等于可调谐参考电路300中具有高电阻 (R_{ap}) (例如,处于反平行状态)的MTJ元件的数量。

[0059] 在特定实施例中,备用参考对302可被包括在包括第一参考对250和第二参考对252的参考对阵列中。在替换性实施例中,备用参考对302可在包括第一参考对250和第二参考对252的参考对阵列之外。在另一特定实施例中,备用参考对302可仅包括第一路径320。

[0060] 在操作期间,可调谐参考电路300的参考电阻可通过调整第一参考对250、第二参考对252、第n参考对254和备用参考对302中的一者或多者的电阻来调整。例如,第一参考对250、第二参考对252、第n参考对254和备用参考对302中的一者或多者的电阻可被调整成使得具有低电阻 (R_p)的MTJ元件的数量不同于具有高电阻 (R_{ap})的MTJ元件的数量。为了解说,开关控制信号 (SWC) 可被断言以将备用参考对302耦合至第一参考对250、第二参考对252和第n参考对254。为了调整备用参考对302的电阻,备用参考源线控制信号 (CNTLx1) 可被断言为选择第一路径320。字线信号 (WL)、数据选择信号 (V_{dse1})、电压钳位信号 ($V_{钳位}$)、和参考位线控制信号 (REFBL控制) 可被断言以导通备用参考对302中的晶体管。写电流可被供应给第一路径320以将第一备用MTJ元件304的电阻设置为低电阻 (R_p) 或高电阻 (R_{ap})。第二备用MTJ元件306的电阻可按类似于关于第一备用MTJ元件304描述的方式来调整。

[0061] 在调整可调谐参考电路300的参考电阻之后,与可调谐参考电路300的参考电阻相对应的参考电压 (V_{ref}) 可被用于确定 (感测) 与MTJ存储器元件的输出电压相对应的数字值,如关于图2所描述的。

[0062] 通过将备用参考对302耦合至第一参考对250、第二参考对252和第n参考对254并调整备用参考对302的电阻,可调整可调谐参考电路300的参考电阻。作为调整可调谐参考电路300的参考电阻的结果,参考电压 (V_{ref}) 可被相应地调高或调低。调整参考电压 (V_{ref}) 可以改善基于MTJ存储器元件的输出电压和参考电压 (V_{ref}) 被确定 (感测) 的与MTJ存储器元件的输出电压相对应的数字值的可靠性。另外,作为通过调整可调谐参考电路300的参考电阻来补偿工艺变化和制造缺陷的结果,包括MTJ存储器元件的存储器设备的制造成品率可提高。基于优化算法来调整特定参考对将改善存储器设备中的所有MTJ元件的整体感测边际并且还改善存储器设备中的特定MTJ存储器元件的感测边际。感测边际的此类改善可以提高MRAM设备的制造成品率。

[0063] 尽管图3解说了三个参考对250、252、254,但可调谐参考电路300可包括大于或少于三个参考对。另外,尽管解说了备用参考对302的单个对,但一个以上的备用参考对可被配置成耦合至第一、第二和第n参考对250、252、254。

[0064] 参照图4,描绘了可调谐参考电路的特定解说性实施例,并且一般指定为400。可调谐参考电路400可提供基于可调谐参考电路400的参考电阻的参考电压 (V_{ref}) 以用于确定与存储器元件的输出电压相对应的数字值。可调谐参考电路400可包括第一参考对250、第

二参考对252、第n参考对254和参考块402。第一参考对250、第二参考对252和第n参考对254可被并联地耦合在一起。参考块402可被并联地系结至第一参考对250、第二参考对252和第n参考对254。在特定实施例中,可调谐参考电路400的参考电阻可通过调整第一参考对250、第二参考对252、第n参考对254和参考块402中的一者或多者的参考电阻来调整。

[0065] 在特定实施例中,第一参考对250、第二参考对252和第n参考对254可对应于图2和图3的第一参考对250、第二参考对252和第n参考对254,并且可如关于图2和图3所描述的那样操作。在特定实施例中,第一参考对250、第二参考对252和第n参考对254中的每一者可包括具有低电阻 (R_p) (例如,处于平行状态)的相应第一MTJ元件和具有高电阻 (R_{ap}) (例如,处于反平行状态)的相应第二MTJ元件。

[0066] 在特定实施例中,可调谐参考电路400的参考电阻可通过调整参考块402的参考电阻来调整。参考块402可包括被配置成接收电阻控制信号 (RCTL) 的可调整电阻器网络404。可调整电阻器网络404的电阻可通过调整电阻控制信号 (RCTL) 来调整。参考块402可被配置成经由参考位线266或经由参考源线264来接收电流。为了使电流能够流经可调整电阻器网络404,参考源线控制信号 (CTLx) 可被提供给晶体管406的栅极端。

[0067] 在操作期间,可调谐参考电路400的参考电阻可通过调整第一参考对250、第二参考对252、第n参考对254和参考块402中的一者或多者的电阻来调整。为了解说,参考块402的电阻可被调整以增加或降低可调谐参考电路400的参考电阻。参考块402的电阻可通过调整电阻控制信号 (RCTL) 以增加或降低可调整电阻器网络404的电阻来调整。

[0068] 在调整可调谐参考电路400的参考电阻之后,与可调谐参考电路400的参考电阻相对应的参考电压 (V_{ref}) 可被用于确定与MTJ存储器元件的输出电压相对应的数字值,如关于图2和图3所描述的。

[0069] 通过调整参考块402的电阻,可调谐参考电路400的参考电阻可被调整。作为调整可调谐参考电路400的参考电阻的结果,参考电压 (V_{ref}) 可被相应地调高或调低。调整参考电压 (V_{ref}) 可以改善基于MTJ存储器元件的输出电压和参考电压 (V_{ref}) 被确定 (感测) 的与MTJ存储器元件的输出电压相对应的数字值的可靠性。另外,作为通过调整可调谐参考电路400的参考电阻来补偿工艺变化和制造缺陷的结果,包括MTJ存储器元件的存储器设备的制造成品率可提高。基于优化算法来调整特定参考对将改善存储器设备中的所有MTJ元件的整体感测边际并且还改善存储器设备中的特定MTJ存储器元件的感测边际。感测边际的此类改善可以提高MRAM设备的制造成品率。

[0070] 参照图5,描绘了包括可调谐参考电路的系统的特定解说性实施例,并且一般指定为500。系统500可被配置成确定 (感测) 与存储器元件504的输出电压 (V_{dout}) 相对应的数字值。

[0071] 系统500包括可调谐参考电路502、存储器元件504、感测设备508 (例如,感测放大器) 和调谐电路510。调谐电路510可经由调谐线512被耦合至可调谐参考电路502。可调谐参考电路502可被耦合至感测设备508的第一输入端以向感测设备508提供参考电压 (V_{ref})。存储器元件504可被耦合至感测设备508的第二输入端以向感测设备508提供输出电压 (V_{dout})。

[0072] 如关于图1-4所描述的,调谐电路510可以调整可调谐参考电路502的参考电阻。例如,调谐电路510可以调整可调谐参考电路502的参考电阻以增加或降低该参考电阻。参考

电压 (V_{ref}) 可对应于参考电阻调整地来调整。在特定实施例中,可调谐参考电路502可对应于图1的可调谐参考电路100、图2的可调谐参考电路200、图3的可调谐参考电路300以及图4的可调谐参考电路400中的任一者。

[0073] 存储器元件504可被配置成提供与数字值相对应的输出电压 (V_{dout})。例如,存储器元件504可被编程为具有与第一数字值相对应的第一电阻 (例如,低电阻 (R_a))。替换地,存储器元件504可被编程为具有与第二数字值相对应的第二电阻 (例如,高电阻 (R_{ap}))。存储器元件504可被配置成在读操作期间提供输出电压 (V_{dout})。在特定实施例中,存储器元件504可以是MTJ存储器元件。

[0074] 感测设备508可被配置成确定与存储器元件504的输出电压 (V_{dout}) 相对应的数字值。感测设备508可基于参考电压 (V_{ref}) 来确定输出电压 (V_{dout}) 对应于第一数字值还是第二数字值。

[0075] 在特定实施例中,调谐电路510或另一电路 (未示出) 可被配置成将存储器元件504编程为具有与第一数字值相对应的第一电阻。调谐电路510或另一电路 (未示出) 可被配置成接收感测设备508的输出信号 ($rdata$) 以确定 (感测) 该输出信号 ($rdata$) 是否对应于第一数字值。如果输出信号 ($rdata$) 并不对应于第一数字值,则调谐电路510可以调整可调谐参考电路502的参考电阻以相应地调整参考电压 (V_{ref})。调谐电路510可以重复地调整可调谐参考电路502的参考电阻直至输出信号 ($rdata$) 对应于第一数字值。可调谐参考电路502的调谐还可以基于第二数字值来执行以找到实现可靠确定 (感测) 第一数字值和第二数字值两者的可调谐参考电路502的参考电阻。

[0076] 在操作期间,调谐电路510可以调谐可调谐参考电路502以调整可调谐参考电路502的参考电阻。在调谐可调谐参考电路502后,可以在存储器元件504上执行读操作。在读操作期间,感测设备508可以确定输出电压 (V_{data}) 对应于第一数字值还是第二数字值。

[0077] 通过调谐可调谐参考电路502以调整可调谐参考电路502的参考电阻,参考电压 (V_{ref}) 被相应地调整。参考电压 (V_{ref}) 的调整可以改善被确定 (感测) 为对应于存储器元件的输出电压 (V_{data}) 的数字值的可靠性。另外,作为通过调整可调谐参考电路502的参考电阻来补偿工艺变化和制造缺陷的结果,包括存储器元件504的存储器设备的制造成品率可提高。

[0078] 尽管图5解说了耦合至感测设备508的第二输入端的一个存储器元件504,但系统500可包括可选择性地被耦合至感测设备508的第二输入端的一个以上存储器元件。

[0079] 参照图6,解说了调谐可调谐参考电路的方法的特定解说性实施例。方法600包括在602处选择被并联地系结在一起的多个参考对中的第一参考对的路径。例如,图1的第一参考对102和第二参考对104被并联地系结在一起。图1的第一参考对102的第一路径106可被选择。类似地,图2的第一参考对250、第二参考对252和第n参考对254可被并联地系结在一起。图2的第一参考对250的第一路径260可通过断言图2的第一控制信号 ($CNTL11$) 被选择。每一参考对可包括包含第一磁性隧道结 (MTJ) 元件的第一路径以及包含第二MTJ元件的第二路径。例如,图1的第一参考对102包括包含第一MTJ元件110的第一路径106。图1的第一参考对102还包括包含第二MTJ元件112的第二路径108。图1的第二参考对104包括包含第一MTJ元件118的第一路径114。图1的第二参考对104还包括包含第二MTJ元件120的第二路径116。类似地,图2的第一参考对250、第二参考对252、和第n参考对254中的每一者包括包含

相应MTJ元件的第一路径和第二路径。

[0080] 方法600进一步包括在604处将电流施加于选定路径以设置第一参考对的选定路径中的MTJ元件的MTJ电阻。例如,该电流可被施加于图1的第一参考对102的第一路径106。类似地,该电流可被施加于图2的第一参考对250的第一路径260。可调谐参考电路的参考电阻可基于多个参考对中的每一参考对的电阻。例如,图1的可调谐参考电路100的参考电阻可以基于第一参考对102和第二参考对104中的每一者的电阻。类似地,图2的可调谐参考电路200的参考电阻可以基于第一参考对250、第二参考对252和第n参考对254中的每一者的电阻。这多个参考对可包括第一数量的处于第一状态的MTJ元件以及第二数量的处于第二状态的MTJ元件。第一数量和第二数量可以是不同的。例如,图1中处于第一状态(例如,平行状态)的MTJ元件110、112、118、120的数量可以与处于第二状态(例如,反平行状态)的MTJ元件110、112、118、120的数量不同。

[0081] 图6的方法600可通过专用集成电路(ASIC)、现场可编程门阵列(FPGA)器件、处理单元(诸如中央处理单元(CPU))、数字信号处理器(DSP)、控制器、另一硬件设备、固件设备、或其任何组合来实现。作为示例,图6的方法可由执行指令的处理器来执行或响应于来自执行指令的处理器器的信号或命令来执行,如关于图7所描述的。

[0082] 参照图7,描绘了无线通信设备的特定解说性实施例的框图并将其一般地标示为700。无线通信设备700包括耦合至存储器732的处理器单元710,诸如数字信号处理器(DSP)。无线通信设备700可包括具有可调谐参考电路的存储器764。在解说性实施例中,具有可调谐参考电路的存储器764可对应于图1的电路100、图2的电路200、图3的电路300、图4的电路400、和图5的可调谐参考电路502,或者可根据图6的方法来操作,或其任何组合。

[0083] 存储器732可以是存储计算机可执行指令746的非瞬态计算机可读介质,该计算机可执行指令746可由处理器单元710(例如,计算机)执行以使处理器单元710选择并联合系结在一起的多个参考对中的第一参考对的路径。例如,调谐指令746可包括选择在具有可调谐参考电路的存储器764内部并且被并联合系结在一起的多个参考对中的第一参考对的路径的指令。每一参考对可包括包含第一磁性隧道结(MTJ)元件的第一路径以及包含第二MTJ元件的第二路径。另外,计算机可执行指令746可包括可由处理器单元710执行以使处理器单元710将电流施加于选定路径以设置第一参考对的选定路径中的MTJ元件的MTJ电阻的指令。例如,调谐指令746可包括将电流施加于选定路径以设置在具有可调谐参考电路的存储器764内部的第一参考对的选定路径中的MTJ元件的MTJ电阻的指令。该可调谐参考电路的参考电阻基于多个参考对中的每一参考对的电阻。这多个参考对包括第一数量的处于第一状态的MTJ元件以及第二数量的处于第二状态的MTJ元件。第一数量和第二数量可以是不同的。

[0084] 图7还示出了被耦合至处理器单元710和显示器728的显示器控制器726。编码器/解码器(CODEC)734也可被耦合至处理器单元710。扬声器736和话筒738可被耦合至CODEC 734。

[0085] 图7指示了无线控制器740可被耦合至处理器单元710以及无线天线742。在特定实施例中,处理器单元710、具有可调谐参考电路的存储器764、显示器控制器726、存储器732、CODEC 734、以及无线控制器740被包括在系统级封装或片上系统设备722中。在特定实施例中,输入设备730和电源744被耦合至片上系统设备722。此外,在特定实施例中,如图7中所

解说的,显示器728、输入设备730、扬声器736、话筒738、无线天线742和电源744在片上系统设备722的外部。然而,显示器728、输入设备730、扬声器736、话筒738、无线天线742和电源744中的每一者可被耦合至片上系统设备722的组件,诸如接口或控制器。

[0086] 在特定实施例中,调谐电路768可被耦合至处理器单元710。调谐电路768和处理器单元710可以操作以调整具有可调谐参考电路的存储器764内部的可调谐参考电路的参考电阻。在特定实施例中,调谐电路768可与调谐指令746结合使用。替换地,调谐电路768可独立于调谐指令746操作或者与不包括调谐指令的存储器联合操作。

[0087] 尽管图7解说了无线设备700的特定实施例,但一个或多个存储器(例如,具有可调谐参考电路的存储器764)可被集成在其它电子设备中,包括机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置的数据单元、以及计算机。

[0088] 结合所描述的实施例,公开了一种系统,该系统可包括用于选择被并联地系结在一起的多个参考对中的第一参考对的路径的装置,每个参考对包括包含第一磁性隧道结(MTJ)元件的第一路径和包含第二MTJ元件的第二路径。例如,用于选择路径的装置可包括图2的晶体管230、232、242、244、246和248、图3的晶体管230、232、242、244、246、248、308和310、图4的晶体管230、232、242、244、246和248、配置成选择路径的一个或多个其他设备或电路、或其任何组合。该系统还可包括用于将电流施加于选定路径以设置第一参考对的选定路径中的MTJ元件的MTJ电阻的装置,其中可调谐参考电路的参考电阻基于这多个参考对中的每个参考对的电阻,其中这多个参考对包括第一数量的处于第一状态的MTJ元件和第二数量的处于第二状态的MTJ元件,并且其中第一数量和第二数量是不同的。用于将电流施加于选定路径的装置可包括图2的参考位线266、图2的参考源线264、图3的参考位线266、图4的参考源线264、图4的参考位线266、图4的参考源线264、被配置成将电流施加于选定路径的一个或多个其它设备或电路,或其任何组合。

[0089] 上文公开的设备和功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造器件的制造处理人员。生产的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后用在上文描述的设备中。图8描述了电子设备制造过程800的特定说明性实施例。

[0090] 物理器件信息802在制造过程800处(诸如在研究计算机806处)被接收。物理器件信息802可以包括表现半导体器件的至少一个物理属性的设计信息,这些半导体器件诸如包括图1的电路100、图2的电路200、图3的电路300、图4的电路400、图5的系统、或其任何组合的半导体器件。例如,物理器件信息802可包括经由连接至研究计算机806的用户接口804输入的物理参数、材料特性、以及结构信息。研究计算机806包括耦合至计算机可读介质(诸如存储器810)的处理器808,诸如一个或多个处理核。存储器810可存储计算机可读指令,其可被执行以使处理器808将物理器件信息802转换成遵循文件格式并生成库文件812。

[0091] 在一个特定实施例中,库文件812包括至少一个包括经转换的设计信息的数据文件。例如,库文件812可以包括被提供以与电子设计自动化(EDA)工具820联用的包含一器件的半导体器件的库,该器件包括图1的电路100、图2的电路200、图3的电路300、图4的电路400和图5的系统、或其任何组合。

[0092] 库文件812可在设计计算机814处与EDA工具820联用,设计计算机814包括连接到存储器818的处理器816,诸如一个或多个处理核。EDA工具820可以在存储器818上以处理器可执行指令的形式存储,以使得设计计算机814的用户能设计库文件812中的包括图1的电路100、图2的电路200、图3的电路300、图4的电路400和图5的系统、或其任何组合的电路。例如,设计计算机814的用户可经由连接到设计计算机814的用户接口824来输入电路设计信息822。电路设计信息822可以包括表示半导体器件的至少一个物理属性的设计信息,这些半导体器件诸如包括图1的电路100、图2的电路200、图3的电路300、图4的电路400、图5的系统、或其任何组合的器件。为了说明,电路设计性质可包括特定电路的标识以及与电路设计中其他元件的关系、定位信息、特征尺寸信息、互连信息、或表示半导体器件的物理性质的其他信息。

[0093] 设计计算机814可被配置成转换设计信息,包括电路设计信息822,以遵循文件格式。为了说明,该文件格式化可包括以分层格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)文件格式。除了其他电路或者信息之外,设计计算机814可被配置成生成包括经转换的设计信息的数据文件,诸如包括描述图1的电路100、图2的电路200、图3的电路300、图4的电路400以及图5的系统或其任何组合的信息的GDSII文件826。为了解说,数据文件可以包括与包括图1的电路100、图2的电路200、图3的电路300、图4的电路400和图5的系统、或其任何组合的并且还包括片上系统(SOC)内的附加电子电路和组件的SOC相对应的信息。

[0094] GDSII文件826可在制造过程828处被接收以根据GDSII文件826中的已转换信息来制造图1的电路100、图2的电路200、图3的电路300、图4的电路400以及图5的系统或其任何组合。例如,设备制造过程可包括将GDSII文件826提供给掩模制造商830以创建一个或多个掩模,诸如用于与光刻工艺联用的掩模,其被表述为代表性掩模832。掩模832可在制造过程期间被用于生成一个或多个晶片834,晶片834可被测试并被分成管芯,诸如代表性管芯836。管芯836包括包含图1的电路100、图2的电路200、图3的电路300、图4的电路400、图5的系统、或其任何组合的电路。

[0095] 管芯836可被提供给封装过程838,其中管芯836被纳入到代表性封装840中。例如,封装840可包括单个管芯836或多个管芯,诸如系统级封装(SiP)安排。封装840可被配置成遵循一个或多个标准或规范,诸如电子器件工程联合委员会(JEDEC)标准。

[0096] 关于封装840的信息可诸如经由存储在计算机846处的组件库被分发给各产品设计师。计算机846可包括耦合到存储器850的处理器848,诸如一个或多个处理核。印刷电路板(PCB)工具可作为处理器可执行指令被存储在存储器850处以处理经由用户接口844从计算机846的用户接收的PCB设计信息842。PCB设计信息842可以包括封装的半导体器件在印刷电路板上的物理定位信息,该封装的半导体器件对应于包括图1的电路100、图2的电路200、图3的电路300、图4的电路400、图5的系统、或其任何组合的封装840。

[0097] 计算机846可被配置成转换PCB设计信息842以生成数据文件,诸如具有包括封装的半导体器件在电路板上的物理定位信息以及电连接的布局(诸如迹线和通孔)的数据的GERBER文件852,其中封装的半导体装置对应于封装840,封装840包括图1的电路100、图2的电路200、图3的电路300、图4的电路400以及图5的系统或其任何组合。在其他实施例中,由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的格式。

[0098] GERBER文件852可在板组装过程854处被接收并且被用于创建PCB,诸如根据GERBER文件852内存储的设计信息来制造的代表性PCB 856。例如,GERBER文件852可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 856可填充有电子组件(包括封装840)以形成代表性印刷电路组装件(PCA) 858。

[0099] PCA 858可在产品制造过程860处被接收,并被集成到一个或多个电子设备中,诸如第一代表性电子设备862和第二代表性电子设备864。作为解说性而非限定性示例,第一代表性电子设备862、第二代表性电子设备864,或者二者可以从包括以下各项的组中选择:机顶盒、音乐播放器、视频播放器、娱乐单元、导航装置、通信设备、个人数字助理(PDA)、固定位置的数据单元以及计算机,这些设备中集成了图1的电路100、图2的电路200、图3的电路300、图4的电路400以及图5的系统或其任何组合。作为另一解说性而非限制性示例,电子设备862和864中的一者或多者可以是远程单元(诸如移动电话、手持式个人通信系统(PCS)单元)、便携式数据单元(诸如个人数据助理、启用全球定位系统(GPS)的设备、导航设备)、位置固定的数据单元(诸如仪表读数装备)、或存储或检索数据或计算机指令的任何其他设备、或其任何组合。尽管图8解说了根据本公开的教义的远程单元,但本公开并不限于这些解说的单元。本公开的实施例可合适地用在包括包含存储器和片上电路系统的有源集成电路系统的任何设备中。

[0100] 如解说性过程800所描述的,包括图1的电路100、图2的电路200、图3的电路300、图4的电路400以及图5的系统或其任何组合的器件可以被制造、处理以及集成在电子设备中。关于图1-7所公开的实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件812、GDSII文件826、以及GERBER文件852内,以及被存储在研究计算机806的存储器810、设计计算机814的存储器818、计算机846的存储器850、在各个阶段,诸如在板组装过程854处使用的一个或多个其他计算机或处理器(未示出)的存储器处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模832、管芯836、封装840、PCA 858、其他产品(诸如原型电路或设备(未示出))中、或其任何组合。尽管描述了从物理器件设计到最终产品的各个代表性生产阶段,然而在其他实施例中可使用较少的阶段或可包括附加阶段。类似地,过程800可由单个实体或由执行过程800的各个阶段的一个或多个实体来执行。

[0101] 本领域技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每一具体应用以不同方式来实现所描述的功能,但此类实现决策不应被解读为致使脱离本公开的范围。

[0102] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器(RAM)、闪存、只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦式可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质被耦合到处理器以使得该处理器能从/向该存储介质读和写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可

作为分立组件驻留在计算设备或用户终端中。

[0103] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

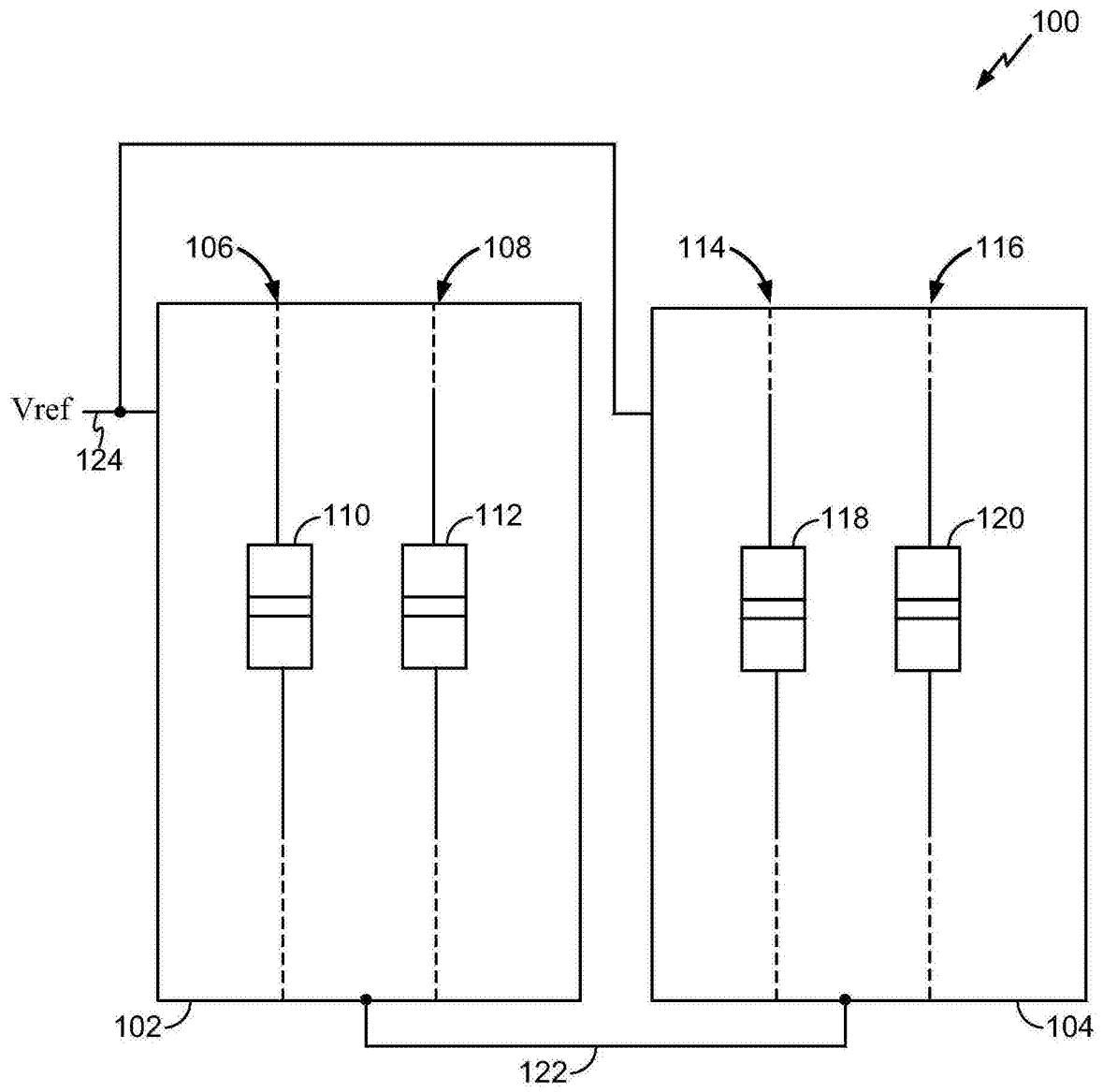


图1

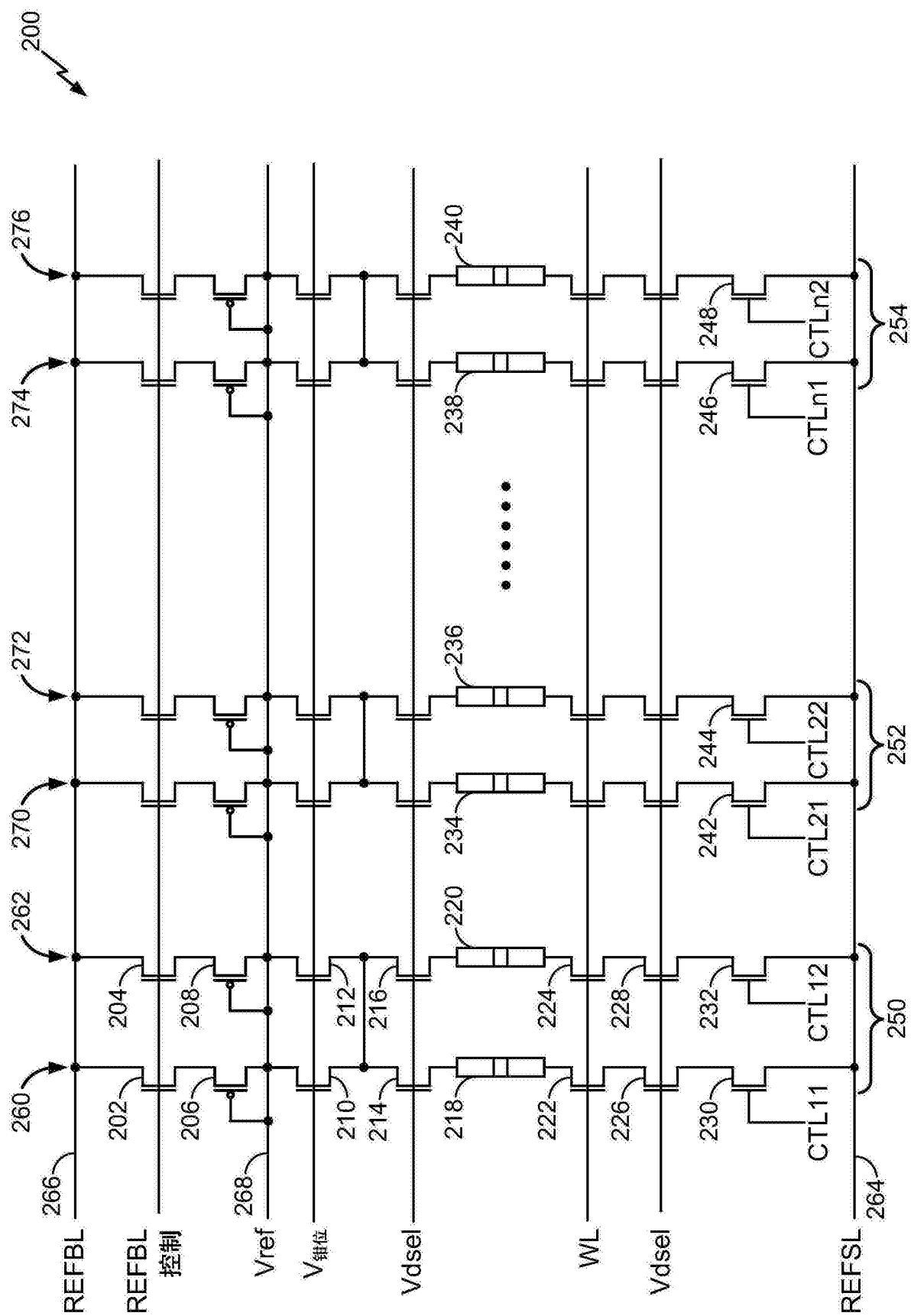


图2

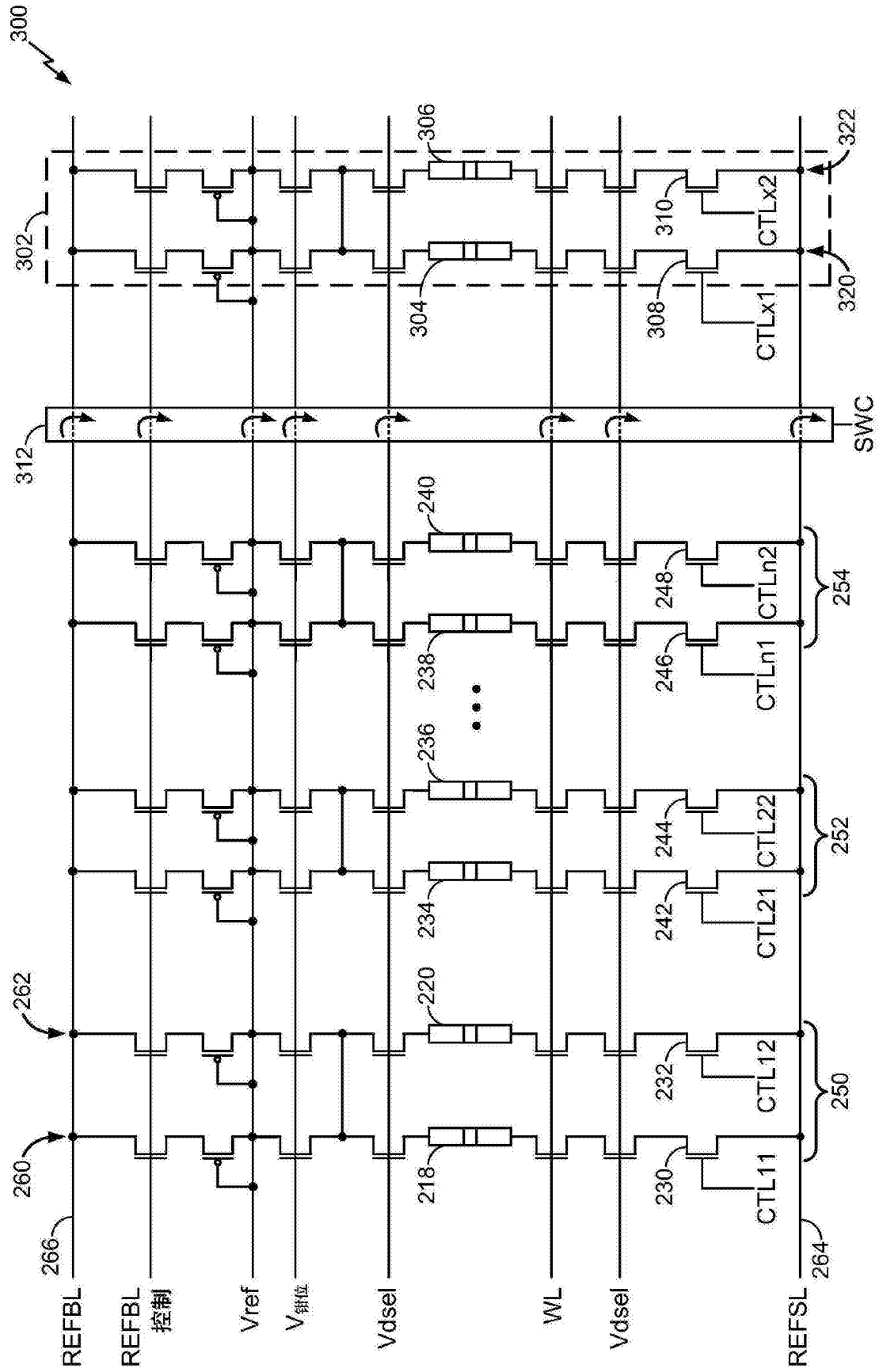


图3

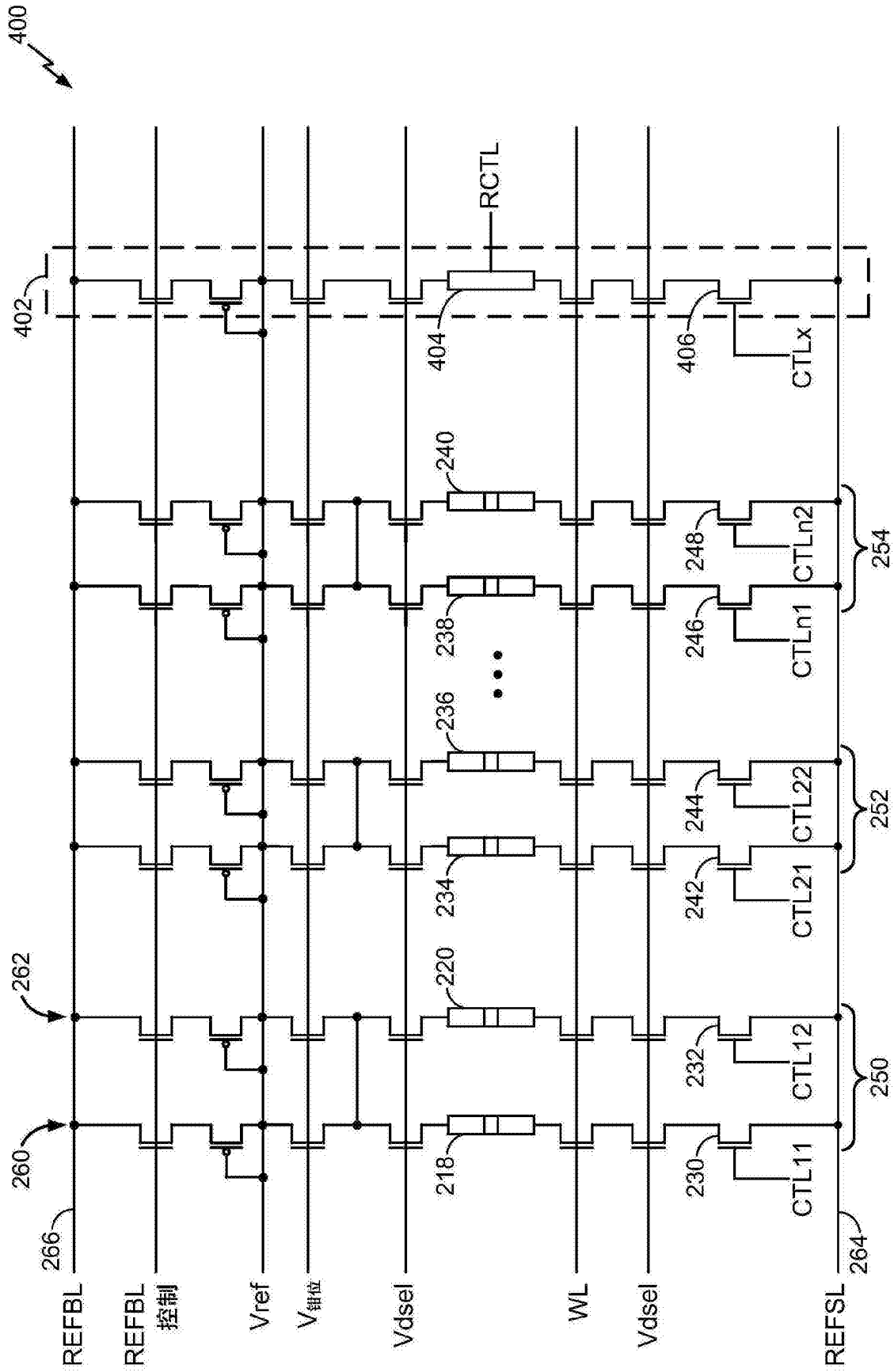


图4

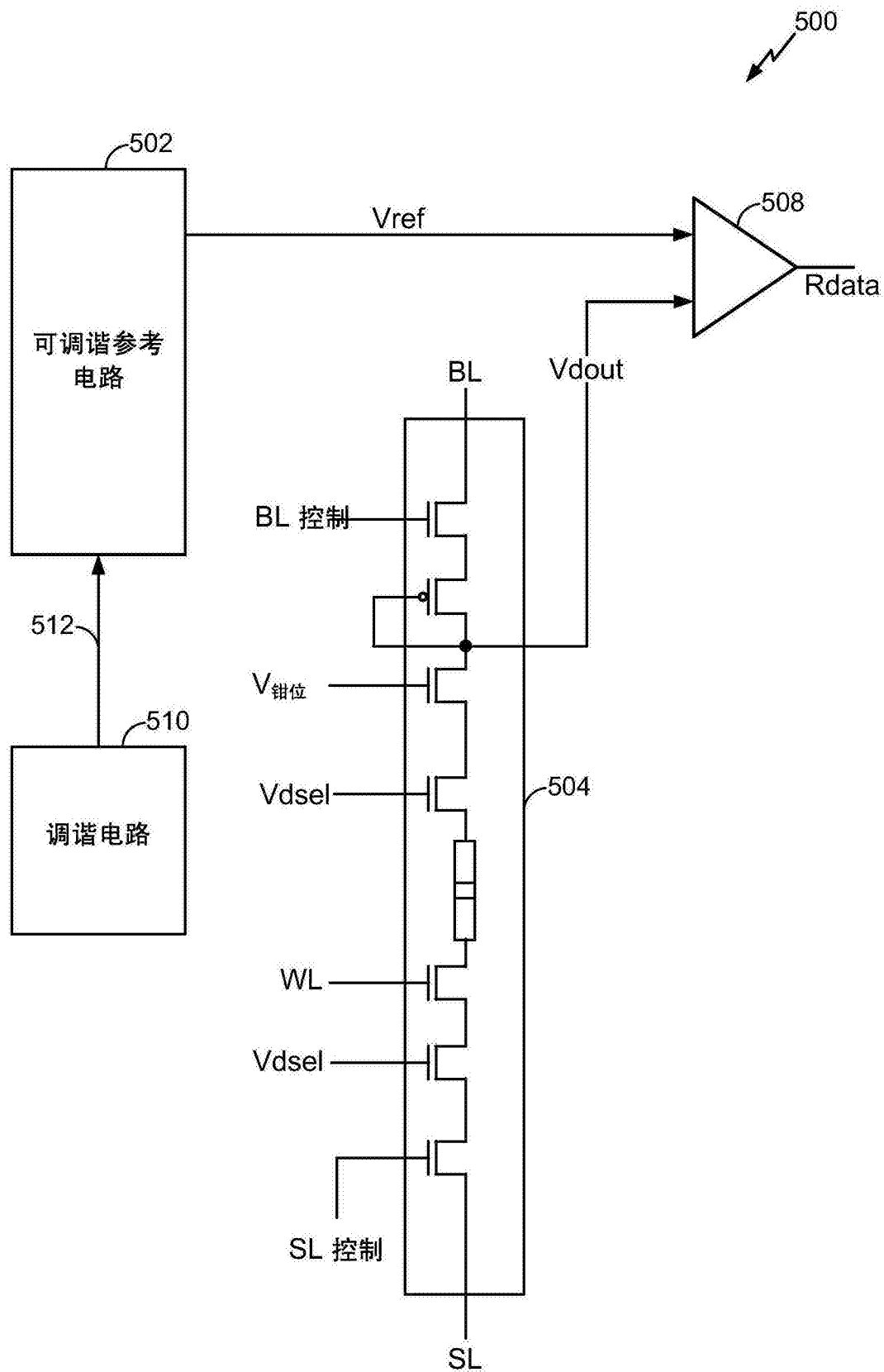


图5

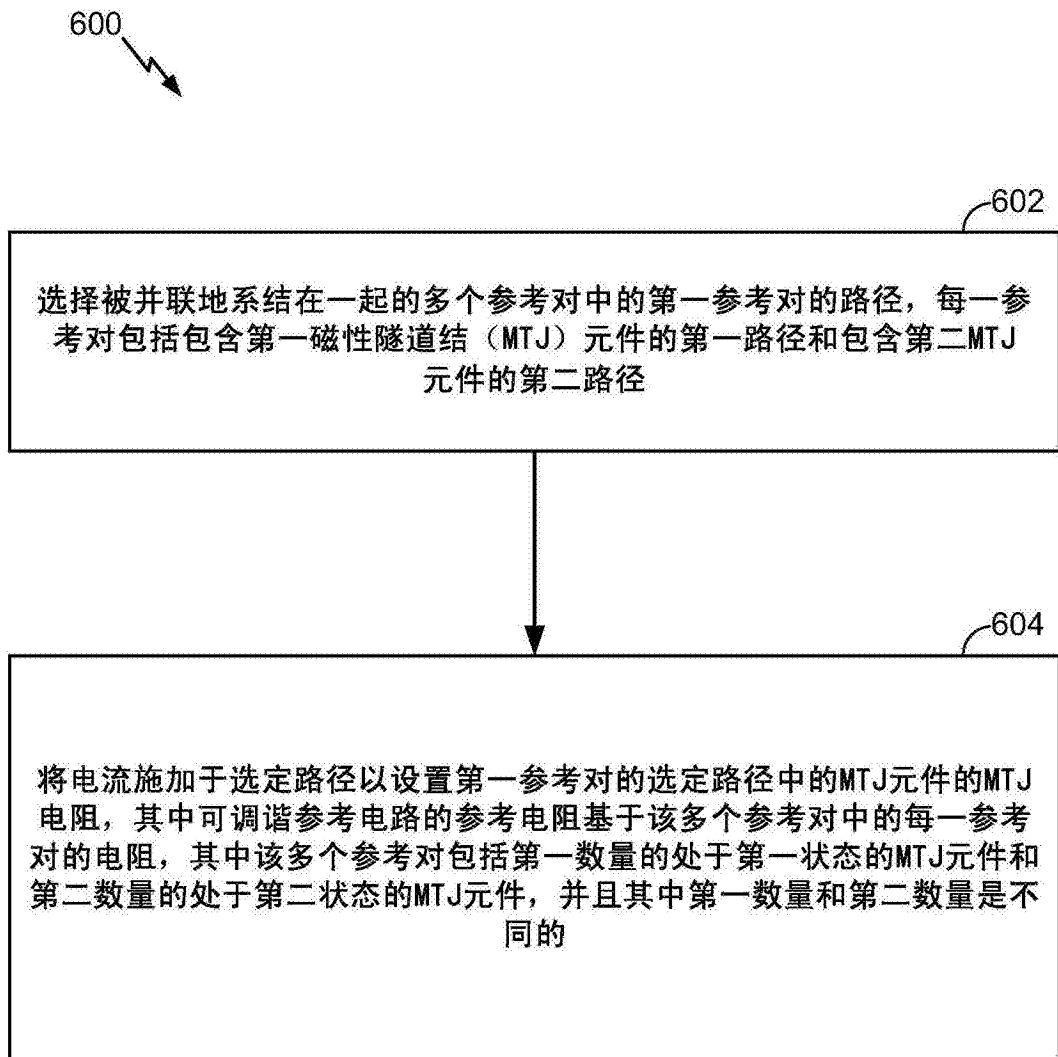


图6

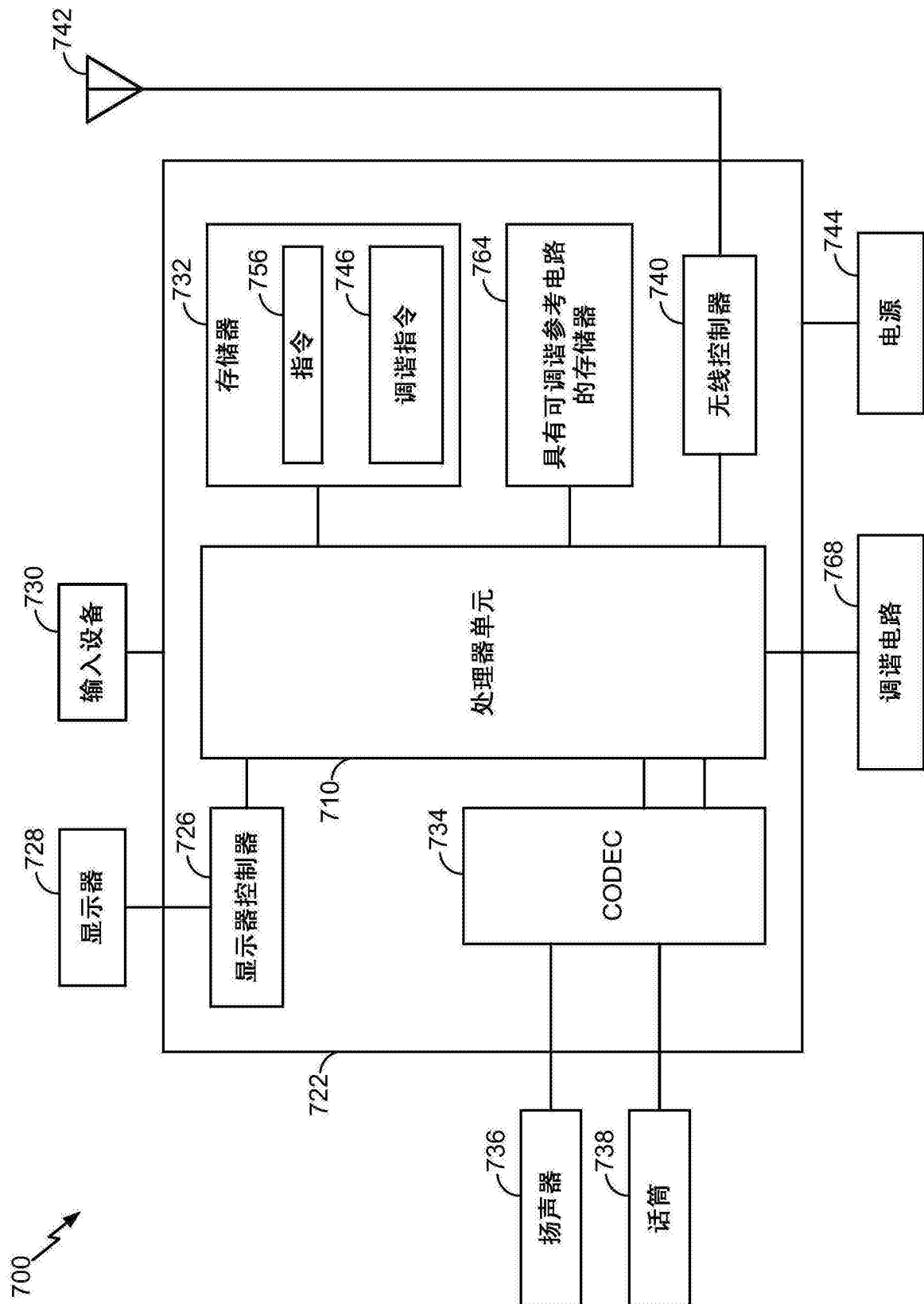


图7

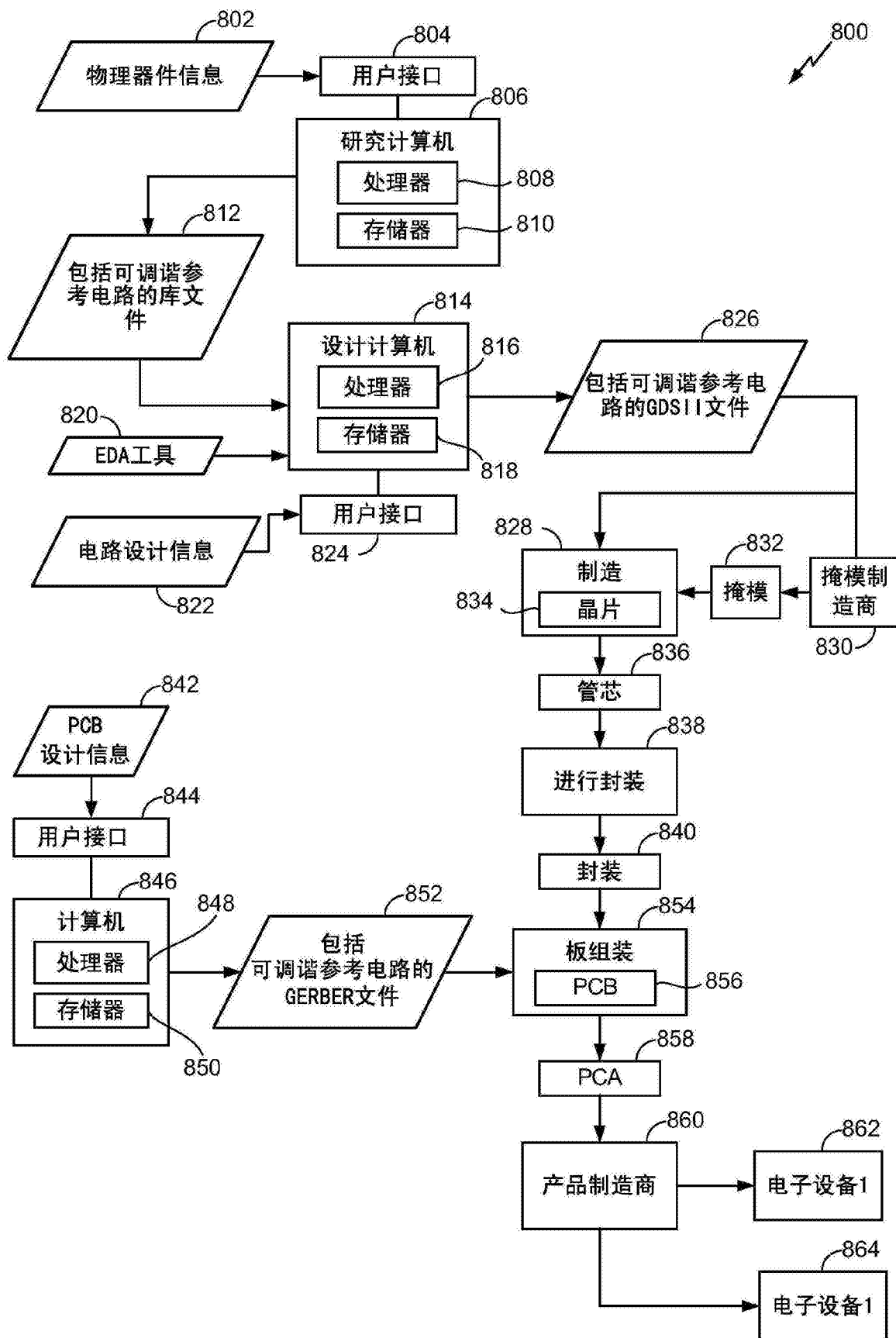


图8