(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年10 月21 日 (21.10.2004)

PCT

(10) 国際公開番号
WO 2004/090970 A1

(51) 国際特許分類[7]: H01L 21/60, 23/12

(21) 国際出願番号: PCT/JP2004/004908

(22) 国際出願日: 2004 年4 月5 日 (05.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-105794 2003 年4 月9 日 (09.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 大日本印刷株式会社 (DAI NIPPON PRINTING CO., LTD.) [JP/JP]; 〒1628001 東京都新宿区市谷加賀町一丁目１番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 三浦 陽一 (MIURA, Yoichi) [JP/JP]; 〒1628001 東京都新宿区市谷加賀町一丁目１番１号 大日本印刷株式会社内 Tokyo (JP).

(74) 代理人: 吉武 賢次, 外(YOSHITAKE, Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目２番３号 富士ビル３２３号 協和特許法律事務所 Tokyo (JP).

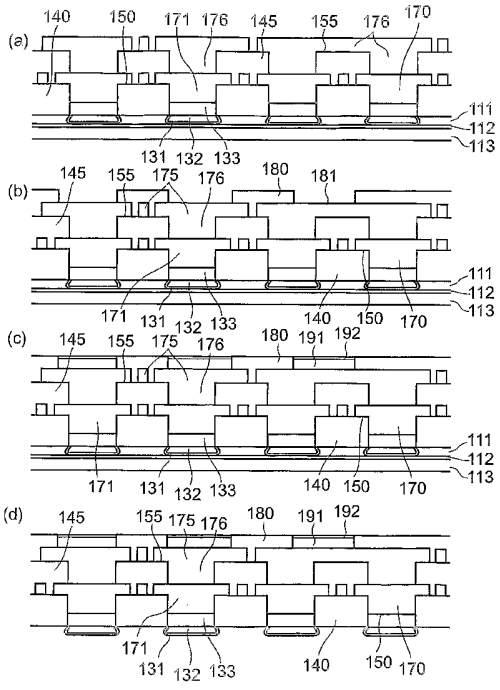
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

[続葉有]

(54) Title: WIRING BOARD AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 配線基板およびその製造方法



(57) Abstract: A wiring board comprising a wiring part consisting of one or more wiring layers, a first terminal part projecting from one side of the wiring part, and a second terminal part provided on the other side of the wiring part. Resist having an opening for the first terminal part is formed on the surface of a composite material consisting of multiple metal layers, and only the first metal layer of the composite material is etched from the opening for the first terminal part thus forming a hole part. Inside of the hole part is subjected to electrolytic plating from the opening of the resist and the hole part is filled with the electrolytic plating layer thus forming a first terminal part. Subsequently, the resist is removed, a wiring layer is provided on the composite material, and solder resist having an opening for the second terminal part is provided on the wiring layer. The opening for the second terminal part in the solder resist is subjected to electroplating thus forming the second terminal part. Finally, the remaining part of the composite material is removed thus producing the wiring board.

(57) 要約: 本発明による配線基板は１層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第１の端子部と、配線部の他方側に設けられた第２の端子部とを備えている。多層の金属層からなる複合材の表面に第１の端子部用開口を有するレジストを形成し、第１端子部用開口から複合材の第１の金属層のみをエッチングして孔部を形成する。レジストの開口から孔部内に電解めっきを施し、孔部内を電解めっき層で埋めて第１の端子部を形成する。レジストを除去し、複合材に配線層を設け、この配線層上に第２の端子部用開口を有するソルダーレジストを設ける。ソルダーレジストの第２の端子部用開口に電気めっきを施して第２の端子部を形成する。複合材の残部を除去して配線基板を作製する。

WO 2004/090970 A1

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明　　細　　書

配線基板およびその製造方法

技術分野

本発明は、配線層を１層以上積層した配線基板およびその製造方法に関する。配線層の一方の側に半導体素子とフリップチップ接続するための、突起状のフリップチップ接続用バンプが第１の端子部として形成されている。他方側には、配線層を覆うソルダーレジストの開口にこれを埋めるように第２の端子部がめっき形成されている。

背景技術

近年、半導体装置において、半導体素子（半導体チップないし単にチップとも言う）の外部端子数が多くなっている。高速にて動作する半導体素子は、電気特性向上のため、エリアアレイ型のフリップチップ接合により、インターポーザーである半導体パッケージ用基板と接合させている。

従来、Ｃ４タイプ（半田接合によるフリップチップ接続タイプ）のフリップチップ接合においては、半導体素子側の半田バンプと安定的な接合状態を得るために、基板側の端子にも半田バンプを形成しておく必要がある。

この場合、基板側の半田バンプは、通常、半田ペーストを金属マスクを用いたスクリーン印刷にて半田を供給した後、リフロー工程、フラックス除去工程、平坦化工程を経て、形成される。

しかし、基板側の半田ペーストのスクリーン印刷は、金属マスクの製造コストが高く、なおかつ、ピッチの縮小化に限界があり、一般的には、１５０μｍ程度のピッチが限界とされている。

このため、今後、半導体素子側の配線が更に微細化し、９０ｎｍ程度となった場合、更に端子ピッチが縮小することも考えられており、スクリーン印刷とは別の方法により、更なる微細化への対応が必要となってきている。

スクリーン印刷とは別の方法として、基板に対して金属と、金属塩の置換反応によりバンプを形成し、微細化ピッチへの対応する化学反応によるバンプの形成

方法も挙げることができるが、この方法の場合、材料費、製造コストは、高く、バンプ高さのばらつきにも問題が残る。

尚、スクリーン印刷を用いて基板側に半田バンプを形成して半導体素子側の半田バンプと接合する場合、接触させた後に加熱により、半田を溶融させて接合させる。このとき、基板側の半田バンプの高さのばらつきにより、半導体素子側の半田バンプとの接合が不十分となる危険性がある。

また、半導体素子側の半田バンプは溶融させずに基板側の半田バンプのみを溶融させてフリップチップ接合を行う場合、基板側の半田バンプの表面の酸化が半導体素子側の半田バンプとの濡れ性を低下させるという問題もあった。

また、通常、基板表面にソルダーレジストを配し、半導体素子側の半田バンプと接合するための端子を設けるが、基板側の端子の形状によっては、ＮＳＭＤ（ｎｏｎ－Ｓｏｌｄｅｒ　Ｍａｓｋ　ｄｅｆｉｎｄｅｄ）の場合、ソルダーレジストとのずれが生じる。また熱によるストレス、落下その他の衝撃に対し、故障が発生し易くなり、信頼性が低下し、結果的に端子形状に起因する接合不良が生じることもある。

特に、バンプピッチを微細化すると、ソルダーレジスト開口径が小さくなり、ソルダーレジストの開口形状がＳＭＤ（Ｓｏｌｄｅｒ　Ｍａｓｋ　ｄｅｆｉｎｄｅｄ）の場合には、半田を供給しないと、接合が不完全となる。

ここで、図７（ａ）に示すように端子部７２１の領域がソルダーレジスト７２２により限定されない形態をＮＳＭＤ、図７（ｂ）や図７（ｃ）に示すように、端子部７２１の領域がソルダーレジスト７２２により限定される形態をＳＭＤと言う。

ＳＭＤにおいては、半田を供給した場合でも、ソルダーレジストの壁の角度が垂直に近い場合は、上面部（Ｄ１部）の半田にストレスが集中し、熱衝撃時の寿命低下の危険がある。

一方、ソルダーレジストの断面形状の壁面角度を鈍角とした場合、開口部底部のサイズは、レジストの厚み、レジスト感度によってばらつきが生じるし、表面のサイズは、微細ピッチ時には大きくできないという欠点がある。

特開平２００１－９３９２９号公報（公知文献１）および特願２００２－２０

３８６８号公報（公知文献２）参照。

上記のように、Ｃ４タイプ（半田接合によるフリップチップ接続タイプ）のフリップチップ接合においては、バンプピッチの微細化に伴ない、基板側に半田バンプを設ける場合、従来の半田ペーストのスクリーン印刷による基板側の半田バンプの形成にはピッチの微小化への限界が見られる。また、金属と、金属塩の置換反応により基板側にバンプを形成する場合、材料費、製造コストが高く、バンプ高さのばらつきも問題となる。更に、通常、基板表面にソルダーレジストを配し、半導体素子側の半田バンプと接合するための端子を設けるが、このような形態をとるため、種々問題があり、これらの対応が求められていた。

発明の開示

本発明はこれらに対応するもので、具体的には、半導体素子の半田バンプと直接フリップチップ接続でき、半導体素子の半田バンプと、確実にフリップチップ接続することができる配線基板およびその製造方法を提供することを目的とする。

本発明は、１層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第１の端子部と、配線部の他方側に設けられた第２の端子部とを有する配線基板の製造方法において、多層の金属層からなる複合材の表面に、第１の端子部用開口を有するレジストを形成するレジスト形成工程と、レジストの第１端子部用開口から複合材の第１の金属層のみをエッチングして孔部を形成するエッチング工程と、レジストの第１の端子部用開口から孔部を埋めるよう第１の端子部を電解めっきにより形成する第１の電解めっき工程と、レジストを剥離した後、第１の端子部に樹脂材層を設けて配線層を形成する配線層形成工程と、配線層上に、第２の端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、ソルダーレジストの第２の端子部用開口に電解めっきを施して第２の端子部を形成する第２の電解めっき工程と、複合材の残部をエッチング除去するエッチング除去工程と、を備えたことを特徴とする配線基板の製造方法である。

本発明は、複合材は第１のＣｕ層、Ｎｉ層またはＴｉ層、および第２のＣｕ層を積層して構成されていることを特徴とする配線基板の製造方法である。

本発明は、第１の電解めっき工程は、順にＡｕめっき、Ｃｕめっき、あるいは順にＡｕめっき、Ｎｉめっき、あるいは順にＡｕめっき、Ｎｉめっき、Ｃｕめっ

き、あるいは順にＰｄめっき、Ｃｕめっき、あるいは順にＰｄめっき、Ｎｉめっき、あるいは順にＰｄめっき、Ｎｉめっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、Ｃｕめっき、あるいはＳｎめっき、あるいは順にＳｎめっき、Ｃｕめっき、あるいはＳｎ系合金めっき、あるいは順にＳｎ系合金めっき、Ｃｕめっきを施すことからなることを特徴とする配線基板の製造方法である。

本発明は、１層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第１の端子部と、配線部の他方側に設けられた第２の端子部とを有する配線基板の製造方法において、 第１のＣｕ層、Ｎｉ層および第２のＣｕ層からなる複合材の表面に第１の端子部用開口を有するレジストを形成するレジスト形成工程と、レジストの第１の端子部用開口を埋めるよう第１の端子部用の電解めっき形成部を電解めっきにより形成する第１の電解めっき工程と、レジストを剥離した後、電解めっき形成部に樹脂層を設けて配線層を形成する配線層形成工程と、配線層上に、第２端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、ソルダーレジストの第２端子部用開口に電解めっきを施して第２端子部を形成する第２の電解めっき工程と、複合材のＮｉ層をエッチングストッパとして第２のＣｕ層をエッチング除去する工程と、Ｎｉ層上に第１の端子部領域のみを覆うようにして、追加レジストを形成し、この追加レジストを耐エッチングレジストとしてＮｉ層、第１のＣｕ層をエッチングして貫通させ、電解めっき形成部と、第１のＣｕ層と、Ｎｉ層とからなる第１の端子部を形成するエッチング工程と、追加レジストを除去した後、電解めっき形成部、第１のＣｕ層、およびＮｉ層上に、更に無電解Ａｕめっき層、あるいは順に無電解Ｎｉめっき層および無電解Ａｕめっき層を施す無電解めっき工程と、を備えたことを特徴とする配線基板の製造方法である。

本発明は、複合材はクラッド材からなることを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程において、セミアディティブ方法により配線層が形成されることを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程は、（A）絶縁性樹脂からなる樹脂材層をラミネートするラミネート工程と、（B）前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、（C）形成された孔部の表面を含め、樹脂材層表面にＣｕ無電解めっきを施し、形成されたＣｕ層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したＣｕ層上に、該Ｃｕ層を導電層として電解Ｃｕめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたＣｕ層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを備えたことを特徴とする配線基板の製造方法である。

本発明は、配線層形成工程において、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いて配線層が形成されることを特徴とする配線基板の製造方法である。

ここで、サブトラクティブ方法とは、銅箔等の配線層形成用の導電性薄板を選択エッチングして配線部を形成する方式を言い、フルアディティブ方法とは、配線部を選択めっきだけで形成する方式を言い、セミアディティブ方法とは、めっき形成した導電性層をエッチングして除去して配線部を形成する方式を言う。また通電用の薄い導電層をめっき形成した後、これを通電層として選択的に電解めっきして配線部を厚く形成し、更にフラッシュエッチングにて通電用の薄い導電層を除去する方式もセミアディティブ方法と言う。

本発明は、１層以上の配線層からなる配線部と、配線部の一方側に設けられた複数の第１の端子部と、配線部の他方側に設けられた複数の第２の端子部とを備え、配線層は第１の端子部側に向かう樹脂材層を有しており、配線部の第１の端子部側にはソルダーレジストを設けずに、樹脂材層が露出し、各第１の端子部は、その先端に平面部を有し、各第１の端子部の平面部は一平面上に揃っており、各第１の端子部の平面部全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とする配線基板である。

本発明は、第１の端子部の電解めっき層は、表面側からの順にＡｕめっき層、Ｃｕめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｃｕめっき

層、あるいは順にＰｄめっき層、Ｎｉめっき層、あるいは順にＰｄめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、Ｃｕめっき層、あるいはＳｎめっき層、あるいは順にＳｎめっき層、Ｃｕめっき層、あるいはＳｎ系合金めっき層、あるいは順にＳｎ系合金めっき層、Ｃｕめっき層を形成したものであることを特徴とする配線基板である。

本発明は、第１の端子の無電解めっき層は、無電解Ａｕめっき層、あるいは、表面側から順に無電解Ｎｉめっき層、無電解Ａｕめっき層であることを特徴とする配線基板である。

本発明による配線基板の製造方法によれば、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続できる第１の端子部を有し、半導体素子の半田バンプと直接フリップチップ接続を確実に行うことができる配線基板を提供することができる。

また本発明の配線基板の製造方法によれば、第１の電解めっき工程は、順にＡｕめっき、Ｃｕめっき、あるいは順にＡｕめっき、Ｎｉめっき、あるいは順にＡｕめっき、Ｎｉめっき、Ｃｕめっき、あるいは順にＰｄめっき、Ｃｕめっき、あるいは順にＰｄめっき、Ｎｉめっき、あるいは順にＰｄめっき、Ｎｉめっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、Ｃｕめっき、あるいはＳｎめっき、あるいは順にＳｎめっき、Ｃｕめっき、あるいはＳｎ系合金めっき、あるいは順にＳｎ系合金めっき、Ｃｕめっきを施すことからなり、作製される配線基板は、第１の端子部の表面にて直接、半導体素子の半田バンプとフリップチップ接続できる。このため接続の際、第１の端子部が表面酸化しても、実用レベルで問題とならない。

特に、第１の電解めっき工程において、順に、Ａｕめっき、Ｃｕめっき、あるいは、順に、Ａｕめっき、Ｎｉめっき、あるいは、順にＡｕめっき、Ｎｉめっき、Ｃｕめっきを施す場合、第１の端子部の表面酸化の問題をより解消することができる。

また、本発明の配線基板の製造方法においては、第１のＣｕ層の厚さに、揃えて、バンプ形成領域用の孔部を全て形成する。また、Ｎｉ層またはＴｉ層の面に、第１の端子部（バンプ部）の表面位置を揃えることができる。

即ち、第１の端子部をバラツキなく、その突出した表面の位置を均一に揃えることができる。また、第１の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、第１のＣｕ層の厚さに揃えることができる。

また、Ｎｉ層またはＴｉ層、第２のＣｕ層を通電層として電解めっきにて第１の端子部（バンプ部）を形成することができる。

ここでは、Ｎｉ層またはＴｉ層は、第１のＣｕ層をエッチングする際のエッチングストッパー層、第１の電解めっきの母材、および通電層としての役割を持つ。

第２のＣｕ層は、支持基材として機能し、第１の電解めっきにおける通電層となる。

また、第１のＣｕ層エッチングの際のレジストを耐めっきレジストとすることにより作業性の良いものにしている。

本発明の配線基板の製造方法においては、第１の端子部の端子部表面に、無電解Ａｕめっき、あるいは、順に無電解Ｎｉめっき、無電解Ａｕめっきを施す。このため作製される配線基板は、第１の端子部の表面にて直接、半導体素子の半田バンプとフリップチップ接続することができる。また接続の際、第１の端子部の表面酸化が問題となることはない。

また、本発明の配線基板の製造方法においては、第１のＣｕ層、Ｎｉ層をエッチングして、このエッチング残部を、樹脂材層から突出した部分とし、その表面に無電解めっきによりめっき層を形成する。このため第１のＣｕ層の厚さ、Ｎｉ層の厚さの総和の厚さを定めることにより、樹脂材層から突出した高さを、調整することができる。また、第１の端子部の突出した表面の位置は、Ｎｉ層表面に揃えられるため、第１の端子部（バンプ部）の突起の高さ、即ち、配線基板を製造した際、樹脂材層から突出した高さを、均一に揃えて調整することができる。

ここで、第２のＣｕ層は、支持基材として機能するだけでなく、電解めっきする際の通電層としての役割を持ち、第１の端子部の一部となるもので、その厚さ

により、配線基板を製造した際、樹脂材層から突出した高さを制御する。

また、Ｎｉ層は、第２のＣｕ層をエッチングする際のエッチングストッパー層、電解めっきする際の通電層としての役割を持ち、第２のＣｕ層は、支持基材として機能する。

上記において、順に第１のＣｕ層、Ｎｉ層又はＴｉ層、第２のＣｕ層を積層した構造の複合材としては、クラッド材が、生産性の面からは好ましいが、これに限定はされない。

クラッド材は、例えば、第１のＣｕ層となる銅箔の一面にＮｉめっき層を形成し、これと、第２のＣｕ層となるＣｕ箔とを熱をかけて圧着形成して作製される。

別に、第１ないし第２のＣｕ層となるＣｕ箔の一面上に、Ｎｉめっき層を形成し、更に第２ないし第１のＣｕ層となるＣｕめっき層を形成して、複合材とすることもできる。

また、配線層形成工程としては、セミアディティブ方法や、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものが挙げられる。

本発明のフリップチップ接続用バンプを有する配線基板は、このような構成にすることにより、半導体素子の半田バンプと直接フリップチップ接続する第１の端子部を有し、半導体素子の半田バンプと直接フリップチップ接続を確実に行うことができる。

第１の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させているため、従来のソルダーレジストを配した配線基板の端子形状に起因する種々の問題が生じることはない。

また、第１の端子部の電解めっき層としては、表面側から順にＡｕめっき層、Ｃｕめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｎｉめっき層、あるいは順にＰｄめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、Ｃｕめっき層、あるいはＳｎめっき層、あるいは順

にＳｎめっき層、Ｃｕめっき層、あるいはＳｎ系合金めっき層、あるいは順にＳｎ系合金めっき層、Ｃｕめっき層を形成したものが挙げられ、無電解めっき層としては、無電解Ａｕめっき層、あるいは、順に無電解Ｎｉめっき層、無電解Ａｕめっき層であることにより、第１の端子部が表面酸化しても実用レベルで問題となることはない。

特に、最表面にＡｕ層を設けた場合には、第１の端子部の表面酸化を確実に除去することができる。

図面の簡単な説明

図１（ａ）～（ｇ）は本発明の配線基板の製造方法の第１の実施の形態の一部工程断面図である。

図２（ａ）～（ｄ）は図１（ａ）～（ｇ）に続く一部工程断面図である。

図３（ａ）～（ｄ）は図２（ａ）～（ｄ）に続く一部工程断面図である。

図４（ａ）～（ｈ）は本発明の配線基板の製造方法の第２の実施の形態の一部工程断面図である。

図５（ａ）～（ｄ）は図４（ａ）～（ｈ）に続く一部工程断面図である。

図６は本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図である。

図７は配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の形態と接合状態を説明するための断面図である。

発明を実施するための最良の形態

本発明の実施の形態を図に基づいて説明する。

図１（ａ）～（ｇ）は本発明の配線基板の製造方法の第１の実施の形態の一部工程断面図であり、図２（ａ）～（ｄ）は図１（ａ）～（ｇ）に続く一部工程断面図であり、図３（ａ）～（ｄ）は図２（ａ）～（ｄ）に続く一部工程断面図であり、図４（ａ）～（ｈ）は本発明の配線基板の製造方法の第２の実施の形態の一部工程断面図であり、図５（ａ）～（ｄ）は図４（ａ）～（ｈ）に続く一部工程断面図である。このうち図３（ｄ）は本発明のフリップチップ接続用バンプを有する配線基板の第１の実施の形態の断面図であり、図５（ｄ）は本発明のフリップチップ接続用バンプを有する配線基板の第２の実施の形態の断面図であり、

図６は本発明のフリップチップ接続用バンプを有する配線基板を用いたパッケージの断面図であり、図７は配線基板のソルダーレジストを配設した側にフリップ接続部を設けた場合の接合状態を説明するための断面図である。

図１～図７中、符号１１０は（板状の）複合材、符号１１１は第１のＣｕ層、符号１１１Ａは孔部、符号１１２はＮｉ層、符号１１３は第２のＣｕ層、符号１２０はレジスト、符号１２１はレジストの開口、符号１３１はＡｕめっき層、符号１３２はＮｉめっき層、符号１３３はＣｕめっき層、符号１４０は樹脂材層、符号１４１は孔部（ビア形成用孔）、符号１４５は樹脂材層、符号１５０、１５５は無電解Ｃｕめっき層（単にＣｕ層とも言う）、符号１６０はレジスト、符号１７０はＣｕ層、符号１７１はビア部、符号１７５はＣｕ層、符号１７６はビア部、符号１８０はソルダーレジスト、符号１８１は開口、符号１９１はＮｉめっき層、符号１９２は金めっき層、符号２１０は（板状の）複合材、符号２１１は第１のＣｕ層、符号２１２はＮｉ層、符号２１３は第２のＣｕ層、符号２２０はレジスト、符号２２１はレジスト開口、符号２３０は電解めっき層（電解めっき形成部とも言う）、符号２４０は樹脂材層、符号２４１は孔部（ビア形成用孔）、符号２４５は樹脂材層、符号２５０、２５５は無電解めっき層、符号２６０はレジスト、符号２７０はＣｕ層、符号２７１はビア部、符号２７５はＣｕ層、符号２７６はビア部、符号２８０はソルダーレジスト、符号２８１は開口、符号２９１はＮｉめっき層、符号２９２は金めっき層、符号３１０は（フリップチップ接続用バンプを有する）配線基板、符号３１１は配線層積層形成部（配線部とも言う）、符号３１２はフリップチップ接続用端子（第１の端子部とも言う）、符号３１２Ｓは突出した平面部、符号３１３はマザーボードとの接続用端子（第２の端子部とも言う）、符号３１５は半田ボール、符号３２０は半導体素子、符号３２５は半田バンプ、符号３３０はアンダーフィル、符号７１０は半導体素子、符号７１５は半田バンプ、符号７２０は配線基板（インターポーザとも言う）、符号７２１は端子部、符号７２５は半田バンプ、符号７３０は接合部である。

はじめに、本発明の配線基板の製造方法の第１の実施の形態を図１～図３に基づいて説明する。

配線基板は、図３（ｄ）に示すように、２層の配線層１７０，１７５からなる

配線部と、配線層１７０，１７５の一方側に突出して設けられた第１の端子部１３１，１３２，１３３と、配線層１７０，１７５の他方側に設けられた第２の端子部１９１，１９２とを備えている。

配線部の各配線層１７０，１７５は第１の端子部１３１，１３２，１３３側に樹脂材層１４０，１４５を有し、また第１の端子部１３１，１３２，１３３は半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを構成している。第２の端子部１９１，１９２は、配線部１７０，１７５を覆うソルダーレジスト１８０の開口１８１にこれを埋めるように形成されている。

各配線層１７０，１７５は、その樹脂材層１４０，１４５側を第１の端子部１３１，１３２，１３３側に向けている。

第１の端子部１３１，１３２，１３３側にはソルダーレジストを設けておらず、樹脂材層１４０を露出させており、第１の端子部１３１，１３２，１３３は、その突起状の先端に平面部１３１を設け、且つ、各端子部１３１，１３２，１３３の平面部１３１を一平面上に揃えている。このような構成からなる配線基板はパッケージ用のインターポーザとして用いられる。

次に配線基板の製造方法について述べる。先ず、順に第１のＣｕ層１１１、Ｎｉ層１１２、第２のＣｕ層１１３を積層してなる板状の複合材１１０（図１（ａ））を準備する。次に第１のＣｕ層１１１の表面に所定形状にレジスト１２０を形成し（図１（ｂ））、レジストの開口１２１から露出した第１のＣｕ層１１１をのみエッチングして、その所定領域を貫通させ、第１の端子部形成領域用の孔部１１１Ａを形成する。（図１（ｃ））

複合材１１０としては、クラッド材が生産性からは好ましいが、これに限定されない。

通常は、第１のＣｕ層１１１、Ｎｉ層１１２、第２のＣｕ層１１３の厚みとしては、それぞれ、５０μｍ～１２５μｍ、１μｍ、１８μｍ～３０μｍのものが用いられる。

クラッド材としては、第１のＣｕ層１１１あるいは第２のｃｕ層１１３となる銅箔の一面にＮｉめっき層１１２を形成し、これと、それぞれ、第２のＣｕ層１

１３、第１のＣｕ層１１１となるＣｕ箔とを熱をかけて圧着形成して得る。

また別に、第１ないし第２のＣｕ層１１１，１１３となるＣｕ箔の一面上に、Ｎｉめっき層１１２を形成し、更にＮｉめっき層１１２に第２ないし第１のＣｕ層となるＣｕめっき層１１１，１１３を形成して、複合材１１０とすることもできる。

レジスト１２０は、後続するめっき工程にも耐えるものを使用する。

レジスト１２０の材質としては、通常、アクリル系のものが用いられる。

また、第１のＣｕ層１１１のエッチング液としては、Ｎｉ層１１２をエッチングストッパー層とするため、Ｎｉ層をエッチングしないアルカリエッチングが用いられる。

次いで、レジスト１２０を耐めっきレジストとして、エッチング工程にて形成された孔部１１１Ａを埋めるように、フリップチップ接続用バンプとなる第１の端子部１３１，１３２，１３３を電解めっきにより形成する。（図１（ｄ））

本例では、順にＡｕめっき、Ｎｉめっき、Ｃｕめっきを施し、順にＡｕめっき層１３１、Ｎｉめっき層１３２、Ｃｕめっき層１３３を形成し、孔部１１Ａを埋める。

Ａｕめっき層１３１、Ｎｉめっき層１３２、Ｃｕめっき層１３３の各部を併せたものが第１の端子部１３１，１３２，１３３となる。

このめっきに代え、順に、Ａｕめっき、Ｃｕめっき、あるいは、順に、Ａｕめっき、Ｎｉめっきを施すこともできる。

次いで、複合材１１０からレジスト１２０を剥離した（図１（ｅ））後、複合材１１０の第１の端子部１３１，１３２，１３３形成側上に、該第１の端子部に接続するようにして、樹脂材層１４０を介して配線を設けた１層目の配線層１７０をセミアディティブ方法にて形成する。

先ず、複合材１１０の第１の端子部形成側上に絶縁性樹脂からなる樹脂材層１４０をラミネートし（図１（ｆ））、ラミネートされた樹脂材層１４０を、レーザにてビア形成用の孔部１４１を開ける。（図１（ｇ））

樹脂材層１４０としては、好ましくは、例えば、アラミド繊維やガラス繊維にエポキシ系樹脂を含浸させたものが用いられるが、これに限定はされない。

樹脂材層１４０のラミネート方法としては、例えば、銅箔の一面上に樹脂材層１４０を形成しておき、これを該樹脂材層１４０を介して複合材１１０上に積層した後に、銅箔を除去してラミネートする方法が採られる。

孔部１４１を形成するレーザとしては、ＣＯ２レーザやＵＶ－ＹＡＧレーザが用いられる。

次いで、形成された孔部１４１の表面を含め、樹脂材層１４０表面に無電解Ｃｕめっきを施す（図２（ａ））。次に形成された無電解Ｃｕめっき層１５０上に、回路形成部を開口してレジスト１６０を形成した（図２（ｂ））、後、レジスト１６０の開口から露出したＣｕ層１５０上に、該Ｃｕ層１５０を導電層として電解Ｃｕめっき１７０を施す（図２（ｃ））。更に、前記レジスト１６０を剥離し、露出した無電解めっきにより形成されたＣｕ層１５０をエッチング除去して、回路部を形成する。（図２（ｄ））

これにより、１層目の配線層が形成される。

そして、同様にして、１層目の配線層１７０上に、２層目の配線層１７５を形成する。（図３（ａ））

次いで、２層目の配線層１７５上に、第２の端子部１９１，１９２の形成領域を露出させる開口１８１を設け、配線層１７５全体を覆うように、ソルダーレジスト１８０を形成する（図３（ｂ））。

次にソルダーレジスト１８０の開口１８１に電解めっきを施し、第２の端子部１９１，１９２を形成する。（図３（ｃ））

この電解めっき工程において、順に、電解Ｎｉめっき、電解Ａｕめっきを、Ｎｉ層１１１、第２のＣｕ層１１３を導電層として行う。

形成されるＮｉめっき層１９１、Ｃｕ層１９２の厚さの総和がソルダーレジスト１８０の厚さに相当する。

次いで、複合材１１０の残部をエッチング除去する。（図３（ｄ））

この場合順次、第２のＣｕ層１１３のエッチング、Ｎｉ層１１２のエッチング、第１のＣｕ層１１１のエッチングの順に行う。

このエッチング除去工程において、例えば、第２のＣｕ層１１３、第１のＣｕ層１１１のエッチングにはアルカリ系溶液、Ｎｉ層１１２のエッチングには、過

水、硫酸系溶液をエッチング液として用いる。

これにより、目的とする配線基板が作製される（図３（ｄ））。

次に、本発明の配線基板の製造方法の第２の実施の形態を、図４、図５に基づいて説明する。

配線基板は２層の配線層２７０，２７５からなる配線部と、配線層２７０，２７５の一方側に突出して設けられた第１の端子部２３０，２１１，２１２，２９５と、配線層２７０，２７５の他方側に設けられた第２の端子部２９１，２９２とを備えている（図５（ｄ））。

配線部の各配線層２７０，２７５は第１の端子部２３０，２１１，２１２，２９５側に樹脂材層２４０，２４５を有し、また第１の端子部２３０，２１１，２１２，２９５は半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを構成している。

第２の端子部２９１，２９２は配線部２７０，２７５を覆うソルダーレジスト２８０の開口２８１にこれを埋めるように形成されている。

各配線層２７０，２７５は、その樹脂材層側２４０，２４５を第１の端子部側２１１，２１２，２９５側に向けている。第１の端子部２３０，２１１，２１２，２９５側にはソルダーレジストを設けておらず、樹脂材層２４０を露出させている。第１の端子部２１１，２１２，２９５は、その突起状の先端に平面部２９５を設け、且つ、各端子部２１１，２１２，２９５の平面部２９５を一平面上に揃えている。

このような構成からなる配線基板は、パッケージ用のインターポーザとして用いられる。

次に配線基板の製造方法について述べる。先ず、順に第１のＣｕ層２１１、Ｎｉ層２１２、第２のＣｕ層２１３を積層してなる板状の複合材２１０（図４（ａ））を準備する。次に第１のＣｕ層２１１の表面に所定形状にレジスト２２０を形成し（図４（ｂ））、レジスト２２０を耐めっきレジストとして、レジストの開口２２１から露出した第１のＣｕ層２１１上に、開口２２１を埋めるように、電解めっきにより、第１の端子部の一部となる電解めっき部（電解めっき形成部）２３０を形成する。（図４（ｃ））

電解めっき部２３０は、通常、Ｃｕめっきである。

次いで、レジスト２２０を剥離した（図４（ｄ））後、電解めっき部２３０側上に、前記第１の端子部の一部となる電解めっき部２３０に接続するようにして、樹脂材層２４０を介して設けた１層目の配線層２７０と、樹脂材層２４５を介して設けた２層目の配線層２７５を各々形成する（図４（ｅ）～図５（ａ））。更に、第２の端子部２９１，２９２の形成領域を露出させる開口２８１を設け、配線層２７５全体を覆うように、ソルダーレジスト２８０を形成する（図５（ｂ））。

次にソルダーレジスト２８０の開口２８１に電解めっきを施し、Ｎｉめっき層２９１とＡｕめっき層２９２とからなる第２の端子部を形成する。

次にＮｉ層２１２をエッチングストッパー層として、第２のＣｕ層２１３をエッチング除去し、更に、Ｎｉ層２１２上に、第１の端子部領域のみを覆うように追加レジスト２１２ａを形成する。次に追加レジスト２１２ａを耐エッチングレジストとして、Ｎｉ層２１２、第１のＣｕ層２１１をエッチングして貫通させ、電解めっき形成部２３０、第１のＣｕ層２１１の残部、Ｎｉ層２１２の残部を併せて第２の端子部として形成し、追加レジスト２１２ａを除去する。（図５（ｃ））

更に、露出したＮｉ層２１２表面に、無電解Ａｕめっきを施して無電解Ａｕめっき層２９５を形成する（図５（ｄ））。

これにより、目的とする配線基板が作製される。

尚、各部材も第１の例と同様のものが適用でき、ここでは説明を省く。

次に本発明の変形例について述べる。Ｃｕ層１１１、Ｎｉ層１１２、第２のＣｕ層１１３を積層してなる板状の複合材１１０（図１（ａ））に代え、第１のＣｕ層、Ｔｉ層、第２のＣｕ層を積層してなる板状の複合材を用いてもよい。

また、図１乃至図３および図４乃至図５において、配線層の数は１層、あるいは、３層以上としてもよい。

また、配線層の形成方法も、セミアディティブ方法に限定されない。

フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いたものも挙げられる。

本発明のフリップチップ接続用バンプを有する配線基板の実施の形態としては、図３（ｄ）に示す配線基板の製造方法の第１の実施の形態により作製されたもの、図５（ｄ）に示す配線基板の製造方法の第２の実施の形態により作製されたものが挙げられるが、これらに限定はされない。

図３（ｄ）、図５（ｄ）に示すものは、いずれも、配線層を２層配設した配線基板の一方側に、半導体素子の半田バンプと直接フリップチップ接続するための、突起状のフリップチップ接続用バンプを第１の端子部として形成し、他方側には、配線部を覆うソルダーレジストの開口にこれを埋めるように第２の端子部をめっき形成している。樹脂材層上に配線を形成した各配線層は、その樹脂材層側を第１の端子部側に、その配線を第２の端子部側に向けている。第１の端子部側にはソルダーレジストを設けずに、樹脂材層を露出させており、第１の端子部は、その突起先端に平面部を設けている。各端子部の平面部は一平面上に揃えており、その側面部を含み露出した表面全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されている。

尚、各部の材質等については、上記の製造方法の説明に代え、ここでは説明を省略する。

本発明の、図３（ｄ）に示す配線基板、図５（ｄ）に示す配線基板のインターポーザとしてのパッケージ用基板３１０は、例えば、図６に示すように、その第１の端子部３１２が、半導体素子３１０の半田バンプ３２５と直接、フリップチップ接続される。

この場合、第１の端子部３１２の突出した平面部３１２Ｓは一平面に揃うため、均一に接合することができる。

また、第１の端子部３１２の表面部が金層であり、化学的に安定しており、酸化は起こらず、フラックス処理も不要となり得る。

本発明による配線基板は、上記のように半導体素子の半田バンプと直接フリップチップ接続できるめっきバンプあるいは表面がめっき形成されたバンプを備えている。この配線基板は半導体素子の半田バンプとの直接のフリップチップ接続を信頼性良くできる。

詳しくは、これにより、高価な材料、プロセスを用いた半田バンプ形成が不要

となり、より安価な方法により、より微細ピッチに対応したバンプ形成が実現可能となった。

また、特に図１乃至図３に示す配線基板の製造方法の場合、無電解Ｎｉめっき、無電解Ａｕめっきに代わり、接合信頼性の高い電解めっきによりバンプ形成が可能となった。

また、印刷方法によって形成された半田バンプと比較し、バンプの高さのバラツキを少なくできるため、半導体素子との接合も良好となり、実装時の歩留まりが向上するようになった。

また、Ｐｂフリー半田適用時に、基板の加熱が不要となり、基板へのダメージが低減され、歩留まりが向上するようになった。

請求の範囲

１．　１層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第１の端子部と、配線部の他方側に設けられた第２の端子部とを有する配線基板の製造方法において、

多層の金属層からなる複合材の表面に、第１の端子部用開口を有するレジストを形成するレジスト形成工程と、

レジストの第１端子部用開口から複合材の第１の金属層のみをエッチングして孔部を形成するエッチング工程と、

レジストの第１の端子部用開口から孔部を埋めるよう第１の端子部を電解めっきにより形成する第１の電解めっき工程と、

レジストを剥離した後、第１の端子部に樹脂材層を設けて配線層を形成する配線層形成工程と、

配線層上に、第２の端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、

ソルダーレジストの第２の端子部用開口に電解めっきを施して第２の端子部を形成する第２の電解めっき工程と、

複合材の残部をエッチング除去するエッチング除去工程と、

を備えたことを特徴とする配線基板の製造方法。

２．　複合材は第１のＣｕ層、Ｎｉ層またはＴｉ層、および第２のＣｕ層を積層して構成されていることを特徴とする請求項１記載の配線基板の製造方法。

３．　第１の電解めっき工程は、順にＡｕめっき、Ｃｕめっき、あるいは順にＡｕめっき、Ｎｉめっき、あるいは順にＡｕめっき、Ｎｉめっき、Ｃｕめっき、あるいは順にＰｄめっき、Ｃｕめっき、あるいは順にＰｄめっき、Ｎｉめっき、あるいは順にＰｄめっき、Ｎｉめっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｃｕめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、あるいは順にＰｄ系合金めっき、Ｎｉめっき、Ｃｕめっき、あるいはＳｎめっき、あるいは順にＳｎめっき、Ｃｕめっき、あるいはＳｎ系合金めっき、あるいは順にＳｎ系合金めっき、Ｃｕめっきを施すことからなることを特徴とする請求項１記載の配線

基板の製造方法。

４．　１層以上の配線層からなる配線部と、配線部の一方側に突出して設けられた第１の端子部と、配線部の他方側に設けられた第２の端子部とを有する配線基板の製造方法において、

第１のＣｕ層、Ｎｉ層および第２のＣｕ層からなる複合材の表面に第１の端子部用開口を有するレジストを形成するレジスト形成工程と、

レジストの第１の端子部用開口を埋めるよう第１の端子部用の電解めっき形成部を電解めっきにより形成する第１の電解めっき工程と、

レジストを剥離した後、電解めっき形成部に樹脂層を設けて配線層を形成する配線層形成工程と、

配線層上に、第２端子部用開口を有するソルダーレジストを設けるソルダーレジスト形成工程と、

ソルダーレジストの第２端子部用開口に電解めっきを施して第２端子部を形成する第２の電解めっき工程と、

複合材のＮｉ層をエッチングストッパとして第２のＣｕ層をエッチング除去する工程と、

Ｎｉ層上に第１の端子部領域のみを覆うようにして、追加レジストを形成し、この追加レジストを耐エッチングレジストとしてＮｉ層、第１のＣｕ層をエッチングして貫通させ、電解めっき形成部と、第１のＣｕ層と、Ｎｉ層とからなる第１の端子部を形成するエッチング工程と、

追加レジストを除去した後、電解めっき形成部、第１のＣｕ層、およびＮｉ層上に、更に無電解Ａｕめっき層、あるいは順に無電解Ｎｉめっき層および無電解Ａｕめっき層を施す無電解めっき工程と、

を備えたことを特徴とする配線基板の製造方法。

５．　複合材はクラッド材からなることを特徴とする請求項１または４記載の配線基板の製造方法。

６．　配線層形成工程において、セミアディティブ方法により配線層が形成されることを特徴とする請求項１または４記載の配線基板の製造方法。

７．　配線層形成工程は、（Ａ）絶縁性樹脂からなる樹脂材層をラミネートす

るラミネート工程と、

（B）前記ラミネート工程にてラミネートされた樹脂材層を、レーザにてビア形成用の孔を開ける、孔形成工程と、

（C）形成された孔部の表面を含め、樹脂材層表面にＣｕ無電解めっきを施し、形成されたＣｕ層上に、回路形成部を開口してレジストを形成した後、レジスト開口から露出したＣｕ層上に、該Ｃｕ層を導電層として電解Ｃｕめっきを施し、更に、前記レジストを剥離し、露出した無電解めっきにより形成されたＣｕ層をエッチング除去して、ビアを形成するとともに、回路部を形成する回路部形成工程とを備えたことを特徴とする請求項６記載の配線基板の製造方法。

８．　配線層形成工程において、フルアディティブ方法とサブトラクティブ方法、あるいはフルアディティブ方法とセミアディティブ方法の両方を用いて配線層が形成されることを特徴とする請求項１または４記載の配線基板の製造方法。

９．　１層以上の配線層からなる配線部と、

配線部の一方側に設けられた複数の第１の端子部と、

配線部の他方側に設けられた複数の第２の端子部とを備え、

配線層は第１の端子部側に向かう樹脂材層を有しており、配線部の第１の端子部側にはソルダーレジストを設けずに、樹脂材層が露出し、

各第１の端子部は、その先端に平面部を有し、各第１の端子部の平面部は一平面上に揃っており、各第１の端子部の平面部全体に、電解めっき層あるいは無電解めっき層からなる表面めっき層が形成されていることを特徴とする配線基板。

１０．　第１の端子部の電解めっき層は、表面側から順にＡｕめっき層、Ｃｕめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、あるいは順にＡｕめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｃｕめっき層、あるいは順にＰｄめっき層、Ｎｉめっき層、あるいは順にＰｄめっき層、Ｎｉめっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｃｕめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、あるいは順にＰｄ系合金めっき層、Ｎｉめっき層、Ｃｕめっき層、あるいはＳｎめっき層、あるいは順にＳｎめっき層、Ｃｕめっき層、あるいはＳｎ系合金めっき層、あるいは順にＳｎ系合金めっき層、Ｃｕめっき層を形成したものであることを特徴とする請求項９記載の配線

基板。

１１．　第１の端子の無電解めっき層は、無電解Ａｕめっき層、あるいは、表面側から順に無電解Ｎｉめっき層、無電解Ａｕめっき層であることを特徴とする請求項９記載の配線基板。

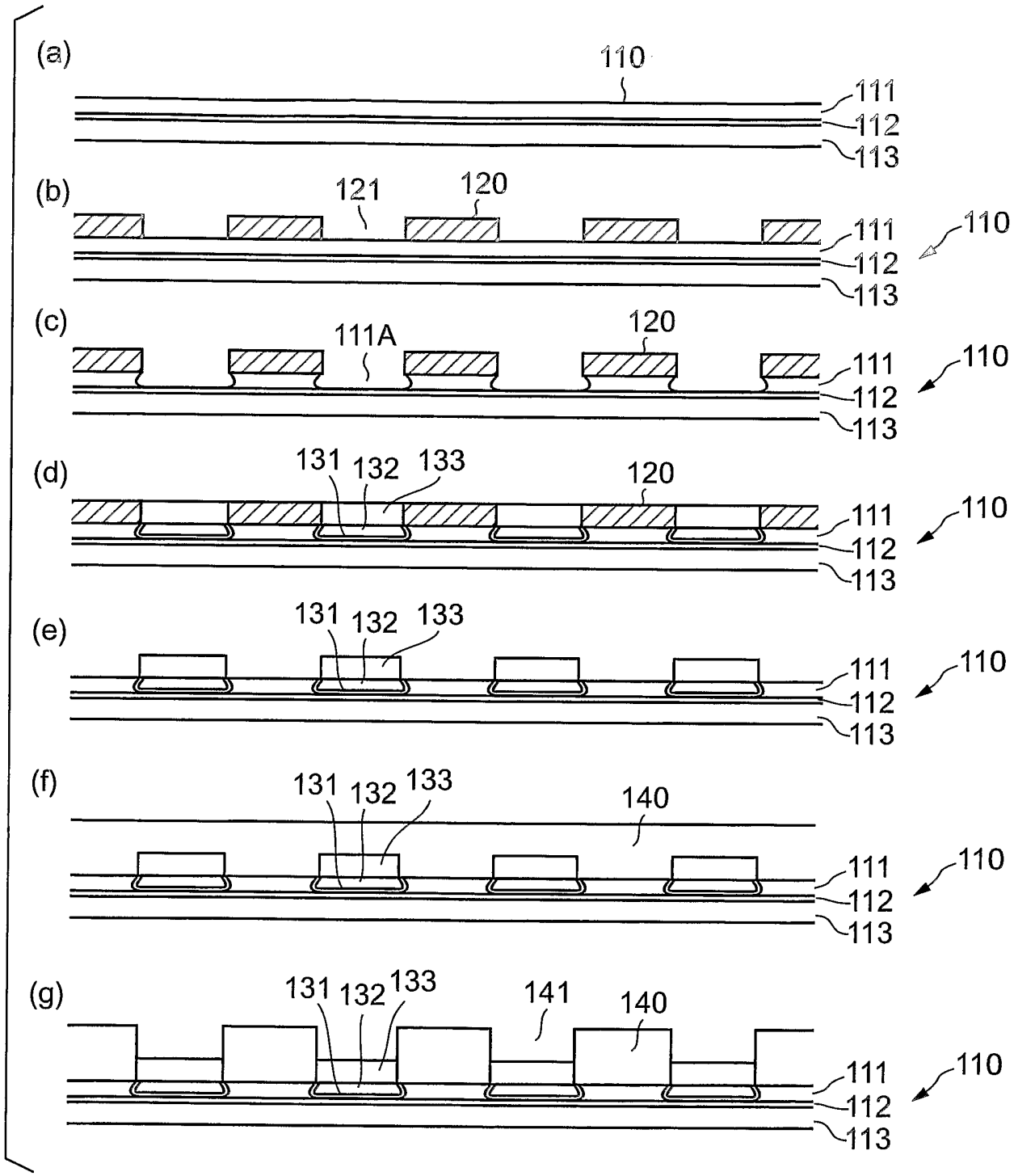

(a)
110
111
112
113
(b)
121
120
111
112
113
110
(c)
111A
120
111
112
113
110
(d)
131
132
133
120
111
112
113
110
(e)
131
132
133
111
112
113
110
(f)
131
132
133
140
111
112
113
110
(g)
131
132
133
141
140
111
112
113
110

FIG. 1

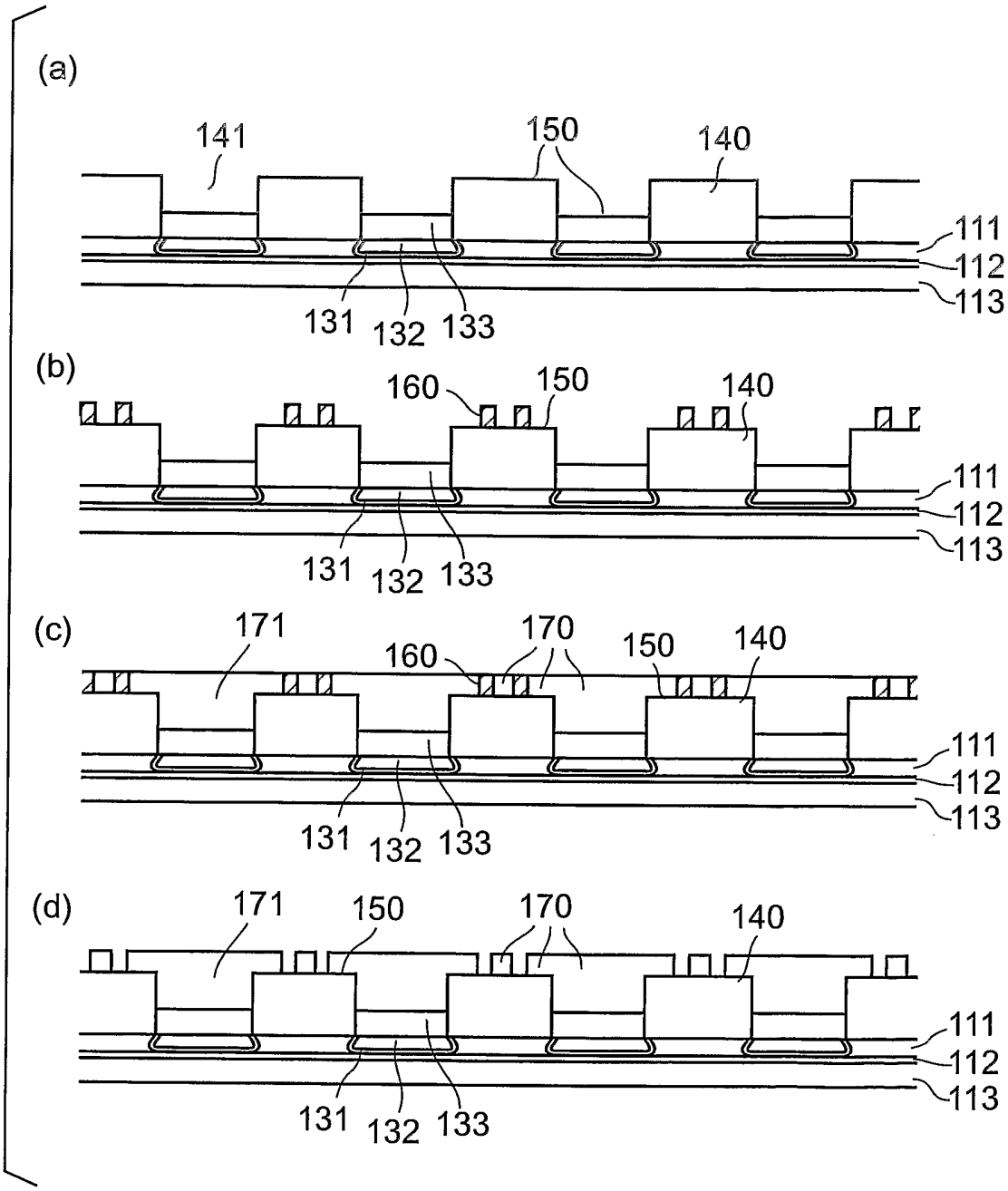

(a)
141
150
140
111
112
113
131
132
133
(b)
160
150
140
111
112
113
131
132
133
(c)
171
160
170
150
140
111
112
113
131
132
133
(d)
171
150
170
140
111
112
113
131
132
133

FIG. 2

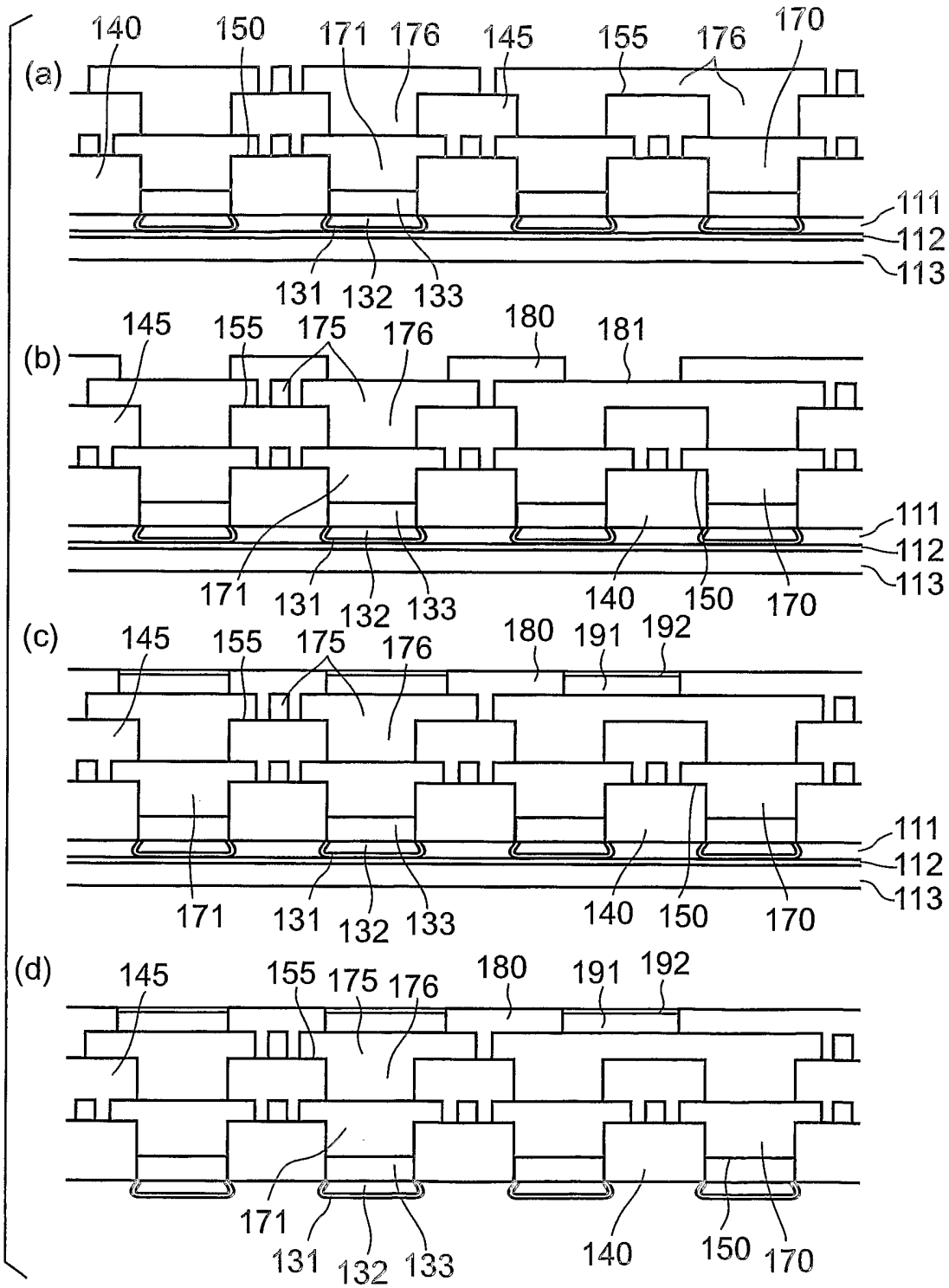

(a)
140
150
171
176
145
155
176
170
111
112
113
131
132
133
(b)
145
155
175
176
180
181
111
112
113
171
131
132
133
140
150
170
(c)
145
155
175
176
180
191
192
111
112
113
171
131
132
133
140
150
170
(d)
145
155
175
176
180
191
192
171
131
132
133
140
150
170

FIG. 3

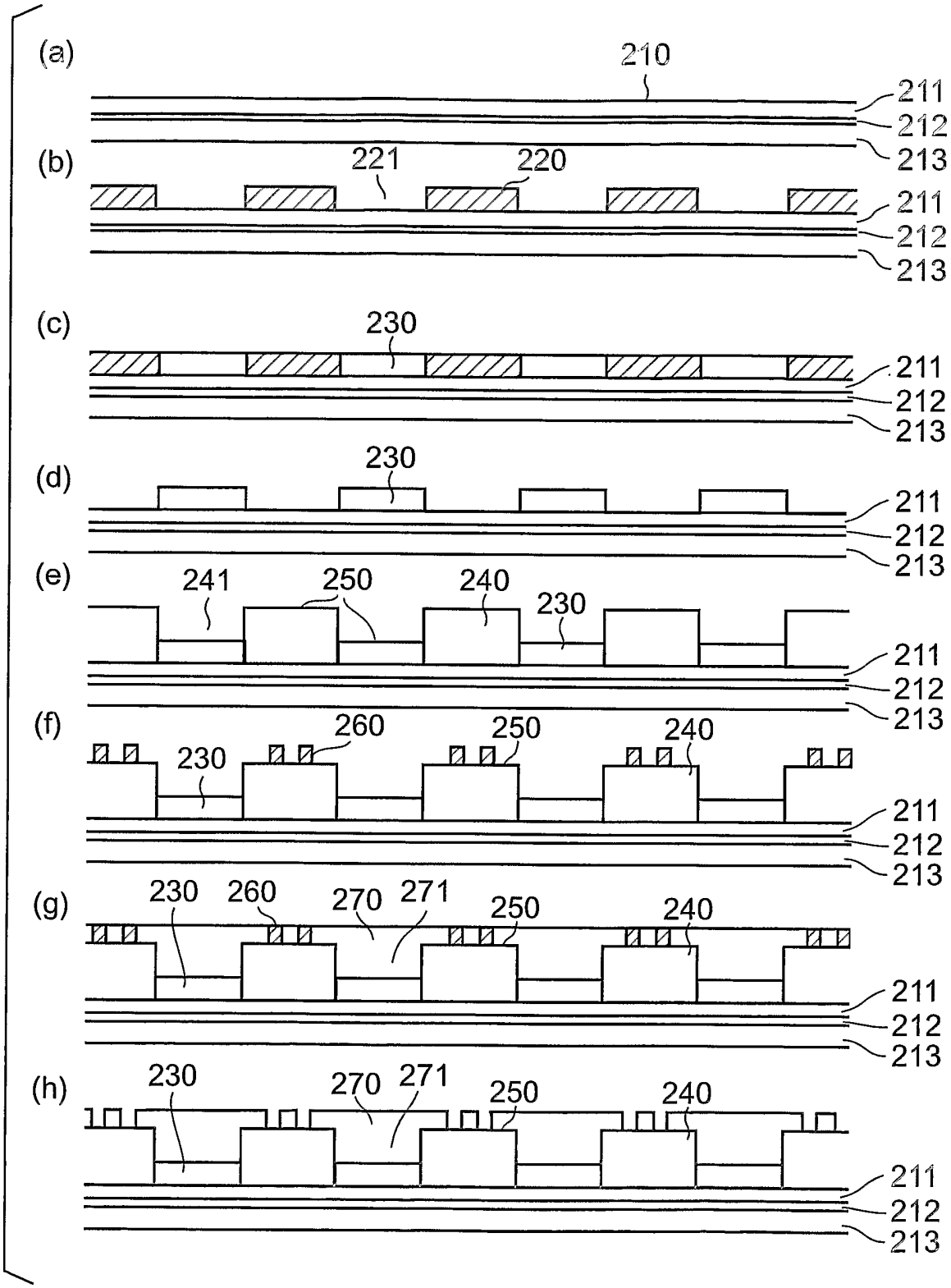

(a)
210
211
212
213
(b)
221
220
211
212
213
(c)
230
211
212
213
(d)
230
211
212
213
(e)
241
250
240
230
211
212
213
(f)
230
260
250
240
211
212
213
(g)
230
260
270
271
250
240
211
212
213
(h)
230
270
271
250
240
211
212
213

FIG. 4

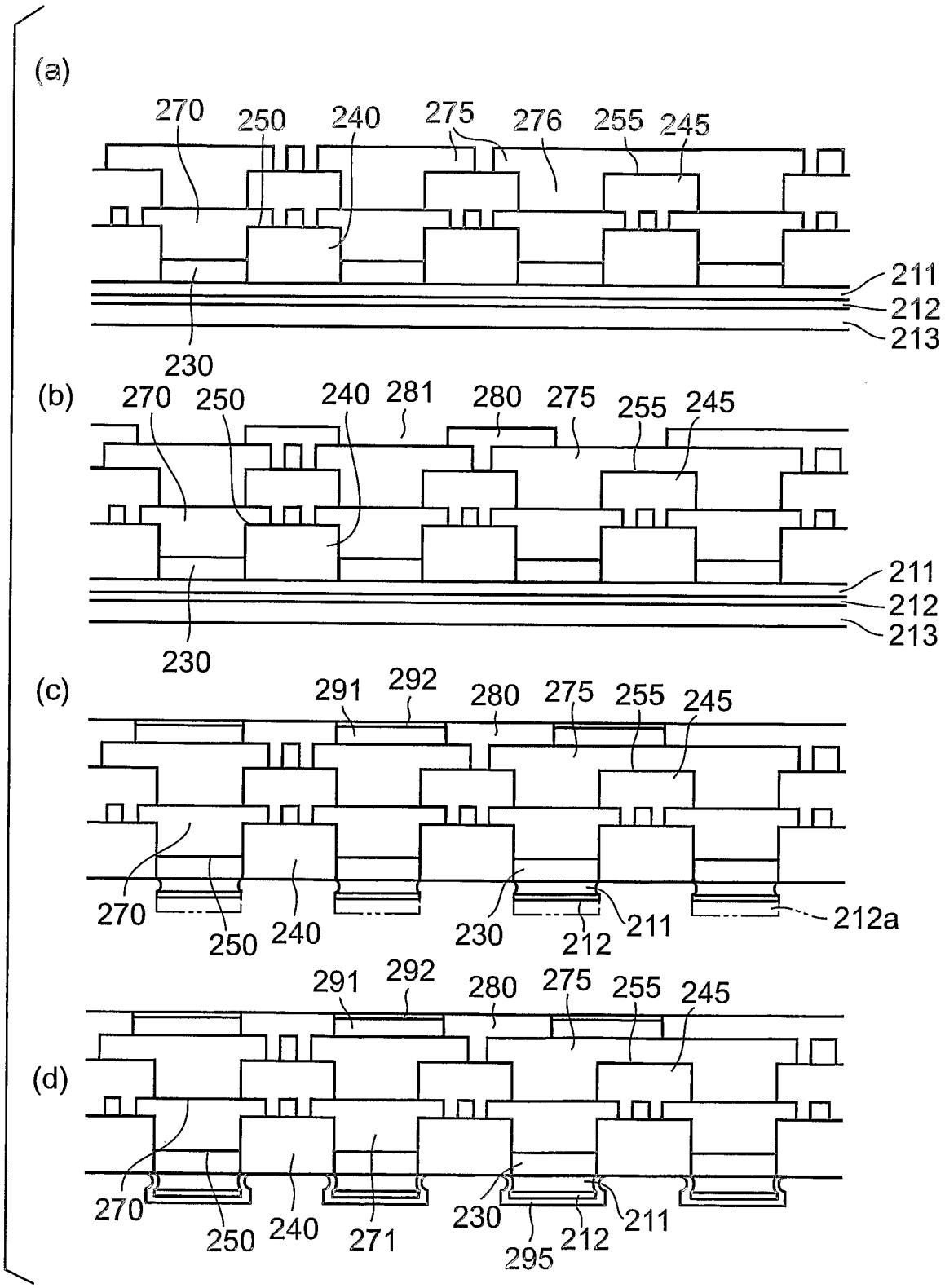

(a)
270
250
240
275
276
255
245
211
212
213
230
(b)
270
250
240
281
280
275
255
245
211
212
213
230
(c)
291
292
280
275
255
245
270
250
240
230
212
211
212a
(d)
291
292
280
275
255
245
270
250
240
271
230
295
212
211

FIG. 5

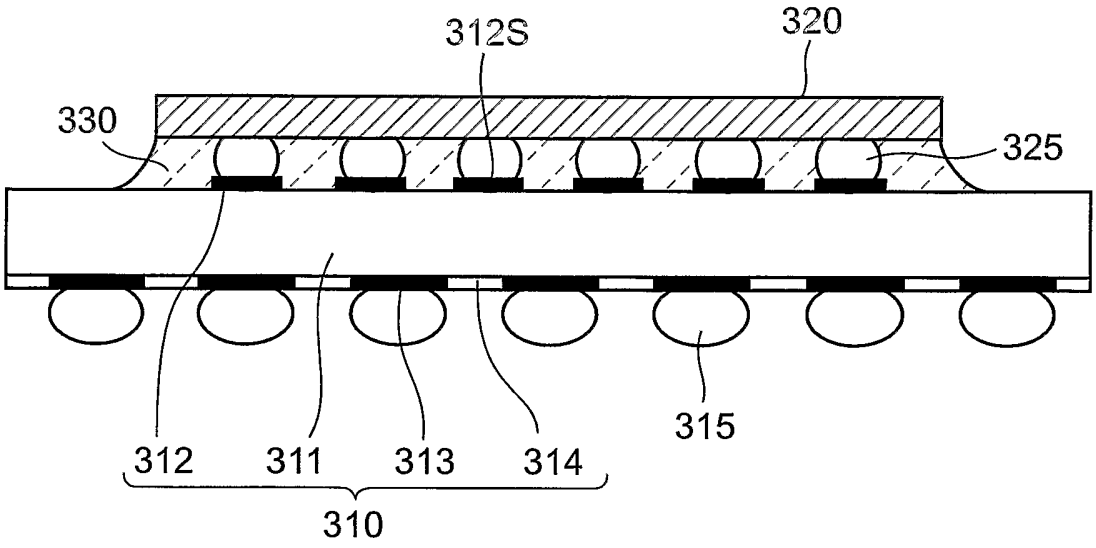


FIG. 6

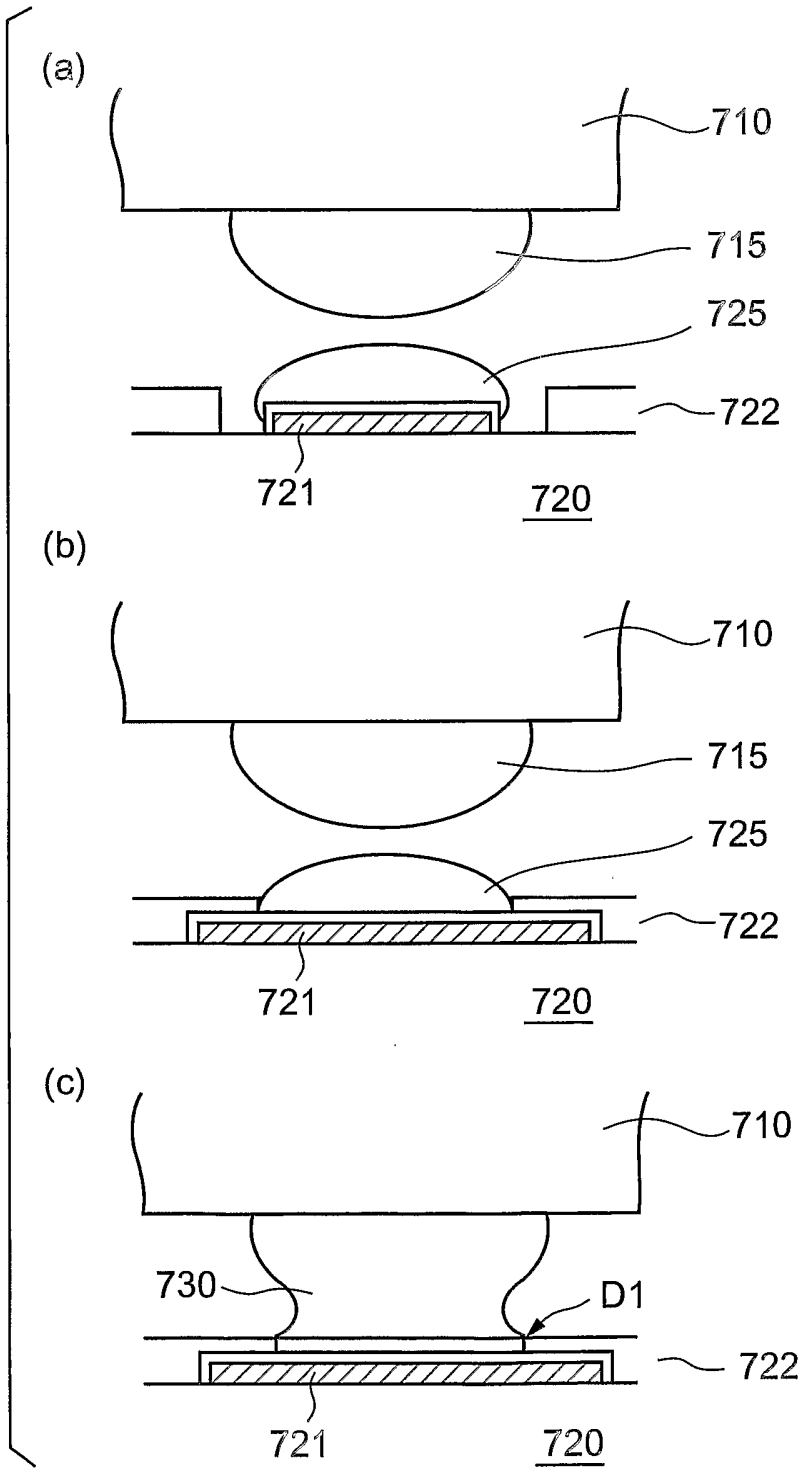

(a)
710
715
725
722
721
720
(b)
710
715
725
722
721
720
(c)
710
730
D1
722
721
720

FIG. 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/004908

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L21/60, 23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L21/60, 23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-135551 A (Sony Corp.), 21 May, 1999 (21.05.99), Column 8, lines 20 to 27; Fig. 2 (Family: none)	9-11
X	JP 2000-183223 A (Dainippon Printing Co., Ltd.), 30 June, 2000 (30.06.00), Column 6, line 38 to column 8, line 18; Fig. 1 (Family: none)	9-11
A	JP 59-208756 A (Sony Corp.), 27 November, 1984 (27.11.84), (Family: none)	1-11

[X] Further documents are listed in the continuation of Box C. [ ] See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 May, 2004 (19.05.04)	01 June, 2004 (01.06.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/004908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-94459 A (Shinko Electric Industries Co., Ltd.), 19 April, 1991 (19.04.91), (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００４９０８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl[7] H01L21/60, 23/12

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl[7] H01L21/60, 23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２００４年
日本国登録実用新案公報　１９９４－２００４年
日本国実用新案登録公報　１９９６－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ １１－１３５５５１ Ａ（ソニー株式会社） １９９９．０５．２１，第８欄第２０行～第８欄第２７行，図２ （ファミリーなし）	9-11
X	ＪＰ ２０００－１８３２２３ Ａ（大日本印刷株式会社） ２０００．０６．３０，第６欄第３８行～第８欄第１８行，図１ （ファミリーなし）	9-11
A	ＪＰ ５９－２０８７５６ Ａ（ソニー株式会社） １９８４．１１．２７　（ファミリーなし）	1-11

☒ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０５．２００４	01.6.2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	田中　永一	４Ｒ	９５３９
	電話番号　０３－３５８１－１１０１　内線　３４６９		

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ ３－９４４５９ Ａ（新光電気工業株式会社） １９９１．０４．１９　（ファミリーなし）	1-11