

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4531892号
(P4531892)

(45) 発行日 平成22年8月25日(2010.8.25)

(24) 登録日 平成22年6月18日(2010.6.18)

(51) Int.Cl.

F I

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 S

請求項の数 4 (全 40 頁)

(21) 出願番号 特願平11-310036
(22) 出願日 平成11年10月29日(1999.10.29)
(65) 公開番号 特開2001-126480(P2001-126480A)
(43) 公開日 平成13年5月11日(2001.5.11)
審査請求日 平成18年10月4日(2006.10.4)

(73) 特許権者 308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目10番
23
(74) 代理人 100072718
弁理士 古谷 史旺
(74) 代理人 100116001
弁理士 森 俊秀
(72) 発明者 富田 浩由
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 半導体集積回路、半導体集積回路の制御方法、および可変遅延回路

(57) 【特許請求の範囲】

【請求項1】

ワード線に接続された複数のメモリセルと、
所定の前記ワード線を活性化する行制御回路と、
前記ワード線の活性化により選択された前記メモリセルの読み出し動作または書き込み動作を実行する列制御回路と、
クロック信号に同期して列動作コマンドを受け、前記列制御回路を制御するコマンド制御回路と、
前記列動作コマンドの受け付けから前記列制御回路の動作を開始するまでの遅延時間を、前記クロック信号の周期を示す信号に応じて可変にするタイミング調整回路とを備えたことを特徴とする半導体集積回路。

【請求項2】

請求項1記載の半導体集積回路において、
前記タイミング調整回路は、列動作コマンドの受け付けから読み出し動作または書き込み動作を実行するまでのクロック数であるレイテンシに応じて所定の前記遅延時間を設定することを特徴とする半導体集積回路。

【請求項3】

ビット線に接続された複数のメモリセルと、
前記ビット線を所定の電位にするプリチャージ回路と、
クロック信号に同期してプリチャージコマンドを受け、前記プリチャージ回路を制御す

10

20

るコマンド制御回路と、

前記プリチャージコマンドの受け付けから前記プリチャージ回路の動作を開始するまでの遅延時間を、前記クロック信号の周期を示す信号に応じて可変にするタイミング調整回路とを備えたことを特徴とする半導体集積回路。

【請求項 4】

ワード線に接続された複数のメモリセルと、

所定の前記ワード線を活性化する行制御回路と、

前記ワード線の活性化により選択された前記メモリセルの読み出し動作または書き込み動作を実行する列制御回路とを備え、

前記列制御回路を制御する列動作コマンドをクロック信号に同期して受けてから前記列制御回路の動作を開始するまでの遅延時間を、前記クロック信号の周期を示す信号に応じて可変にすることを特徴とする半導体集積回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセルを備えた半導体集積回路に関し、特に、クロック信号の周波数にかかわらずデータのバス占有率を向上できる半導体集積回路および半導体集積回路の制御方法に関する。

また、本発明は、遅延時間を所定の値に設定可能な可変遅延回路に関する。

【0002】

【従来の技術】

半導体集積回路は、半導体製造技術の発達により高速化の一途をたどっている。特に、マイクロコンピュータ等のロジックLSIの動作周波数は、年々向上しており、DRAM等のメモリLSIの動作周波数との格差はますます大きくなっている。

この格差を縮小するために、EDO DRAM (Extended Data Output DRAM)、SDRAM (Synchronous DRAM)、DDR SDRAM (Double Data Rate Synchronous DRAM)、Direct RDRAM (Rambus DRAM) 等の高速DRAMが開発されている。

【0003】

この種の高速DRAMは、同一のワード線に接続されるメモリセルを順次にアクセスすることで、これ等メモリセルに対するデータを高速に読み出し、書き込むことを可能にしている。そして、最高動作周波数が100MHzを超えるDRAMが開発されている。上記高速DRAMは、パーソナルコンピュータおよびワークステーションの主記憶向けに多用されている。

【0004】

【発明が解決しようとする課題】

ところで、この種の高速DRAMは、パーソナルコンピュータ、ワークステーションだけではなく、マイクロコンピュータ応用製品等の部品としても使用される。その場合、動作周波数は、各製品の仕様に依拠して決められる。このため、このような用途に使用される高速DRAMの動作周波数は、最高動作周波数が133MHzの場合、例えば、50MHzあるいは75MHzの場合がある。

【0005】

このように、最高動作周波数より低い周波数で上記高速DRAMを動作した場合、以下の不具合が生じる。

図31(a)は、CLK信号の周期が20ns (50MHz) の場合における読み出しタイミングを示している。

例えば、SDRAMは、ロウアドレス系の回路を活性化させるアクティブコマンドACTVを受け付けた後、コラムアドレス系の回路を活性化させる読み出しコマンドRDを受け付けることで、読み出し動作を実行する。なお、以降の説明では、各コマンドをACTVコマンド、RDコマンド等のように称する。

【0006】

このSDRAMでは、tRCD (/RAS to /CAS Delay time) の最小時間は、18nsにされている。tR

10

20

30

40

50

CDは、ACTVコマンドの受け付け後、RDコマンド等のコラム系コマンドを受け付けるまでの時間である。

また、 t_{CAC} (/CAS Accesses time from Clock) の最小時間は、14nsにされている。 t_{CAC} は、コラム系コマンドの受け付け後、読み出しデータが出力されるまでの時間である。

【 0 0 0 7 】

t_{RCD} 、 t_{CAC} 、および図 3 1 (b) に示す t_{AC} は、SDRAMを正しく動作させるために必要な規定であり、各値は、同一の製品であれば動作周波数には依存しない。

なお、以降の説明では、クロック信号CLKをCLK信号と称する。

【 0 0 0 8 】

50MHzでSDRAMを動作させる場合、 t_{RCD} の最小時間 (18ns) は、CLK信号の周期 (20ns) より小さい。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ (20ns) でRDコマンドを受け付けることができる。 t_{RCD} は、実際には20nsになる。また、 t_{CAC} の最小時間 (14ns) は、CLK信号の周期 (20ns) より小さい。このため、SDRAMは、RDコマンドを受け付けたCLK信号の立ち上がりエッジから t_{CAC} (14ns) 後に読み出しデータQAOを出力する。この結果、ACTVコマンドの受け付けから読み出しデータQAOの出力までのアクセス時間 t_{RAC} (/RAS Access time from Clock) は、34ns ($t_{CLK} + t_{CAC}$) になる。

【 0 0 0 9 】

一方、図 3 1 (b) は、CLK信号の周期が13ns (約75MHz) の場合における読み出しタイミングを示している。

ここで、 t_{AC} (Access time from Clock) の最大時間は、6nsにされている。 t_{AC} は、クロック信号CLKの立ち上がりエッジから読み出しデータを出力するまでの時間である。

【 0 0 1 0 】

75MHzでSDRAMを動作させる場合、 t_{RCD} の最小時間 (18ns) は、CLK信号の周期 (13ns) より大きくなる。このため、SDRAMは、ACTVコマンドの受け付け後、2 番目CLK信号の立ち上がりエッジ (26ns) でRDコマンドを受け付ける。 t_{RCD} は、実際には26nsになる。また、 t_{CAC} の最小時間 (14ns) は、CLK信号の周期 (13ns) より大きい。このため、SDRAMは、RDコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジから t_{AC} (6ns) 後に読み出しデータQAOを出力する。この結果、アクセス時間 t_{RAC} は、45ns ($3 \cdot t_{CLK} + t_{AC}$) になる。

【 0 0 1 1 】

このように、上記の読み出し動作では、CLK信号の周波数が高い方が、アクセス時間 t_{RAC} が長くなってしまふ。すなわち、CLK信号の周波数が高い方がデータのバス占有率が低くなるという問題があった。ここで、バス占有率は、所定の期間において有効なデータがデータバス上に伝達されている比率である。このため、バス占有率が低いと、システム全体の性能が低下してしまふ。

【 0 0 1 2 】

図 3 2 (a) は、クロック信号CLKの周期が20ns (50MHz) の場合におけるACTVコマンド後のプリチャージ動作を示している。プリチャージ動作は、ビット線を所定の電位にチャージし、ロウアドレス系の回路を非活性化する動作である。

このSDRAMでは、 t_{RAS} (/RAS active time) の最小時間は、24nsにされている。 t_{RAS} は、ACTVコマンドの受け付け後、プリチャージコマンドPREを受け付けるまでの時間である。

【 0 0 1 3 】

また、 t_{RP} (/RAS Precharge time) の最小時間は、10nsにされている。 t_{RP} は、PREコマンドを受け付け後、次のACTVコマンドを受け付けるまでの時間である。 t_{RAS} 、 t_{RP} 、図 3 2 (b) に示す t_{DPL} は、SDRAMを正しく動作させるために必要な規定であり、各値は、同一の製品であれば動作周波数には依存しない。

50MHzでSDRAMを動作させる場合、 t_{RAS} の最小時間 (24ns) は、CLK信号の周期 (20ns) より大きくなる。このため、SDRAMは、ACTVコマンドの受け付け後、2 番目CLK信号の立ち上がりエッジ (40ns) でPREコマンドを受け付ける。 t_{RAS} は、実際には40nsになる。また、S

10

20

30

40

50

DRAMは、PREコマンドの受け付け後、 t_{RP} (10ns) の期間内にプリチャージ動作を実行する。このため、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} (/RAS Cycle time) は、60ns ($3 \cdot t_{CLK}$) になる。

【 0 0 1 4 】

一方、図 3 2 (b) は、クロック信号CLKの周期が20ns (50MHz) の場合におけるプリチャージ動作を伴う書き込み動作を示している。

ここで、WRAコマンド (WRite with Auto-precharge) は、書き込み動作の後、SDRAMに自動的にプリチャージ動作を実行させるコマンドである。 t_{RCD} の最小時間は、通常の読み出しコマンドRD (図 3 1) および書き込みコマンドWR (図示せず) と同じ18nsにされている。 t_{DPL} (Data-in to Precharge Lead time) の最小時間は、10nsにされている。 t_{DPL} は、書き込みデータの受け付け後、プリチャージコマンドPREを受け付けるまでの時間である。

【 0 0 1 5 】

50MHzでSDRAMを動作させる場合、図 3 1 (a) と同様に、 t_{RCD} の最小時間 (18ns) は、CLK信号の周期 (20ns) より小さい。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ (20ns) でWRAコマンドを受け付けることができる。SDRAMは、WRAコマンドと同時に書き込みデータ (図示せず) を取り込み、取り込んだデータを t_{DPL} の期間内にメモリセル書き込む。この後、SDRAMは、 t_{RP} の期間内にプリチャージ動作を実行する。 t_{DPL} と t_{RP} の合計は20nsであり、CLK信号の1周期と同一である。このため、WRAコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ (40ns) で、次のACTVコマンドを受け付けることができる。したがって、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} (/RAS Cycle time) は、40ns ($2 \cdot t_{CLK}$) になる。

【 0 0 1 6 】

このように、サイクル時間 t_{RC} は、プリチャージ動作を単独で実行するより、書き込み動作とともにプリチャージ動作を実行する方が短くなる。すなわち、複雑な動作の方が高速になるという問題があった。

図 3 3 は、SDRAMのプリチャージ動作の別のタイミングを示している。

図 3 3 (a) は、クロック信号CLKの周期が13ns (75MHz) の場合におけるACTVコマンド後のプリチャージ動作を示している。

【 0 0 1 7 】

75MHzでSDRAMを動作させる場合、 t_{RAS} の最小時間 (24ns) は、CLK信号の周期 (13ns) より大きくなる。このため、SDRAMは、ACTVコマンドの受け付け後、2 番目CLK信号の立ち上がりエッジ (26ns) でPREコマンドを受け付ける。 t_{RAS} は、実際には26nsになる。また、SDRAMは、PREコマンドの受け付け後、 t_{RP} (10ns) の期間内にプリチャージ動作を実行する。このため、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} (/RAS Cycle time) は、39ns ($3 \cdot t_{CLK}$) になる。

【 0 0 1 8 】

一方、図 3 3 (b) は、クロック信号CLKの周期が13ns (75MHz) の場合におけるプリチャージ動作を伴う書き込み動作を示している。

75MHzでSDRAMを動作させる場合、 t_{RCD} の最小時間 (18ns) は、CLK信号の周期 (13ns) より大きい。このため、SDRAMは、ACTVコマンドの受け付け後、2 番目のCLK信号の立ち上がりエッジ (26ns) でWRAコマンドを受け付ける。また、SDRAMは、WRAコマンドと同時に書き込みデータ (図示せず) を取り込み、取り込んだデータを t_{DPL} の期間内にメモリセル書き込む。この後、SDRAMは、 t_{RP} の期間内にプリチャージ動作を実行する。 t_{DPL} と t_{RP} の合計は20nsであり、CLK信号の1周期より大きい。このため、WRAコマンドを受け付けた後、2 番目のCLK信号の立ち上がりエッジ (52ns) で、次のACTVコマンドを受け付けることができる。したがって、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} (/RAS Cycle time) は、52ns ($4 \cdot t_{CLK}$) になる。

【 0 0 1 9 】

図32(b)および図33(b)のタイミングでは、CLK信号の周波数が高い方が、書き込み動作が遅くなるという問題があった。この結果、書き込み動作においても、CLK信号の周波数が高い方がバス占有率が低くなる。

また、周波数が高いときの動作タイミング(図33)では、書き込み動作とともにプリチャージ動作を実行するサイクル時間 t_{RC} の方が、プリチャージ動作を単独で実行するサイクル時間 t_{RC} より長くなる。これは、周波数が低いときの動作タイミング(図32)とは逆である。すなわち、各動作に必要なサイクル時間 t_{RC} は、周波数の高低に依存していない。このため、マイクロコンピュータ応用製品等に搭載されるこの種の高速DRAMを、その最高動作周波数より低い周波数で動作させる際、タイミング設計を行いにくいという問題があった。

10

【0020】

本発明の目的は、動作周波数によらずデータのバス占有率を向上できる半導体集積回路および半導体集積回路の制御方法を提供することにある。

【0021】

【課題を解決するための手段】

図1は、請求項1ないし請求項4に記載の発明の基本原理を示すブロック図である。

【0022】

請求項1の半導体集積回路は、ワード線に接続された複数のメモリセルMC、行制御回路1、列制御回路3、コマンド制御回路2、およびタイミング調整回路4を備えている。この半導体集積回路では、メモリセルMCの読み出し動作または書き込み動作を実行する場合、まず、行制御回路1が動作し、所定のワード線が活性化される。次に、コマンド制御回路2は、クロック信号に同期して列動作コマンドを受け、列制御回路3を動作させる。ここで、タイミング調整回路4は、列動作コマンドの受け付けから列制御回路3の動作を開始するまでの遅延時間を可変にする機能を有している。列制御回路3は、タイミング調整回路4の制御を受け、列動作コマンドの受け付けから所定の遅延時間後に動作を開始する。そして、ワード線の活性化により選択されたメモリセルMCの読み出し動作または書き込み動作が実行される。

20

【0023】

このように、列制御回路3の動作を遅らせることで、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングでメモリセルMCの読み出し動作または書き込み動作を実行できる。この結果、単位時間あたりのコマンド受け付け回数が増大し、読み出しデータおよび書き込みデータのバス占有率を向上できる。

30

【0024】

また、内部回路の動作タイミングに応じた最適のタイミングで列制御回路3が動作するため、読み出しサイクル時間および書き込みサイクル時間を短縮できる。

請求項2の半導体集積回路では、タイミング調整回路4は、レイテンシに応じて所定の遅延時間を設定する。ここで、レイテンシは、列動作コマンドの受け付けから読み出し動作または書き込み動作を実行するまでのクロック数であり、使用するクロック信号の周波数に応じて設定される。このため、列制御回路3は、クロック信号の周波数に応じて、最適のタイミングで読み出し動作および書き込み動作を実行できる。

40

【0025】

また、タイミング調整回路4は、レイテンシに応じて遅延時間を変更すればよく、簡単な遅延回路等で構成される。

請求項3の半導体集積回路は、ビット線に接続された複数のメモリセル、プリチャージ回路5、コマンド制御回路2、およびタイミング調整回路4を備えている。

【0026】

この半導体集積回路では、ビット線を所定の電位にするプリチャージ動作を実行する場合、まず、コマンド制御回路2は、クロック信号に同期してプリチャージコマンドを受け、プリチャージ回路5を動作させる。ここで、タイミング調整回路4は、プリチャージコマンドの受け付けからプリチャージ回路5の動作を開始するまでの遅延時間を可変にする機

50

能を有している。プリチャージ回路 5 は、タイミング調整回路 4 の制御を受け、プリチャージコマンドの受け付けから所定の遅延時間後に動作を開始する。そして、プリチャージ動作を実行される。

【 0 0 2 7 】

このように、プリチャージ回路 5 の動作を遅らせることで、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングでプリチャージ動作を実行できる。この結果、単位時間あたりのコマンド受け付け回数を増大できる。しがたって、読み出しデータおよび書き込みデータのバス占有率を向上することが可能になる。

【 0 0 2 8 】

また、内部回路の動作タイミングに応じた最適のタイミングでプリチャージ回路 5 が動作するため、プリチャージサイクル時間を短縮できる。

請求項 4 の半導体集積回路の制御方法では、メモリセル MC の読み出し動作または書き込み動作を実行する場合、まず、行制御回路 1 が動作し、所定のワード線が活性化される。次に、クロック信号に同期して列動作コマンドを受け、列制御回路 3 が動作する。ここで、列動作コマンドの受け付けから列制御回路 3 の動作を開始するまでの遅延時間は可変にされている。このため、列動作コマンドの受け付けから所定の遅延時間後に、列制御回路 3 の動作が開始される。そして、ワード線の活性化により選択されたメモリセル MC の読み出し動作または書き込み動作が実行される。

【 0 0 2 9 】

このように、列制御回路 3 の動作を遅らせることで、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングでメモリセル MC の読み出し動作または書き込み動作を実行できる。この結果、単位時間あたりのコマンド受け付け回数が増大し、読み出しデータおよび書き込みデータのバス占有率を向上できる。

【 0 0 3 0 】

また、内部回路の動作タイミングに応じた最適のタイミングで列制御回路 3 が動作するため、読み出し動作および書き込み動作を高速に実行できる。

図 2 は、本発明に関連する回路の基本原理を示すブロック図である。可変遅延回路は、第 1 遅延回路 6、第 2 遅延回路 7、検出回路 8、および選択回路 9 を備えている。

【 0 0 3 1 】

第 1 遅延回路 6 は、複数の第 1 遅延段 6 a を縦続接続して構成されており、入力信号を初段で受けている。第 2 遅延回路 7 は、第 1 遅延段 6 a と同一の複数の第 2 遅延段 7 a を縦続接続して構成されており、第 1 タイミング信号を初段で受けている。

検出回路 8 は、第 2 タイミング信号を受け、各第 2 遅延段 7 a から出力される遅延タイミング信号のうち、第 2 タイミング信号の遷移エッジに隣接する遷移エッジを有する遅延タイミング信号を求める。

【 0 0 3 2 】

選択回路 9 は、検出回路 8 が求めた遅延タイミング信号を出力する第 2 遅延段に対応する第 1 遅延段から出力される遅延信号を選択する。

この結果、入力信号を、第 1 タイミング信号の遷移エッジから第 2 タイミング信号の遷移エッジまでの時間だけ遅らせることができる。また、必要に応じて検出回路 8 を動作することで、入力信号の遅延時間を調整できる。すなわち、検出回路 8 による検出頻度を外部から制御することで消費電力を低減できる。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。なお、各図面において太線で示した信号線は、複数本で構成されていることを示している。また、太線が接続された回路の一部は、複数の要素で構成されている。

図 3 は、本発明の半導体集積回路および半導体集積回路の制御方法の第 1 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 4 に対応している。

【 0 0 3 4 】

この実施形態の半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、SD RAMとして形成されている。半導体集積回路は、入出力制御部 10、チップ制御部 12、およびメモリコア部 14を備えている。

入出力制御部 10は、複数の入力バッファ 16a、16b、16c、およびラッチ 18a、18bを備えている。

【0035】

入力バッファ 16aは、コマンド信号CMDを受け、受けた信号を内部コマンド信号ICMDとして出力している。入力バッファ 16bは、外部からクロック信号CLKを受け、受けた信号を内部クロック信号ICLKとして出力している。入力バッファ 16cは、アドレス信号ADを受け、受けた信号を内部アドレス信号IADとして出力している。

10

【0036】

ラッチ 18aは、内部クロック信号ICLKに同期して内部コマンド信号ICMDを取り込み、取り込んだ信号を、ラッチコマンド信号LCMDとして出力している。ラッチ 18bは、内部クロック信号ICLKに同期して内部アドレス信号IADを取り込み、取り込んだ信号を、ラッチアドレス信号LADとして出力している。

なお、以降の説明では、“コマンド信号CMD”を“CMD信号”、“クロック信号CLK”を“CLK信号”というように、各信号名を略して表すことがある。

【0037】

チップ制御部 12は、コマンドデコーダ 20、タイミング調整回路 22、タイミング制御回路 24、RASラッチ 26、CASラッチ 28、バーストラッチ 30、バーストアドレス発生器 32、プリデコーダ 34、36、バースト制御回路 38、タイミング調整回路 40、42、およびタイミング制御回路 44を備えている。

20

コマンドデコーダ 20は、図 1 に示したコマンド制御回路 2 に対応している。RASラッチ 26、プリデコーダ 34、およびタイミング制御回路 24 は、図 1 に示した行制御回路 1 に対応している。CASラッチ 28、バーストラッチ 30、バーストアドレス発生器 32、プリデコーダ 36、およびタイミング制御回路 44 は、図 1 に示した列制御回路 3 に対応している。

【0038】

コマンドデコーダ 20は、ラッチコマンド信号LCMDを受け、コマンドを解釈し、チップの基本動作を制御するコマンド信号ACT、RW、PCH等を生成している。ここで、ACT信号は、ワード線を活性化するためのCMD信号が供給されたときに生成される。RW信号は、読み出し動作および書き込み動作に対応するCMD信号が供給されたときに生成される。RW信号は、図 1 に示した列動作コマンドに対応する信号である。PCH信号は、プリチャージ動作に対応するCMD信号が供給されたときに生成される。PCH信号は、図 1 に示したプリチャージコマンドに対応する信号である。

30

【0039】

タイミング調整回路 22 は、レイテンシ信号CLおよびPCH信号を受け、このPCH信号をレイテンシ信号CLに応じて遅延させ、遅延プリチャージ信号PCH2として出力している。ここで、レイテンシ信号CLは、モードレジスタ（図示せず）等に設定されるCASレイテンシの値に対応している。CASレイテンシは、読み出しコマンドを受けてから読み出しデータを出力するまでのCLK信号のクロック数である。この実施形態では、50MHzのCLK信号を使用するときにCASレイテンシは“1”に設定され、このときCL信号はLレベルになる。また、75MHzのCLK信号を使用するときにCASレイテンシは“2”に設定され、このときCL信号はHレベルになる。

40

【0040】

タイミング制御回路 24 は、PCH2信号およびタイミング制御回路 44 からのオートプリチャージ信号APCHを受け、行アドレス系の回路を制御する行タイミング信号RTIM1、RTIM2を出力している。

【0041】

RASラッチ 26 は、RTIM1信号に同期してLAD信号のうち行アドレス信号を取り込み、取り

50

込んだ信号を行アドレス信号RASADとして出力している。

CASラッチ 2 8 は、タイミング調整回路 4 0 からのタイミング信号EXTPZに同期してLAD信号を取り込み、取り込んだ信号を列アドレス信号CASADとして出力している。

【 0 0 4 2 】

バーストラッチ 3 0 は、タイミング調整回路 4 2 からのタイミング信号INTPZに同期してバーストアドレスBADを取り込み、取り込んだ信号をCASAD信号として出力している。

バーストアドレス発生器 3 2 は、CASAD信号を受け、受けたアドレス信号を 1 増加し、BAD信号として出力している。

【 0 0 4 3 】

プリデコーダ 3 4 は、RASAD信号を受けてデコード信号を生成し、このデコード信号を、メモリコア部 1 4 の行デコーダ 4 8 に出力している。プリデコーダ 3 6 は、CASAD信号を受けてデコード信号を生成し、このデコード信号を、メモリコア部 1 4 の列デコーダ 5 2 に出力している。

10

バースト制御回路 3 8 は、ICLK信号に同期してRW信号を取り込み、バースト制御信号BCNを出力している。

【 0 0 4 4 】

タイミング調整回路 4 0 は、CL信号およびRW信号を受け、このRW信号をCL信号に応じて遅延させ、タイミング信号EXTPZとして出力している。タイミング調整回路 4 2 は、CL信号およびBCN信号を受け、このBCN信号をCL信号に応じて遅延させ、タイミング信号INTPZとして出力している。ここで、EXTPZ信号は、外部から供給されるコマンド信号に基づいて生成され、INTPZ信号は、内部で生成されるバースト制御信号BCNに基づいて生成される。

20

【 0 0 4 5 】

タイミング制御回路 4 4 は、タイミング信号EXTPZ、INTPZを受け、オートプリチャージ信号APCHおよび列タイミング信号CTIM1を出力している。

メモリコア部 1 4 は、複数のメモリセルMCを有するメモリセル部 4 6、行デコーダ 4 8、センスアンプ 5 0、および列デコーダ 5 2 を備えている。また、メモリコア部 1 4 は、図示しないビット線およびプリチャージ回路を有している。

【 0 0 4 6 】

行デコーダ 4 8 は、RTIM2信号およびプリデコーダ 3 4 からのプリデコード信号を受け、メモリセルに接続されたワード線（図示せず）を活性化する機能を有している。列デコーダ 5 2 は、CTIM1信号およびプリデコーダ 3 6 からのプリデコード信号を受け、ビット線に接続されたコラムスイッチ（図示せず）を制御する機能を有している。センスアンプ 5 0 は、メモリセルMCからビット線を介して伝達されるデータを増幅し、増幅した信号を出力回路に出力している。

30

【 0 0 4 7 】

図 4 は、タイミング調整回路 2 2 の回路の詳細を示している。

タイミング調整回路 2 2 は、遅延回路 5 4、5 6 と組み合わせ回路 5 8 とで構成されている。

遅延回路 5 4 は、縦属接続された 6 つのインバータ 5 4 a の間に 4 つのCR時定数回路 5 4 b を配置して構成されている。遅延回路 5 6 は、縦属接続された 4 つのインバータ 5 6 a の間に 2 つのCR時定数回路 5 6 b を配置して構成されている。CR時定数回路 5 4 b、5 6 b は、例えば、拡散抵抗とnMOSのソースとドレインとを接地線VSSに接続したMOS容量とで構成されている。遅延回路 5 4、5 6 は、ともにPCH信号を受け、遅延した信号を組み合わせ回路 5 8 に出力している。

40

【 0 0 4 8 】

組み合わせ回路 5 8 は、遅延回路 5 4 および遅延回路 5 6 の出力をそれぞれ接続する 2 入力のNANDゲート 5 8 a、5 8 b と、NANDゲート 5 8 a、5 8 b の出力の論理和をPCH2信号として出力する 2 入力のNANDゲート 5 8 c と、インバータ 5 8 d とで構成されている。NANDゲート 5 8 a には、インバータ 5 8 d を介してCL信号の反転論理が供給されている。NANDゲート 5 8 b には、CL信号が供給されている。

50

【 0 0 4 9 】

組み合わせ回路 5 8 は、CL信号が L レベルのときに、受けたPCH信号を遅延回路 5 4 で遅延させPCH2信号として出力し、CL信号が H レベルのときに、受けたPCH信号を遅延回路 5 6 で遅延させPCH2信号として出力する回路である。この実施形態では、PCH2信号は、CL信号が L レベルのときにPCH信号に対して 4 ns遅延し、CL信号が H レベルのときにPCH信号に対して 2 ns遅延する。

【 0 0 5 0 】

図 5 は、タイミング調整回路 4 0、4 2 の回路の詳細を示している。

タイミング調整回路 4 0、4 2 は、遅延回路 6 0 と組み合わせ回路 5 8 とで構成されている。

遅延回路 6 0 は、縦属接続された偶数個のインバータ 6 0 a の間に複数のCR時定数回路 6 0 b を配置している。CR時定数回路 6 0 b は、例えば、拡散抵抗とnMOSのソースとドレインとを接地線VSSに接続したMOS容量とで構成されている。遅延回路 6 0 は、PCH信号を受け、遅延した信号を組み合わせ回路 5 8 に出力している。

【 0 0 5 1 】

タイミング調整回路 4 0、4 2 は、CL信号が L レベルのときに、受けたPCH信号を遅延せずにPCH2信号として出力し、CL信号が H レベルのときに、受けたPCH信号を遅延回路 6 0 で遅延させPCH2信号として出力する回路である。この実施形態では、タイミング調整回路 4 0、4 2 は、CL信号が H レベルのとき、EXTPZ信号（またはINTPZ信号）は、RW信号（またはBCN信号）に対して 5 ns遅延する。

【 0 0 5 2 】

次に、上述したSDRAMの動作について説明する。

図 6 は、CLK信号の周期が20ns（50MHz）の場合におけるSDRAMの読み出し動作およびプリチャージ動作を示している。なお、この実施形態では、外部仕様であるtRCDEXの最小時間は、13nsにされ、内部仕様であるtRCDINの最小時間は、18nsにされている。ここで、外部仕様は、SDRAMを使用するユーザが守らなくてはならない値であり、内部仕様は、チップの実力値である。また、tCACの最小時間、tRPの最小時間は、それぞれ従来と同一の14ns、10nsにされている。また、50MHzの場合、CASレイテンシは、“1”であるため、CL信号は L レベルにされている。

【 0 0 5 3 】

まず、図 3 に示したラッチ 1 8 a、1 8 b は、CLK信号（ICLK信号）の立ち上がりエッジに同期して、ACTVコマンド、行アドレス信号AD（AR0）をそれぞれ取り込み、ラッチコマンド信号LCMD、ラッチアドレス信号LADとして出力する（図 6 (a)）。コマンドデコーダ 2 0 は、LCMD信号を受けて、PCH信号を活性化する。そして、タイミング制御回路 2 4、RASラッチ 2 6、プリデコーダ 3 4 が動作し、行デコーダが活性化される。

【 0 0 5 4 】

tRCDEXの最小時間（13ns）は、CLK信号の周期（tCK=20ns）より小さい。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ（20ns）でRDコマンドを受け付けることができる。

ラッチ 1 8 a、1 8 b は、CLK信号（ICLK信号）の立ち上がりエッジ（20ns）に同期して、RDコマンド、列アドレス信号AD（AC0）をそれぞれ取り込み、ラッチコマンド信号LCMD、ラッチアドレス信号LADとして出力する（図 6 (b)）。コマンドデコーダ 2 0 は、RDコマンドを受けて、RW信号を活性化する（図 6 (c)）。

【 0 0 5 5 】

図 5 に示したタイミング調整回路 4 0 は、RW信号を受け、受けた信号を遅延せずにEXTPZ信号として出力する（図 6 (d)）。図 3 に示したCASラッチ 2 8 は、EXTPZ信号に同期してLAD信号を取り込み、取り込んだ信号をCASAD信号として出力する（図 6 (e)）。そして、タイミング制御回路 4 4、プリデコーダ 3 6 が動作し、列デコーダが活性化される。この後、メモリセルMCから読み出されたデータは、センスアンプ 5 0 で増幅され、出力回路を介してデータ入出力端子DQから読み出しデータDOUT0として出力される（図 6 (f)）。この結

果、ACTVコマンドの受け付けから読み出しデータDOUT0の出力までのアクセス時間 t_{RAC} は、従来と同じ34ns ($t_{CLK} + t_{CAC}$)になる。

【0056】

また、ラッチ18a、18bは、次のCLK信号の立ち上がりエッジ(40ns)に同期してPREコマンドを取り込む。コマンドデコーダ20は、PREコマンドを受けて、PCH信号を活性化する(図6(g))。

図4に示したタイミング調整回路22は、PCH信号を4ns遅延させPCH2信号として出力する(図6(h))。タイミング制御回路24は、PCH2信号を受け、プリチャージ動作を制御する。プリチャージ動作は、 t_{RP} (10ns)の期間内に実行される。このため、SDRAMは、次のCLK信号の立ち上がりエッジ(60ns)に同期して次のACTVコマンドを取り込むことができる。

10

【0057】

図7は、CLK信号の周期が13ns(75MHz)の場合におけるSDRAMの読み出し動作およびプリチャージ動作を示している。 t_{RCDEX} の最小時間(13ns)、 t_{RCDIN} の最小時間(18ns)、 t_{RP} の最小時間(10ns)は図6と同一である。また、 t_{AC} の最大時間は、6nsにされている。75MHzの場合、CASレイテンシは、“2”であるため、CL信号はHレベルにされている。

【0058】

まず、図6と同様に、SDRAMは、ACTVコマンドを受け、図3に示した行デコーダ48を活性化する。

t_{RCDEX} の最小時間(13ns)は、CLK信号の周期(13ns)と同じである。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ(13ns)でRDコマンドを受け付けることができる。

20

【0059】

そして図6と同様に、SDRAMは、RDコマンドを受けRW信号を活性化する(図7(a))。図5に示したタイミング調整回路40は、RW信号を受け、受けた信号を5ns遅延させEXTPZ信号として出力する(図7(b))。タイミング調整回路40によりEXTPZ信号を5nsの遅延させることで、CLK信号の1周期($t_{CK}=13ns$)より大きい t_{RCDIN} (18ns)を満足できる。この後、図6と同様に、読み出しデータDOUT0が出力される(図7(c))。

【0060】

この結果、ACTVコマンドの受け付けから読み出しデータDOUT0の出力までのアクセス時間 t_{RAC} は、従来より13ns早い32ns ($t_{CLK} + t_{CAC}$)になる。 t_{RAC} が短縮されるため、データのバス占有率が大幅に向上する。すなわち、SDRAMを使用するシステムの性能が向上する。また、SDRAMは、次のCLK信号の立ち上がりエッジ(26ns)に同期してPREコマンドを受け、PCH信号を活性化する(図7(d))。

30

【0061】

図4に示したタイミング調整回路22は、PCH信号を2ns遅延させPCH2信号として出力する(図7(e))。タイミング制御回路24は、PCH2信号を受け、プリチャージ動作を制御する。プリチャージ動作は、 t_{RP} (10ns)の期間内に実行される。このため、SDRAMは、次のCLK信号の立ち上がりエッジ(39ns)に同期して次のACTVコマンドを受けることができる。

40

【0062】

なお、PCH2信号を4nsおよび2ns遅延させる理由については、図8および図12で説明する。

図8は、CLK信号の周期が20ns(50MHz)の場合におけるSDRAMのプリチャージ動作を示している。なお、この実施形態では、外部仕様である t_{RASEX} の最小時間は、20nsにされ、内部仕様である t_{RASIN} の最小時間は、24nsにされている。

【0063】

まず、図6と同様に、SDRAMは、ACTVコマンドを受け、図3に示した行デコーダ48を活性化する。

t_{RASEX} の最小時間(20ns)は、CLK信号の周期(20ns)と同じである。このため、SDRAMは

50

、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ（20ns）でPREコマンドを受け付けることができる。

【0064】

そして、図6と同様に、SDRAMは、PREコマンドを受け、PCH信号を活性化する（図8(a））。

図4に示したタイミング調整回路22は、PCH信号を受け、受けた信号を4ns遅延させPCH2信号として出力する（図8(b））。タイミング調整回路22によりPCH2信号を4nsの遅延させることで、CLK信号の1周期（ $t_{CK}=20\text{ns}$ ）より大きい t_{RASIN} （24ns）を満足できる。この後、図6と同様に、タイミング制御回路24は、PCH2信号を受け、プリチャージ動作を制御する。プリチャージ動作は、 t_{RP} （10ns）の期間内に実行される。このため、SDRAMは、次のCLK信号の立ち上がりエッジ（40ns）に同期して次のACTVコマンドを受け

10

【0065】

この結果、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} は、従来より1クロック分少ない40ns（ $2 \cdot t_{CLK}$ ）になる。

図9は、CLK信号の周期が13ns（75MHz）の場合におけるSDRAMのプリチャージ動作を示している。なお、 t_{RASEX} および t_{RASIN} の最小時間は、図8と同様にそれぞれ20nsおよび24nsにされている。

【0066】

まず、図6と同様に、SDRAMは、ACTVコマンドを受け、図3に示した行デコーダ48を活

20

性化する。 t_{RASEX} の最小時間（20ns）は、CLK信号の2周期（26ns）より小さい。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号から2番目のCLK信号の立ち上がりエッジ（26ns）でPREコマンドを受け付けることができる。

【0067】

そして図6と同様に、SDRAMは、PREコマンドを受け、PCH信号を活性化する（図9(a））。図4に示したタイミング調整回路22は、PCH信号を2ns遅延させPCH2信号として出力する（図9(b））。このため、PCH2信号の活性化タイミングは、 t_{RASIN} （24ns）を満足する。この後、図6と同様に、タイミング制御回路24は、PCH2信号を受け、プリチャージ動作を制御する。プリチャージ動作は、 t_{RP} （10ns）の期間内に実行される。プリチャージ動作は、次のCLK信号の立ち上がりエッジ（39ns）までに完了する。このため、SDRAMは、次のCLK信号の立ち上がりエッジ（39ns）に同期して次のACTVコマンドを受け

30

【0068】

この結果、ACTVコマンドの受け付けから次のACTVコマンドの受け付けまでのサイクル時間 t_{RC} （/RAS Cycle time）は、タイミング調整回路22を付加したにもかかわらず従来と同じ39ns（ $3 \cdot t_{CLK}$ ）になる。

図10は、CLK信号の周期が20ns（50MHz）の場合におけるSDRAMのプリチャージ動作を伴う書き込み動作を示している。この実施形態では、 t_{DPL} の最小時間は、10nsにされている。なお、 t_{DPL} は、CLK信号の立ち上がりエッジからの規定であり、EXTPZ信号の立ち上がりエッジから実力値である t_{DPLIN} は、7nsになる。図10では、 t_{DPLIN} を用いて説明する。

40

【0069】

まず、図6と同様に、SDRAMは、ACTVコマンドを受け、図3に示した行デコーダ48を活性化する。

t_{RCDEX} の最小時間（18ns）は、CLK信号の周期（ $t_{CK}=20\text{ns}$ ）より小さい。このため、SDRAMは、ACTVコマンドを受け付けたCLK信号の次のCLK信号の立ち上がりエッジ（20ns）でWRAコマンドを受け付けることができる。

【0070】

そして、SDRAMは、CLK信号（ICLK信号）の立ち上がりエッジ（20ns）に同期して、WRAコマンド、書き込みアドレス（AC0）および書き込みデータ（DIN0）を取り込む。コマンド

50

デコーダ 20 は、WRA コマンドを受けて、RW 信号を活性化する (図 10 (a))。

図 5 に示したタイミング調整回路 40 は、RW 信号を遅延せずに EXTPZ 信号として出力する (図 10 (b))。図 3 に示した CAS ラッチ 28 は、EXTPZ 信号に同期して LAD 信号を取り込み、取り込んだ信号を CASAD 信号として出力する (図 10 (c))。そして、タイミング制御回路 44、プリデコーダ 36 が動作し、列デコーダが活性化される。この後、メモリセル MC に書き込みデータ DIN0 が書き込まれる。

【0071】

また、SDRAM は、EXTPZ 信号の立ち上がりエッジから t_{DPLIN} (7ns) の後に、プリチャージ動作を開始する。プリチャージ動作は、 t_{RP} (10ns) の期間内に実行される。このため、SDRAM は、次の CLK 信号の立ち上がりエッジ (40ns) に同期して次の ACTV コマンドを取り込むことができる。

10

この結果、ACTV コマンドの受け付けから次の ACTV コマンドの受け付けまでのサイクル時間 t_{RC} は、従来と同じ 40ns ($2 \cdot t_{CLK}$) になる。

【0072】

図 11 は、CLK 信号の周期が 13ns (75MHz) の場合における SDRAM のプリチャージ動作を伴う書き込み動作を示している。

まず、図 6 と同様に、SDRAM は、ACTV コマンドを受け、図 3 に示した行デコーダ 48 を活性化する。

【0073】

t_{RCDEX} の最小時間 (13ns) は、CLK 信号の周期 (13ns) と同じである。このため、SDRAM は、ACTV コマンドを受け付けた CLK 信号の次の CLK 信号の立ち上がりエッジ (13ns) で WRA コマンドを受け付けることができる。

20

そして図 10 と同様に、SDRAM は、CLK 信号 (ICLK 信号) の立ち上がりエッジ (13ns) に同期して、WRA コマンド、書き込みアドレス (AC0) および書き込みデータ (DIN0) を取り込む。SDRAM は、WRA コマンドを受け RW 信号を活性化する (図 11 (a))。

【0074】

図 5 に示したタイミング調整回路 40 は、RW 信号を受け、受けた信号を 5 ns 遅延させ EXTPZ 信号として出力する (図 11 (b))。タイミング調整回路 40 により EXTPZ 信号を 5 ns の遅延させることで、図 7 と同様に、 t_{RCDIN} (18ns) を満足できる。

この後、図 10 と同様に、タイミング制御回路 44、プリデコーダ 36 が動作し、列デコーダが活性化され、メモリセル MC に書き込みデータ DIN0 が書き込まれる。

30

【0075】

また、SDRAM は、EXTPZ 信号の立ち上がりエッジから t_{DPLIN} (7ns) の後に、プリチャージ動作を開始する。プリチャージ動作は、 t_{RP} (10ns) の期間内に実行される。このため、SDRAM は、次の CLK 信号の立ち上がりエッジ (39ns) に同期して次の ACTV コマンドを取り込むことができる。

この結果、ACTV コマンドの受け付けから次の ACTV コマンドの受け付けまでのサイクル時間 t_{RC} は、従来より 1 クロック分少ない 39ns ($3 \cdot t_{CLK}$) になる。

【0076】

この結果、バス占有率が大幅に向上し、SDRAM を使用するシステムの性能が向上する。

40

図 12 は、CLK 信号の周期が 13ns (75MHz) の場合における SDRAM の書き込み動作およびプリチャージ動作を示している。3 番目の CLK 信号 (26ns) の立ち上がりエッジまでは、図 11 のタイミングと同一であるため、説明を省略する。

【0077】

SDRAM は、CLK 信号の立ち上がりエッジ (26ns) に同期して PRE コマンドを受け、PCH 信号を活性化する (図 12 (a))。

図 4 に示したタイミング調整回路 22 は、PCH 信号を受け、受けた信号を 2 ns 遅延させ PCH2 信号として出力する (図 12 (b))。タイミング調整回路 40 により PCH2 信号を 2 ns 遅延させることで、 t_{DPLIN} (7ns) を満足できる (図 12 (c))。

【0078】

50

この後、タイミング制御回路 24 は、PCH2信号を受け、プリチャージ動作を制御する。プリチャージ動作は、 t_{RP} (10ns) の期間内に実行される。このため、SDRAMは、次のCLK信号の立ち上がりエッジ (39ns) に同期して次のACTVコマンドを受け取ることができる。すなわち、サイクル時間 t_{RC} は、図 11 と同じ39ns ($3 \cdot t_{CLK}$) になる。

【0079】

図 13 は、CLK信号の周期が13ns (75MHz) の場合におけるSDRAMのバースト読み出し動作を示している。EXTPZ信号が活性化されるまでは、図 7 のタイミングと同一であるため、説明を省略する。

図 3 に示したバースト制御回路 38 は、RW信号のHレベルを受け、読み出しデータを連続して出力する回数であるバースト長に対応する時間だけ活性化される。なお、バースト長は、予めモードレジスタ等 (図示せず) に設定される。この例では、バースト長は“2”に設定されている。そして、バースト制御回路 38 は、CLK信号に同期して、バースト長より1少ない回数だけバースト制御信号BCNを活性化する (図 13 (a))。

【0080】

図 3 に示したCASラッチ 28 は、EXTPZ信号に同期してLAD信号を取り込み、取り込んだ信号をCASAD信号として出力する (図 13 (b))。そして、タイミング制御回路 44、プリデコーダ 36 が動作し、列デコーダが活性化される。この後、メモリセルMCから読み出されたデータは、センスアンプ 50 で増幅され、読み出しデータDOUT0として出力される (図 13 (c))。

【0081】

また、図 3 に示したバーストアドレス発生器 32 は、CASAD信号 (AC0) を受け、受けたアドレス信号を1増加し、バンクアドレス信号BAD (AC1) として出力する (図 13 (d))。タイミング調整回路 42 は、BCN信号を受け、受けた信号を5ns遅延させINTPZ信号として出力する (図 13 (e))。バーストラッチ 30 は、INTPZ信号に同期してBAD信号を取り込み、CASAD信号 (AC1) として出力する (図 13 (f))。

【0082】

タイミング制御回路 44 は、INTPZ信号を受け、タイミング信号CTIM1を出力する。そして、CASAD信号 (AC1) に対応する列デコーダが活性化され、メモリセルMCから読み出されたデータは、読み出しデータDOUT1として出力される (図 13 (g))。

また、SDRAMは、RDコマンドから2番目のCLK信号の立ち上がりエッジ (39ns) に同期して、PREコマンドを受け付けプリチャージ動作を実行する。また、次のCLK信号の立ち上がりエッジ (52ns) に同期して、次のACTVコマンドを受け付ける。なお、PREコマンドによる各回路の動作タイミングは、図 7 と同一であるため説明を省略する。

【0083】

以上、本発明の半導体集積回路および半導体集積回路の制御方法では、列アドレス系のコマンド (RD、WRA) を受けてから列アドレス系回路の動作を開始するまでの遅延時間を、タイミング調整回路 40、42 により制御した。また、プリチャージコマンド (PRE) を受けてからプリチャージ動作を開始するまでの遅延時間を、タイミング調整回路 22 により制御した。このため、クロック同期式のSDRAM等において、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングで読み出し動作、書き込み動作、またはプリチャージを実行できる。この結果、単位時間あたりのコマンド受け付け回数が増大し、読み出しデータおよび書き込みデータのバス占有率を向上できる。

【0084】

内部回路の動作タイミングに応じた最適のタイミングで列アドレス系回路が動作するため、読み出しサイクル時間、書き込みサイクル時間、およびプリチャージサイクル時間を短縮できる。

また、タイミング調整回路 22、40、42 は、レイテンシに応じて遅延時間を変更した。このため、遅延時間を使用するクロック信号の周波数に応じて最適のタイミングで読み出し動作および書き込み動作を実行できる。タイミング調整回路 22、40、42 は、簡単な遅延回路で構成できる。

10

20

30

40

50

【 0 0 8 5 】

タイミング調整回路 2 2 に遅延回路 5 4、5 6 を形成したので、遅延回路 5 4、5 6 を切り替えるだけで、容易に所定の遅延時間を設定できる。同様に、タイミング調整回路 4 0、4 2 に遅延回路 6 0 を形成したので、遅延回路 6 0 の使用の有無により、容易に所定の遅延時間を設定できる。

図 1 4 は、本発明の半導体集積回路および半導体集積回路の制御方法の第 2 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 4 に対応している。なお、第 1 の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

【 0 0 8 6 】

この実施形態では、チップ制御部 6 2 は、第 1 の実施形態のチップ制御部 1 2 のタイミング調整回路 4 0、4 2 およびバースト制御回路 3 8 の代わりに、タイミング調整回路 6 4、ラッチ 6 6、バースト制御回路 6 8 を有している。それ以外の構成は、第 1 の実施形態と同一である。

タイミング調整回路 6 4 は、CLK 信号および ICLK 信号を受け、この ICLK 信号を CLK 信号に応じて遅延させ、遅延内部クロック信号 ICLKD として出力している。

【 0 0 8 7 】

ラッチ 6 6 は、ICLKD 信号に同期して RW 信号を取り込み、取り込んだ信号を EXTPZ 信号として出力している。

バースト制御回路 6 8 は、EXTPZ 信号の H レベルを受けて活性化され、バースト長より 1 少ない回数だけ ICLKD 信号を INTPZ 信号として出力する回路である。

次に、第 2 の実施形態における SDRAM の動作について説明する。

【 0 0 8 8 】

図 1 5 は、CLK 信号の周期が 13ns (75MHz) の場合における SDRAM のバースト読み出しのタイミングを示している。tRCDEX の最小時間 (13ns) 等のタイミング仕様は、第 1 の実施形態と同一である。また、75MHz の場合、CAS レイテンシは、“ 2 ” であるため、CLK 信号は H レベルにされている。

まず、SDRAM は、ACTV コマンドを受け、図 1 4 に示した行デコーダ 4 8 を活性化する。タイミング調整回路 6 4 は、CLK 信号 (ICLK 信号) を約 5 ns 遅延させ、ICLKD 信号として出力する (図 1 5 (a))。

【 0 0 8 9 】

次に、SDRAM は、RD コマンドを受け RW 信号を活性化する (図 1 5 (b))。ラッチ 6 6 は、ICLKD 信号の立ち上がりエッジに同期して RW 信号を取り込み、取り込んだ信号を EXTPZ 信号として約半クロックの期間出力する (図 1 5 (c))。このように、タイミング調整回路 6 4 により ICLKD 信号を CLK 信号に対して約 5 ns 遅延させることで、CLK 信号の 1 周期 (tCK=13ns) より大きい tRCDIN (18ns) を満足できる。この後、第 1 の実施形態の図 6 と同様に、読み出しデータ DOUT0 が出力される (図 1 5 (d))。

【 0 0 9 0 】

バースト制御回路 6 8 は、EXTPZ 信号の H レベルにより活性化され、バースト長より 1 少ない回数だけ ICLKD 信号を INTPZ 信号として出力する。この例では、バースト長は “ 2 ” に設定されているため、INTPZ 信号は、1 回活性化される (図 1 5 (e))。

この後、バーストラッチ 3 0 およびバーストアドレス発生器 3 2 が動作し、図 1 3 と同一のタイミングでバースト読み出しが実行される (図 1 5 (f))。

【 0 0 9 1 】

また、SDRAM は、RD コマンドから 2 番目の CLK 信号の立ち上がりエッジ (39ns) に同期して、PRE コマンドを受けプリチャージ動作を実行する。また、次の CLK 信号の立ち上がりエッジ (52ns) に同期して、次の ACTV コマンドを受け付ける。なお、PRE コマンドによる各回路の動作タイミングは、図 7 と同一であるため説明を省略する。

【 0 0 9 2 】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さ

10

20

30

40

50

らに、この実施形態では、コマンド信号RWを遅延内部クロック信号ICLKDに同期して取り込むラッチ66を備えた。EXTPZ信号およびINTPZ信号は、ICLKD信号に同期して生成されるため、そのタイミングのずれは最小限になる。したがって、行アドレス系回路のタイミング精度を向上できる。

【0093】

また、タイミング調整回路64を、EXTPZ信号およびINTPZ信号を生成するための遅延要素として共用できるため、回路規模を小さくできる。

図16は、本発明の半導体集積回路、半導体集積回路の制御方法の第3の実施形態、および本発明に関連する可変遅延回路の一実施形態を示している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

【0094】

この実施形態では、チップ制御部70が、第1の実施形態のチップ制御部12と相違している。入力制御部12およびメモリコア部14は、第1の実施形態と同一である。

チップ制御部70は、コマンドデコーダ20、RAS制御部72、CAS制御部74、タイミング制御回路76、78、RASラッチ26、CASラッチ28、バーストラッチ30、バーストアドレス発生器32、プリデコーダ34、36、およびタイミング制御回路82、44を備えている。

【0095】

RAS制御部72は、コマンドデコーダ20からのコマンド信号PCH、タイミング制御回路76からの行タイミング信号RTIM3、およびタイミング制御回路78からの行タイミング信号RTIM5を受け、タイミング制御回路76に遅延プリチャージ信号PCHD2を出力している。CAS制御部74は、ICLK信号、コマンドデコーダ20からのRW信号、タイミング制御回路82からのタイミング信号CLKA、およびタイミング制御回路76からの行タイミング信号RTIM4を受け、タイミング信号EXTPZ、INTPZを出力している。

【0096】

タイミング制御回路76は、遅延プリチャージ信号PCHDおよびオートプリチャージ信号APCHを受け、行アドレス系の回路を制御する行タイミング信号RTIM1、RTIM2、RTIM3、RTIM4を出力している。ここで、RTIM3信号は、内部回路の実力値である t_{RASIN} の時間経過後にLレベルに変化するタイミング信号である。RTIM4は、内部回路の実力値である t_{RCDIN} の時間経過後にLレベルに変化するタイミング信号である。タイミング制御回路78は、RTIM4信号を受け、受けた信号を t_{DPL} に対応する時間だけ遅延させ、タイミング信号RTIM5として出力している。

【0097】

タイミング制御回路82は、ICLK信号、ACT信号、CL信号を受け、タイミング信号CLKA、CLKB、CLKDを出力している。

RAS制御部72は、ラッチ86、パルス生成回路88、タイミング調整回路90、スイッチSW1、ANDゲート72a、ORゲート72b、72cを有している。

ラッチ86は、PCH信号を取り込み、取り込んだ信号をラッチコマンド信号LPCHとして出力している。ラッチ86に取り込まれた信号は、リセット端子RSTにANDゲート72aからの遅延コマンド信号PCHDA(Hレベル)を受けたときにリセットされる。

【0098】

パルス生成回路88は、RTIM6信号の立ち下がりエッジを受けてHパルス信号PLS2を出力する回路である。

タイミング調整回路90は、PCH2信号、CLKD信号、およびRTIM6信号を受け、遅延コマンド信号PCHDBを出力している。

スイッチSW1は、RTIM6信号がHレベルのときにPCH2信号を接地レベルにし、RTIM6信号がLレベルのときにPCH信号をPCH2信号として伝達する機能を有している。スイッチSW1は、例えば、RTIM6信号をゲートで受けるCMOS伝達ゲートで形成されている。

【0099】

10

20

30

40

50

ANDゲート72aは、LPCH信号とPLS2信号との論理積を遅延コマンド信号PCHDAとして出力している。ORゲート72bは、PCHDA信号とPCHDB信号との論理和を遅延プリチャージ信号PCHDとして出力している。ORゲート72cは、RTIM3信号とRTIM5信号との論理積をRTIM6信号として出力している。

【0100】

CAS制御部74は、バースト制御回路38、ラッチ92、パルス生成回路94、タイミング調整回路96、98、スイッチSW2、ANDゲート74a、74b、およびORゲート74cを有している。

バースト制御回路38は、ICLK信号に同期してRW信号を取り込み、バースト制御信号BCNを出力している。

10

【0101】

ラッチ92は、コマンド信号RW1を取り込み、取り込んだ信号をラッチコマンド信号LRWとして出力している。ラッチ92に取り込まれた信号は、リセット端子RSTにHレベルのEXTPZ信号を受けたときにリセットされる。

パルス生成回路94は、RTIM4信号の立ち下がりエッジを受けてHパルス信号PLS1を出力する回路である。

【0102】

タイミング調整回路96は、コマンド信号RW2、CLKA信号、およびRTIM4信号を受け、タイミング信号EXTPBZを出力している。タイミング調整回路98は、バースト制御信号BCN、タイミング信号CLKA、および行タイミング信号RTIM1を受け、タイミング信号INTPZを出力している。

20

スイッチSW2は、CLKC信号がHレベルのときにRW2信号を接地レベルにし、CLKC信号がLレベルのときにRW信号をRW2信号として伝達する機能を有している。スイッチSW2は、例えば、CLKC信号をゲートで受けるCMOS伝達ゲートで形成されている。

【0103】

ANDゲート74aは、RW信号とRTIM4信号との論理積をRW1信号として出力している。ORゲート72cは、ANDゲート74bの出力信号およびEXPTBZ信号を受け、EXTPZ信号を出力している。

図17は、タイミング制御回路82の詳細を示している。

タイミング制御回路82は、縦続接続されたDフリップフロップ回路82a、82b、82c、2つのインバータを縦続接続したインバータ列82d、ORゲート82e、82f、およびセクタ82gで構成されている。

30

【0104】

初段のDフリップフロップ回路82aは、ICLK信号に同期してACT信号を取り込み、コマンド信号ACT2として出力している。次段のDフリップフロップ回路82bは、ICLK信号に同期してACT2信号を取り込み、コマンド信号ACT3として出力している。最終段のDフリップフロップ回路82cは、ICLK信号に同期してACT3信号を取り込みコマンド信号ACT4として出力している。

【0105】

インバータ列82dは、ACT2信号を受け、受けた信号をCLKC信号として出力している。ORゲート82eは、ACT2信号とACT3信号との論理和をCLKA信号として出力している。ORゲート82fは、ACT3信号とACT4信号との論理和をタイミング信号CLKD0として出力している。

40

セクタ82gは、CL信号がLレベルのときにCLKA信号をCLKD信号として出力し、CL信号がHレベルのときにCLKD0信号をCLKD信号として出力する回路である。

【0106】

図18は、タイミング制御回路82の動作タイミングを示している。

まず、SDRAMは、ICLK信号の立ち上がりエッジに同期して、ACTVコマンドを取り込み、ACT信号を活性化する(図18(a))。

Dフリップフロップ回路82aは、ICLK信号の立ち上がりエッジに同期して、ACT信号を取

50

り込み、ACT2信号を活性化する（図18(a)）。また、ACT2信号の活性化により、CLKC信号およびCLKA信号が活性化される（図18(c),(d)）。

【0107】

ここで、CL信号がLレベルの場合、CLKA信号の活性化により、CLKD信号が活性化される（図18(e)）。

Dフリップフロップ回路82bは、ICLK信号の立ち上がりエッジに同期して、ACT2信号を取り込み、ACT3信号を活性化する（図18(f)）。ここで、CL信号がHレベルの場合、ACT3信号の活性化により、CLKD信号が活性化される（図18(g)）。

【0108】

Dフリップフロップ回路82cは、ICLK信号の立ち上がりエッジに同期して、ACT3信号を取り込み、ACT4信号を出力する（図18(h)）。

CLKC信号は、ACTVコマンドの次のCLK信号の立ち上がりエッジからほぼ1クロックの期間活性化され、CLKA信号は、ACTVコマンドの次のCLK信号の立ち上がりエッジからほぼ2クロックの期間活性化される。また、CLKD信号は、CL信号のレベルに応じて、ACTVコマンドの次のCLK信号の立ち上がりエッジまたはACTVコマンド後の2番目のCLK信号の立ち上がりエッジからほぼ2クロックの期間活性化される。

【0109】

図19は、タイミング調整回路90、96、98の詳細を示している。タイミング調整回路90、96、98は、同一の回路であるため、ここでは、タイミング調整回路96について説明する。なお、タイミング調整回路90、98の各端子に接続される信号名を括弧内に示している。また、リセット信号/RESETは、図16には示していないが、タイミング調整回路90、96、98の動作前に活性化される信号である。

【0110】

タイミング調整回路96は、縦続接続された複数の遅延設定部100と、各遅延設定部100の出力信号OUTを受けるNORゲート102とで構成されている。

遅延設定部100は、遅延回路100a、100b、NANDゲート100c、フリップフロップ回路100d、NANDゲート100e、およびNORゲート100fで構成されている。

ここで、遅延設定部100は、図2に示した第2遅延回路7および第1遅延回路6に対応している。遅延回路100a、遅延回路100bは、図2に示した第2遅延段7a、第1遅延段6aにそれぞれ対応している。NANDゲート100cおよびフリップフロップ回路100dは、図2に示した検出回路8に対応している。NANDゲート100eおよびNORゲート100fは、図2に示した選択回路9に対応している。

【0111】

遅延回路100a、100bは、縦属接続された2つのインバータの間にCR時定数回路を配置している。CR時定数回路は、例えば、拡散抵抗とnMOSのソースとドレインとを接地線VSSに接続したMOS容量とで構成されている。遅延回路100a、100bは、同一の回路である。

【0112】

各遅延設定部100は、NANDゲート100cでRTIM4信号を受けている。遅延回路100aは、CLKA信号を受け、遅延した信号をNANDゲート100cおよび次段の遅延設定部100に出力している。遅延回路100bは、RW2信号を受け、遅延した信号をNORゲート100fおよび次段の遅延設定部100に出力している。

フリップフロップ回路100dは、一方の入力で/RESET信号を受け、他方の入力でNANDゲート100cの出力を受けている。また、フリップフロップ回路100dは、/RESET信号を受ける側の出力を前段のNANDゲート100eの入力に接続し、NANDゲート100cの出力を受ける側の出力を、自身のNANDゲート100eの入力に接続している。

【0113】

NANDゲート100eは、自身のフリップフロップ回路100dの出力および次段のフリップフロップ回路100dの出力を受けている。NORゲート100fは、OUT信号を出力している。

10

20

30

40

50

図 20 は、タイミング調整回路 96 の伝搬遅延時間の設定動作を示している。

なお、タイミング調整回路 90、98 も同一のタイミングで動作する。

【0114】

まず、SDRAMは、ACTVコマンドを受けて/RESET信号を活性化する。各遅延設定回路 100 のフリップフロップ回路 100d は、/RESET信号を受けてリセットされる。各NANDゲート 100e の出力は、フリップフロップ回路 100d の L レベルおよび次段のフリップフロップ回路 100d の H レベルを受け H レベルに変化する (図 20 (a))。

【0115】

SDRAMは、ACTVコマンドを受けた後、行アドレス系回路の動作を開始する。ACTVコマンド後の ICLK 信号に同期して CLKA 信号が活性化される (図 20 (b))。各遅延回路 100a は CLKA 信号を受け、遅延した信号を NANDゲート 100c および次段の遅延回路 100a に順次に伝達する (図 20 (c))。

NANDゲート 100c は、RTIM4 信号が H レベルの間、遅延回路 100c から受けた信号を反転し、フリップフロップ回路 100d に出力する。

【0116】

フリップフロップ回路 100d は、NANDゲート 100c の L レベルを受けセットされる。このセットにより、フリップフロップ回路 100d は、自身の NANDゲート 100e に H レベルを出力し、前段の遅延設定回路 100 の NANDゲート 100e に L レベルを出力する (図 20 (d))。

NANDゲート 100e は、自身のフリップフロップ回路 100d からの H レベルおよび次段のフリップフロップ回路 100d からの L レベルを受け、L パルス信号を順次に出力する (図 20 (e))。

【0117】

所定時間の後、RTIM4 信号が L レベルに変化する (図 20 (f))。NANDゲート 100c は、RTIM4 信号の L レベルを受け非活性化され、遅延された CLKA 信号のフリップフロップ回路 100d への伝達を禁止する。この結果、この時点で NANDゲート 100e の L レベルを受けている NORゲート 100f のみが活性化される (図 20 (g))。すなわち、CLKA 信号と RTIM4 信号の遷移エッジの時間差が検出される。検出精度は、1 つの遅延回路 100a の伝搬遅延時間以下になる。このため、遅延回路 100a の時定数を小さくすることで検出精度を向上できる。

【0118】

したがって、各遅延回路 100b に伝達される RW2 信号は、n 個の遅延回路 100b で遅延された後、NORゲート 1002 から EXTP0Z として出力される。遅延回路 100a、100b は同一の回路であるため、n 個の遅延回路 100b の伝搬遅延時間は、CLKA 信号の立ち上がりエッジから RTIM4 信号の立ち上がりエッジまでの時間と同一になる。

【0119】

図 19 の太い矢印は、CLKA 信号が n 番目の遅延設定回路 100 (n) に伝達され、n 番目のフリップフロップ回路 100d がセットされた直後に RTIM4 信号が L レベルに変化した場合における RW2 信号の伝達経路を示している。このとき、遅延設定回路 100 (n) の NANDゲート 100e の出力のみが L レベルになっており、各遅延回路 100b から出力される RW2 信号の遅延信号のうち 1 つが選択されている。

【0120】

このように、タイミング調整回路 96 は、CLKA 信号の立ち上がりエッジから RTIM4 信号の立ち下がりエッジまでの時間を測定し、この時間だけ RW2 信号を遅らせ、EXTPBZ 信号として出力する回路である。RTIM4 信号は、チップの実力値である tRCDIN に対応して出力される信号である。このため、RW2 信号は、電源電圧、温度等により変動する実際の tRCDIN に応じて生成される。

【0121】

同様に、タイミング調整回路 90 は、PCH2 信号の立ち上がりエッジから RTIM6 信号の立ち下がりエッジまでの時間を測定し、この時間だけ PCH2 信号を遅らせ、PCHD 信号として出力

10

20

30

40

50

する回路である。

タイミング調整回路 9 8 は、CLKA信号の立ち上がりエッジからBCN信号の立ち下がりエッジまでの時間を測定し、この時間だけBCN信号を遅らせ、INTPZ信号として出力する回路である。

【 0 1 2 2 】

次に、上述したSDRAMの動作について説明する。

図 2 1 は、CLK信号の周期が13ns (75MHz) の場合におけるSDRAMのバースト読み出し動作を示している。ここでは、図 1 6 に示したCAS制御部 7 4 の動作について詳細に説明する。なお、CLK信号の周期が13nsの場合、バースト長は “ 2 ” に設定される。

【 0 1 2 3 】

まず、SDRAMは、ACTVコマンドを受け、図 1 6 に示した行デコーダ 4 8 を活性化する。次に、タイミング制御回路 8 2 は、2 番目のCLK信号 (13ns) に同期してCLKA信号、CLKC信号を活性化する (図 2 1 (a), (b))。また、SDRAMは、RDコマンドを受けRW信号を活性化する (図 2 1 (c))。

スイッチSW2は、CLKC信号がHレベルの期間、接地線VSSに接続されているため、RW2信号はLレベルを保持する (図 2 1 (d))。

【 0 1 2 4 】

ANDゲート 7 4 a は、RW信号のHレベルおよびRTIM4信号のHレベルを受け、RW1信号をHレベルにする (図 2 1 (e))。ラッチ 9 2 は、RW1信号を取り込み、取り込んだ信号をLRW信号として出力する (図 2 1 (f))。

【 0 1 2 5 】

ここで、タイミング調整回路 9 6 は、ACTVコマンドを受けた後、図 2 0 に示したように、CLKA信号の立ち上がりエッジからRTIM4信号の立ち下がりエッジまでの時間を測定する (遅延設定)。同時に、タイミング調整回路 9 0、9 8 も同様にして遅延設定を実行する。この後、RTIM4信号がLレベルに変化する (図 2 1 (g))。パルス生成回路 9 4 は、RTIM4信号のLレベルを受けてPLS1信号を生成する (図 2 1 (h))。ANDゲート 7 4 b は、LRW信号のHレベルおよびPLS1信号のHレベルを受け、EXTPAZ信号をHレベルにする (図 2 1 (i))。ORゲート 7 4 c は、EXTPAZ信号をEXTPZ信号として出力する (図 2 1 (j))。ラッチ 9 2 は、EXTPZ信号のHレベルを受けてリセットされ、LRW信号をLレベルにする (図 2 1 (k))。

【 0 1 2 6 】

このように、ACTVコマンド後における最初の読み出し動作のためのEXTPZ信号は、RTIM4信号から生成される。

次に、バースト制御回路 3 8 は、ICLK信号 (26ns) に同期してBCN信号を出力する (図 2 1 (l))。タイミング調整回路 9 8 は、BCN信号を所定時間遅延させ、INTPZ信号として出力する (図 2 1 (m))。そして、図 1 3 と同様にしてバースト読み出し動作が実行される。

【 0 1 2 7 】

次に、SDRAMは、CLK信号 (39ns) に同期してRDコマンドを受け、RW信号を活性化する (図 2 1 (n))。スイッチSW2は、CLKC信号のLレベルを受けてRW信号をRW2信号として出力する (図 2 1 (o))。タイミング調整回路 9 6 は、RW2信号を所定時間遅延させ、EXTPBZ信号として出力する (図 2 1 (p))。ORゲート 7 4 c は、EXTPBZ信号をEXTPZ信号として出力する (図 2 1 (q))。そして、読み出し動作が実行される。さらに、バースト読み出し動作が実行される (図 2 1 (r))。

【 0 1 2 8 】

図 2 2 は、CLK信号の周期が20ns (50MHz) の場合におけるSDRAMのプリチャージ動作を示している。なお、CLK信号の周期が20nsの場合、バースト長は “ 1 ” に設定される。ここでは、図 1 6 に示したRAS制御部 7 2 の動作について詳細に説明する。

【 0 1 2 9 】

まず、SDRAMは、ACTVコマンドを受け、図 1 6 に示した行デコーダ 4 8 を活性化する。タ

10

20

30

40

50

イミング制御回路 7 6 は、内部回路の実力値である t_{RCDIN} (この例では $18ns$) の時間経過後に $RTIM4$ 信号を L レベルにし、内部回路の実力値である t_{RASIN} (この例では $24ns$) の時間経過後に $RTIM3$ 信号を L レベルにする (図 2 2 (a), (b))。タイミング制御回路 7 8 は、 $RTIM4$ 信号および $CLKA$ 信号のうち遅い信号から t_{DPL} ($10ns$) だけ遅延させ $RTIM5$ 信号として出力する (図 2 2 (c))。

【 0 1 3 0 】

ORゲート 7 2 c は、 $RTIM3$ 信号と $RTIM5$ 信号との論理和を $RTIM6$ 信号として出力する (図 2 2 (d))。すなわち、 $RTIM6$ 信号は、 $RTIM3$ 信号および $RTIM5$ 信号のうち立ち下がりエッジの遅い信号に合わせて出力される。

一方、タイミング制御回路 8 2 は、2 番目の CLK 信号 ($20ns$) に同期して $CLKA$ 信号、 $CLKD$ 信号を活性化する (図 2 2 (e))。また、SDRAMは、PREコマンドを受け PCH 信号を活性化する (図 2 2 (f))。

【 0 1 3 1 】

ここで、タイミング調整回路 9 0 は、図 2 0 に示したタイミングと同様に、ACTVコマンドを受けた後、 $CLKD$ 信号の立ち上がりエッジから $RTIM6$ 信号の立ち下がりエッジまでの時間を測定する (遅延設定)。

スイッチ $SW1$ は、 $RTIM6$ 信号が H レベルの期間、接地線 VSS に接続されているため、 $PCH2$ 信号は L レベルを保持する (図 2 2 (g))。

【 0 1 3 2 】

ラッチ 8 6 は、 PCH 信号を取り込み、取り込んだ信号を $LPCH$ 信号として出力する (図 2 2 (h))。パルス生成回路 8 8 は、 $RTIM6$ 信号の L レベルを受けて $PLS2$ 信号を生成する (図 2 2 (i))。ANDゲート 7 2 a は、 $LPCH$ 信号の H レベルおよび $PLS2$ 信号の H レベルを受け、 $PCHDA$ 信号を H レベルにする (図 2 2 (j))。ラッチ 8 6 は、 $PCHDA$ 信号の H レベルを受けてリセットされ、 $LPCH$ 信号を L レベルにする (図 2 2 (k))。ORゲート 7 2 c は、 $PCHDA$ 信号を $PCHD$ 信号として出力する (図 2 2 (l))。そして、プリチャージ動作が実行される。

【 0 1 3 3 】

このように、ACTVコマンド後の次の CLK 信号で PRE コマンドを受けた場合、プリチャージ動作を実行する $PCHD$ 信号は、 $PCHDA$ 信号から生成される。

図 2 3 は、 CLK 信号の周期が $20ns$ ($50MHz$) の場合における SDRAM のプリチャージ動作の別の例を示している。図 2 3 においても、図 1 6 に示した RAS 制御部 7 2 の動作について詳細に説明する。

【 0 1 3 4 】

この例では、SDRAMは、ACTVコマンドを受けた後、2 番目の CLK 信号 ($40ns$) に同期して PRE コマンドを受ける。図中の記号 (a)-(d) の動作は図 2 1 と同一であるため、説明を省略する。

パルス生成回路 8 8 は、 $RTIM6$ 信号の L レベルを受けて $PLS2$ 信号を生成する (図 2 3 (e))。このとき、PRE コマンドは SDRAM に供給されていないため、ラッチ 8 6 は、 $LPCH$ 信号を L レベルにしている。このため、 $PCHDA$ 信号は活性化されない (図 2 3 (f), (g))。

【 0 1 3 5 】

この後、SDRAMは、 CLK 信号の立ち上がりエッジ ($40ns$) に同期して PRE コマンドを受け、 PCH 信号を活性化する。スイッチ $SW1$ は、 $RTIM6$ 信号の L レベルを受けて PCH 信号を $PCH2$ 信号として出力する (図 2 3 (h))。タイミング調整回路 9 0 は、 $PCH2$ 信号を所定時間遅延させ、 $PCHDB$ 信号として出力する (図 2 3 (i))。ORゲート 7 2 b は、 $PCHDB$ 信号を $PCHD$ 信号として出力する (図 2 3 (j))。そして、プリチャージ動作が実行される。

【 0 1 3 6 】

なお、ラッチ 8 6 は、 PCH 信号の活性化を受けて、 $LPCH$ 信号を H レベルにするが、 $PLS2$ 信号が生成されないため、 $PCHDA$ 信号は活性化されない (図 2 3 (k))。

図 2 4 は、 CLK 信号の周期が $13ns$ ($75MHz$) の場合における SDRAM の書き込み動作およびプリチャージ動作を示している。ここでは、図 1 6 に示した RAS 制御部 7 2 の動作について詳細に説明する。

10

20

30

40

50

【 0 1 3 7 】

この例では、SDRAMは、CLK信号に同期して、ACTVコマンド、WRコマンド、PREコマンドを順次に受け取る。また、CLK信号の周期が13ns（75MHz）の場合、レイテンシは“2”に設定されるため、CLKD信号は、2番目のCLK信号（26ns）の立ち上がりエッジに同期してHレベルになる。

また、タイミング調整回路90は、図22と同様にCLKD信号の立ち上がりエッジからRTIM5信号の立ち下がりエッジまでの時間を測定する（遅延設定）。

【 0 1 3 8 】

図に示した記号(a)-(l)は、図22の記号にそれぞれ対応しており、各回路は、図22と同様に動作する。

10

図25は、CLK信号の周期が13ns（75MHz）の場合におけるSDRAMのプリチャージ動作の別の例を示している。

この例では、SDRAMは、ACTVコマンドを受けた後3番目のCLK信号（39ns）に同期してPREコマンドを受ける。図に示した記号(a)-(k)は、図23の記号にそれぞれ対応しており、各回路は、図23と同様に動作する。

【 0 1 3 9 】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、タイミング調整回路96、98の遅延時間を、内部回路の実力値であるtRCDIN後にLレベルに変化するRTIM4信号を使用して設定した。このため、電源電圧、温度等により変動する実際の行アドレス系回路の動作タイミングに応じて遅延時間を設定できる。したがって、行アドレス系回路の動作タイミングに応じた最適のタイミングで列アドレス系回路を動作できる。

20

【 0 1 4 0 】

また、ACTVコマンドを受ける毎に遅延時間を設定したので、遅延時間の設定頻度が高くすることができ、精度よく列アドレス系回路を動作できる。

各タイミング調整回路により2つの信号（例えば、CLKA信号とRTIM4信号）の遷移エッジの差に対応する時間を求め、この時間だけ入力信号（例えば、RW2信号）を遅延させた。このため、内部回路の動作タイミングの変動を確実に入力信号の遅延時間に反映できる。また、遅延回路100a、100bを同一にしたので、2つの信号の遷移エッジの差を、容易に入力信号の遅延時間に反映できる。

30

【 0 1 4 1 】

図26は、本発明の半導体集積回路、半導体集積回路の制御方法の第4の実施形態、および本発明に関連する可変遅延回路の一実施形態を示している。なお、第1および第3の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

【 0 1 4 2 】

この実施形態では、CAS制御部104が、第3の実施形態のCAS制御部74と相違している。それ以外の構成は、第3の実施形態と同一である。

CAS制御部104は、タイミング調整回路106、パルス生成回路94、108、ORゲート104a、ラッチ110、およびバースト制御回路68を有している。

40

タイミング調整回路106は、図16に示したタイミング調整回路96と同一の回路である。タイミング調整回路106は、CLKA信号の立ち上がりエッジからRTIM4信号の立ち下がりエッジまでの時間を測定し、この時間だけICLK信号を遅らせ、遅延内部クロック信号ICLKDとして出力する回路である。

パルス生成回路108は、パルス生成回路94と同一の回路である。パターン生成回路108は、ICLKD信号の立ち上がりエッジに同期してHパルス信号CLKPを出力する。ORゲート104aは、PLS1信号とCLKP信号との論理和をHパルス信号PLS3として出力している。

【 0 1 4 3 】

ラッチ110は、PLS3信号に同期してRW信号を取り込み、取り込んだ信号をEXTPZ信号として出力している。

50

バースト制御回路 8 8 は、第 2 の実施形態と同様に、EXTPZ 信号の H レベルを受けて活性化され、バースト長より 1 少ない回数だけ ICLKD 信号を INTPZ 信号として出力する回路である。

【 0 1 4 4 】

図 2 7 は、タイミング調整回路 1 0 6 の動作を示している。

まず、図 2 0 と同様に、図 1 9 に示した各遅延設定回路 1 0 0 のフリップフロップ回路 1 0 0 d は、/RESET 信号を受けてリセットされる。

遅延回路 1 0 0 b は、ICLK 信号または前段の遅延回路 1 0 0 b の出力信号を受け、遅延した信号を出力する (図 2 7 (a))。

【 0 1 4 5 】

次に、ACTV コマンド後の ICLK 信号に同期して CLKA 信号が活性化される (図 2 7 (b))。各遅延回路 1 0 0 a は CLKA 信号を受け、遅延した信号を NAND ゲート 1 0 0 c および次段の遅延回路 1 0 0 a に順次に伝達する (図 2 7 (c))。

NAND ゲート 1 0 0 e は、自身のフリップフロップ回路 1 0 0 d の H レベルおよび次段のフリップフロップ回路 1 0 0 d の L レベルを順次に受け、L パルス信号を出力する (図 2 7 (d))。

【 0 1 4 6 】

ここで、NAND ゲート 1 0 0 e の出力は、各遅延回路 1 0 0 b から出力される ICLK 信号の遅延信号のレベルの変化時に、いずれも H レベルになっている。このため、遅延回路 1 0 0 b の出力信号は、NOR ゲート 1 0 0 f を通過できず、ICLKD 信号は、H レベルに保持される (図 2 7 (e))。

所定時間の後、RTIM4 信号は、L レベルに変化し、例えば、n 番目の NAND ゲート 1 0 0 e の出力が L レベルに固定される (図 2 7 (f))。この固定により、n 番目の NOR ゲート 1 0 0 f が活性化され、遅延回路 1 0 0 b の出力信号を NOR ゲート 1 0 2 に伝達する。

【 0 1 4 7 】

この後、ICLK 信号は、遅延調整回路 1 0 6 に設定された遅延時間だけ遅れて ICLKD 信号として出力される (図 2 7 (g))。

図 2 8 は、CLK 信号の周期が 13ns (75MHz) の場合における SDRAM のバースト読み出し動作を示している。ここでは、図 2 6 に示した CAS 制御部 1 0 4 の動作について詳細に説明する。

【 0 1 4 8 】

まず、SDRAM は、ACTV コマンドを受け、図 2 6 に示した行デコーダ 4 8 を活性化する。次に、タイミング制御回路 8 2 は、2 番目の CLK 信号 (13ns) に同期して CLKA 信号を活性化する (図 2 8 (a))。また、SDRAM は、RD コマンドを受け RW 信号を活性化する (図 2 8 (b))。

タイミング調整回路 9 6 は、上述したように、CLKA 信号の立ち上がりエッジから RTIM4 信号の立ち下がりエッジまでの時間を測定する (遅延設定)。タイミング調整回路 9 6 は、遅延設定の後、所定の遅延時間だけ遅れた ICLK 信号を出力する (図 2 8 (c))。

【 0 1 4 9 】

また、パルス生成回路 9 4 は、RTIM4 信号の L レベルを受けて PLS1 信号を生成する (図 2 8 (d))。OR ゲート 1 0 4 a は、PLS1 信号を PLS3 信号として出力する (図 2 8 (e))。

ラッチ 1 1 0 は、PLS3 信号に同期して RW 信号の H レベルを取り込み、取り込んだ信号を EXTPZ 信号として約半クロックの期間出力する (図 2 8 (f))。PLS3 信号の立ち上がり時に EXTPZ 信号は L レベルであるため、バースト制御回路 6 8 は、INTPZ 信号の L レベルを保持する (図 2 8 (g))。

【 0 1 5 0 】

そして、EXTPZ 信号の活性化により、最初の読み出し動作が実行される。このように、ACTV コマンド後における最初の読み出し動作のための EXTPZ 信号は、RTIM4 信号から生成される。

次に、パルス生成回路 1 0 4 は、ICLKD 信号の立ち上がりエッジに同期して CLKP 信号を出

10

20

30

40

50

力する（図 2 8 (h)）。ORゲート 1 0 4 a は、CLKP信号をPLS3信号として出力する（図 2 8 (i)）。

【 0 1 5 1 】

バースト制御回路 6 8 は、EXTPZ信号のHレベルにより活性化され、バースト長より 1 少ない回数だけPLS信号をINTPZ信号として出力する。この例では、バースト長は“ 2 ”に設定されており、INTPZ信号は、1 回活性化される（図 2 8 (j)）。なお、PLS3信号の立ち上がり時にRW信号はLレベルであるため、ラッチ 1 1 0 は、EXTPZ信号のLレベルを保持する（図 2 8 (k)）。そして、INTPZ信号の活性化により、バースト読み出し動作が実行される。

【 0 1 5 2 】

次に、SDRAMは、CLK信号の立ち上がりエッジ（39ns）に同期してRDコマンドを受け、RW信号を活性化する（図 2 8 (l)）。パルス生成回路 1 0 4 は、CLKP信号を出力し（図 2 8 (m)）、ORゲート 1 0 4 a は、PLS3信号を出力する（図 2 8 (n)）。

【 0 1 5 3 】

ラッチ 1 1 0 は、PLS3信号に同期してRW信号のHレベルを取り込み、取り込んだ信号をEXTPZ信号として約半クロックの期間出力する（図 2 8 (o)）。

そして、EXTPZ信号の活性化により、読み出し動作が実行される。このように、2 回目以降の読み出し動作のためのEXTPZ信号は、ICLK信号から生成される。

さらに、次のICLK信号に同期してINTPZ信号が活性化され、バースト読み出し動作が実行される（図 2 8 (p)）。

【 0 1 5 4 】

この実施形態の半導体集積回路においても、上述した第 2 の実施形態および第 3 の実施形態と同様の効果を得ることができる。

なお、上述した実施形態では、各タイミング調整回路は、ACTVコマンドを受ける毎に遅延時間を設定した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、電源立ち上げ時のみ遅延時間を設定してもよく、モードレジスタまたは制御端子を使用し、外部からの要求に応じて遅延時間を設定してもよい。リフレッシュ動作時に遅延時間を設定してもよい。さらに、内部回路の非活性状態時にACTVコマンドを受けたときに遅延時間を設定してもよい。このようにすることで、遅延時間の設定頻度が下がり、消費電力が低減される。

【 0 1 5 5 】

また、上述した実施形態では、本発明を 1 つのメモリアダプタ部 1 4 を有するSDRAMに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を複数のメモリアダプタ部 1 4 を有する多バンク構成のSDRAMに適用してもよい。この場合、例えば、第 1 の実施形態では、各メモリアダプタ部 1 4 の行アドレス系回路に対応して、タイミング調整回路 4 0、4 2 をそれぞれ形成し、EXTPZ信号、INTPZ信号の遅延時間を制御すればよい。多バンク構成において、回路規模を低減するためにタイミング調整回路 4 0、4 2 を 1 つずつ形成する場合には、遅延時間を次のように設定すればよい。

【 0 1 5 6 】

（ a ）電源立ち上げ時のみに遅延時間を設定する。

（ b ）外部からの要求に応じて遅延時間を設定する。外部からの要求の受け付けは、モードレジスタに所定の値を書き込む、または制御端子に所定の制御信号を供給することで可能である。モードレジスタを使用することで、必要なときのみ遅延時間を設定できる。制御端子を使用することで、例えば、電源電圧が変動した際に直ちに遅延時間を設定できる。

【 0 1 5 7 】

（ c ）リフレッシュ動作時に遅延時間を設定する。具体的には、リフレッシュコマンドを受けたときに遅延時間を設定すればよい。また、電源の立ち上げ後の最初のリフレッシュコマンドを受けたときのみ、遅延時間を設定してもよい。

上記（ a ） - （ c ）は、単独で適用してもよく、複数合わせて適用してもよい。また、ど

10

20

30

40

50

の形態でも遅延時間の設定頻度が下がるため、消費電力を低減できる。

【 0 1 5 8 】

さらに、上述した第3の実施形態で使用したタイミング調整回路90、96、98は、図19に示した回路に限定されるものではない。タイミング調整回路の別の例を図29に示す。

このタイミング調整回路は、活性化信号ENAの生成回路112と、縦続接続された複数の遅延設定部114とで構成されている。遅延設定部114は、図19と同一の遅延回路100a、NANDゲート100c、フリップフロップ回路100d、および3入力のNANDゲート114a、遅延回路114bで構成されている。ここで、各遅延回路114bは、図2に示した第1遅延段6aに対応している。NANDゲート114aは、図2に示した選択回路9に対応している。

10

【 0 1 5 9 】

生成回路112は、インバータ、CMOS伝達ゲート、およびAND回路112aを直列に接続している。この生成回路112では、CMOS伝達ゲートは、ICLK信号のLレベル時にRTIM4信号の反転信号INVを取り込む。取り込まれたINV信号は、図示しないラッチ回路により保持される。そして、INV信号がHレベルの期間、AND回路112aの他方の入力から供給されるICLK信号またはRW2信号がイネーブル信号ENAとして出力される。

【 0 1 6 0 】

また、遅延設定部114のNANDゲート114aは、イネーブル信号ENA、自身のフリップフロップ回路100dの出力、および後段のフリップフロップ回路100dの出力を受けている。

20

遅延回路114bは、NANDゲートとインバータとの間にCR時定数回路を配置している。NANDゲート的一方の入力は、NANDゲート114aの出力に接続され、他方の入力は、前段(図の右側)の遅延回路114bの出力に接続されている。

【 0 1 6 1 】

なお、初段の遅延回路114b(図示していないが、図の右側に位置している)の入力は、Hレベルに固定されている。

そして、初段の遅延設定部114の遅延回路114a(図の左側)から、所定時間遅延した遅延クロック信号CLKDまたはEXTPBZ信号が出力されている。

括弧内の信号名は、タイミング調整回路96、98に対応する信号名である。

30

【 0 1 6 2 】

図30は、図29に示したタイミング調整回路において、ICLK信号を遅延する際の伝搬遅延時間の設定動作を示している。ここでは、図20と相違するタイミングのみ説明する。

まず、CMOS伝達ゲートは、ICLK信号がLレベルの期間RTIM4信号の反転信号INVを保持する(図30(a))。ICLK信号の立ち上がり時にINV信号はLレベルであるため、ENA信号はLレベルを保持する(図30(b))。

【 0 1 6 3 】

次に、ICLK信号のLレベル期間にRTIM4信号がLレベルに変化し、INV信号がHレベルに変化する(図30(c))。INV信号のHレベルにより、AND回路112aが活性化される。また、AND回路112aが活性化される前に、図20と同様に伝搬遅延時間が設定される(図30(d))。

40

AND回路112aは、次のICLK信号の立ち上がりを受けてENA信号をHレベルにする(図30(e))。そして、図29に網掛けで示したNANDゲート114aのみが活性化され、その出力がLレベルに変化する(図30(f))。

【 0 1 6 4 】

この結果、図29で太い波線で示した遅延回路114bが電氣的に直列に接続される。ICLK信号は、その遅延時間の合計だけ遅れてCLKD信号として出力される(図30(f))。すなわち、伝搬遅延時間が設定される。

【 0 1 6 5 】

50

ここで、AND回路 1 1 2 a に供給する信号をRW2信号にした場合には、図 2 1 に示した(o)、(p)と同様の波形が得られる。

さらに、上述した実施形態では、本発明をSDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をクロック信号に同期して動作するDRAM、SRAM等の半導体メモリに適用してもよい。あるいは、DRAMのメモリコアを内蔵したシステムLSIに適用してもよい。

【0166】

そして、本発明が適用される半導体製造プロセスは、CMOSプロセスに限られず、Bi-CMOSプロセスでもよい。

以上の実施形態において説明した発明を整理して以下の項を開示する。

10

(1) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、前記所定の遅延時間を設定する遅延回路を備えたことを特徴とする半導体集積回路。

【0167】

この半導体集積回路では、タイミング調整回路は、例えば複数の遅延回路を切り替えることで、容易に所定の遅延時間を設定できる。

(2) 請求項 1 記載の半導体集積回路において、前記コマンド制御回路で受けた列動作コマンドを、前記タイミング調整回路で遅延させた前記クロック信号でラッチするラッチ回路を備えたことを特徴とする半導体集積回路。

【0168】

この半導体集積回路では、列制御回路の動作の開始を、遅延させたクロック信号に同期して遅らせるため、列制御回路および他の内部回路の動作を精度よく制御できる。

20

(3) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、前記行制御回路の動作タイミングに応じて前記遅延時間を設定することを特徴とする半導体集積回路。

【0169】

この半導体集積回路では、タイミング調整回路は、電源電圧、温度等により変動する実際の行制御回路の動作タイミングに応じて遅延時間を設定する。このため、行制御回路の動作タイミングに応じた最適のタイミングで列制御回路を動作できる。

(4) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、前記行制御回路の動作毎に、前記遅延時間を設定することを特徴とする半導体集積回路。

30

【0170】

この半導体集積回路では、タイミング調整回路は、行制御回路の動作毎に、遅延時間を設定する。遅延時間の設定頻度が上がることで、精度よく列制御回路を動作できる。

(5) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、内部回路の非活性状態時に前記行制御回路が動作したときに、前記遅延時間を設定することを特徴とする半導体集積回路。

【0171】

この半導体集積回路では、タイミング調整回路は、内部回路の非活性状態時に行制御回路が動作したときに、遅延時間を設定する。このため、遅延時間の設定頻度が下がり、消費電力を低減できる。

40

(6) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、前記メモリセルをリフレッシュするリフレッシュコマンドを受けたときに、前記遅延時間を設定することを特徴とする半導体集積回路。

【0172】

この半導体集積回路では、タイミング調整回路は、メモリセルをリフレッシュするリフレッシュコマンドを受けたときに、遅延時間を設定する。このため、遅延時間の設定頻度を適度に下げることができ、消費電力を低減できる。

(7) 上記(6)項記載の半導体集積回路において、前記タイミング調整回路は、電源の立ち上げ後の最初の前記リフレッシュコマンドを受けたときに、前記遅延時間を設定することを特徴とする半導体集積回路。

50

【 0 1 7 3 】

この半導体集積回路では、タイミング調整回路は、電源の立ち上げ後の最初のリフレッシュコマンドを受けたときに、遅延時間を設定する。このため、遅延時間の設定頻度が下がり、消費電力を低減できる。

(8) 請求項 1 記載の半導体集積回路において、前記タイミング調整回路は、外部から前記遅延時間の調整要求を受けたときに、前記遅延時間を設定することを特徴とする半導体集積回路。

【 0 1 7 4 】

この半導体集積回路では、タイミング調整回路は、外部から遅延時間の調整要求を受けたときに、遅延時間を設定する。このため、遅延時間の変更を電源電圧等の外部環境の変化に合わせて変更できる。この結果、必要なときのみ遅延時間を設定できる。

(9) 請求項 1 記載の半導体集積回路において、外部から動作モードを設定するモードレジスタを備え、前記タイミング調整回路は、モードレジスタに設定される値に応じて前記遅延時間を設定することを特徴とする半導体集積回路。

【 0 1 7 5 】

この半導体集積回路は、外部から動作モードを設定するモードレジスタを備えている。タイミング調整回路は、モードレジスタに設定される値に応じて前記遅延時間を設定する。モードレジスタを使用することで、必要なときのみ遅延時間を設定できる。

(1 0) 請求項 1 記載の半導体集積回路において、外部からの制御信号を受ける制御端子を備え、前記タイミング調整回路は、前記制御端子に供給される前記制御信号に応じて前記遅延時間を設定することを特徴とする半導体集積回路。

【 0 1 7 6 】

この半導体集積回路では、タイミング調整回路は、制御端子に供給される制御信号に応じて遅延時間を設定する。このため、例えば、電源電圧が変動した際に直ちに遅延時間を設定できる。

(1 1) 請求項 3 記載の半導体集積回路において、前記タイミング調整回路は、動作コマンドの受け付けから読み出し動作または書き込み動作を実行するまでのクロック数であるレイテンシに応じて所定の前記遅延時間を設定することを特徴とする半導体集積回路。

【 0 1 7 7 】

この半導体集積回路では、タイミング調整回路は、レイテンシに応じて所定の遅延時間を設定する。レイテンシは、使用するクロック信号の周波数に応じて設定されたため、プリチャージ回路は、クロック信号の周波数に応じて、最適のタイミングでプリチャージ動作を実行できる。

(1 2) 上記 (1 1) 項記載の半導体集積回路において、前記タイミング調整回路は、前記所定の遅延時間を設定する遅延回路を備えたことを特徴とする半導体集積回路。

【 0 1 7 8 】

この半導体集積回路では、タイミング調整回路は、例えば複数の遅延回路を切り替えることで、容易に所定の遅延時間を設定できる。

(1 3) 上記 (1 1) 項記載の半導体集積回路において、前記コマンド制御回路で受けたプリチャージコマンドを、前記タイミング調整回路で遅延させた前記クロック信号でラッチするラッチ回路を備えたことを特徴とする半導体集積回路。

【 0 1 7 9 】

この半導体集積回路では、プリチャージ動作の開始を、遅延させたクロック信号に同期して遅らせるため、プリチャージ動作を精度よく制御できる。

(1 4) 上記 (1 1) 項記載の半導体集積回路において、所定の前記ワード線を活性化する行制御回路を備え、前記タイミング調整回路は、前記行制御回路の動作タイミングに応じて前記遅延時間を設定することを特徴とする半導体集積回路。

【 0 1 8 0 】

この半導体集積回路では、タイミング調整回路は、電源電圧、温度等により変動する実際の行制御回路の動作タイミングに応じて遅延時間を設定する。このため、行制御回路の動

10

20

30

40

50

作タイミングに応じた最適のタイミングでプリチャージ回路を動作できる。

(15) ビット線に接続された複数のメモリセルと、前記ビット線を所定の電位にするプリチャージ回路とを備え、前記プリチャージ回路を制御するプリチャージコマンドをクロック信号に同期して受けてから前記プリチャージ回路の動作を開始するまでの遅延時間を可変にすることを特徴とする半導体集積回路の制御方法。

【0181】

この半導体集積回路では、ビット線を所定の電位にするプリチャージ動作を実行する場合、クロック信号に同期してプリチャージコマンドを受け、プリチャージ回路が動作する。ここで、プリチャージコマンドの受け付けからプリチャージ回路の動作を開始するまでの遅延時間は可変にされている。このため、プリチャージコマンドの受け付けから所定の遅延時間後に、プリチャージ回路の動作が開始される。そして、プリチャージ動作が実行される。

10

【0182】

このように、プリチャージ回路の動作を遅らせることで、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングでプリチャージ動作を実行できる。この結果、単位時間あたりのコマンド受け付け回数を増大できる。しがたって、読み出しデータおよび書き込みデータのバス占有率を向上することが可能になる。

【0183】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎない。本発明はこれに限定されるものではなく、本発明を逸脱しない範囲で変形可能であることは明らかである。

20

【0184】

【発明の効果】

請求項1の半導体集積回路および請求項4の半導体集積回路の制御方法では、クロック信号の周期に依存することなく、内部回路の動作タイミングに応じた最適のタイミングでメモリセルの読み出し動作または書き込み動作を実行できる。

この結果、単位時間あたりのコマンド受け付け回数が増大し、読み出しデータおよび書き込みデータのバス占有率を向上できる。

【0185】

また、内部回路の動作タイミングに応じた最適のタイミングで列制御回路が動作するため、読み出し動作および書き込み動作を高速に実行できる。

30

請求項2の半導体集積回路では、クロック信号の周波数に応じて、最適のタイミングで読み出し動作および書き込み動作を実行できる。

【0186】

請求項3の半導体集積回路では、内部回路の動作タイミングに応じた最適のタイミングでプリチャージ動作を実行でき、単位時間あたりのコマンド受け付け回数を増大できる。

また、内部回路の動作タイミングに応じた最適のタイミングでプリチャージ回路が動作するため、プリチャージ動作を高速に実行できる。

【図面の簡単な説明】

【図1】請求項1ないし請求項4に記載の発明の基本原理を示すブロック図である。

40

【図2】本発明に関連する回路の基本原理を示すブロック図である。

【図3】半導体集積回路および半導体集積回路の制御方法の第1の実施形態を示すブロック図である。

【図4】図3のタイミング調整回路を示す回路図である。

【図5】図3の別のタイミング調整回路を示す回路図である。

【図6】第1の実施形態におけるSDRAMの読み出し動作およびプリチャージ動作を示すタイミング図である。

【図7】第1の実施形態におけるSDRAMの読み出し動作およびプリチャージ動作の別の例を示すタイミング図である。

【図8】第1の実施形態におけるSDRAMのプリチャージ動作を示すタイミング図である。

50

【図 9】第 1 の実施形態における SDRAM のプリチャージ動作の別の例を示すタイミング図である。

【図 10】第 1 の実施形態における SDRAM のプリチャージ動作を伴う書き込み動作を示すタイミング図である。

【図 11】第 1 の実施形態における SDRAM のプリチャージ動作を伴う書き込み動作の別の例を示すタイミング図である。

【図 12】第 1 の実施形態における SDRAM の書き込み動作およびプリチャージ動作を示すタイミング図である。

【図 13】第 1 の実施形態における SDRAM のバースト読み出し動作を示すタイミング図である。

10

【図 14】半導体集積回路および半導体集積回路の制御方法の第 2 の実施形態を示すブロック図である。

【図 15】第 2 の実施形態における SDRAM のバースト読み出し動作を示すタイミング図である。

【図 16】半導体集積回路および半導体集積回路の制御方法の第 3 の実施形態および可変遅延回路の一実施形態を示すブロック図である。

【図 17】図 16 のタイミング制御回路を示す回路図である。

【図 18】図 16 のタイミング制御回路の動作を示すタイミング図である。

【図 19】図 16 のタイミング調整回路を示す回路図である。

【図 20】図 19 のタイミング調整回路の動作を示すタイミング図である。

20

【図 21】第 3 の実施形態における SDRAM のバースト読み出し動作を示すタイミング図である。

【図 22】第 3 の実施形態における SDRAM のプリチャージ動作を示すタイミング図である。

【図 23】第 3 の実施形態における SDRAM のプリチャージ動作の別の例を示すタイミング図である。

【図 24】第 3 の実施形態における SDRAM の書き込み動作およびプリチャージ動作を示すタイミング図である。

【図 25】第 3 の実施形態における SDRAM のプリチャージ動作の別の例を示すタイミング図である。

30

【図 26】半導体集積回路および半導体集積回路の制御方法の第 4 の実施形態および可変遅延回路の一実施形態を示すブロック図である。

【図 27】図 26 のタイミング調整回路の動作を示すタイミング図である。

【図 28】第 4 の実施形態における SDRAM のバースト読み出し動作を示すタイミング図である。

【図 29】タイミング調整回路の別の例を示す回路図である。

【図 30】図 29 のタイミング調整回路の動作を示すタイミング図である。

【図 31】従来の SDRAM の読み出し動作を示すタイミング図である。

【図 32】従来の SDRAM のプリチャージ動作を示すタイミング図である。

【図 33】従来の SDRAM のプリチャージ動作の別の例を示すタイミング図である。

40

【符号の説明】

- 1 行制御回路
- 2 コマンド制御回路
- 3 列制御回路
- 4 タイミング調整回路
- 5 プリチャージ回路
- 6 第 1 遅延回路
- 7 第 2 遅延回路
- 8 検出回路
- 9 選択回路

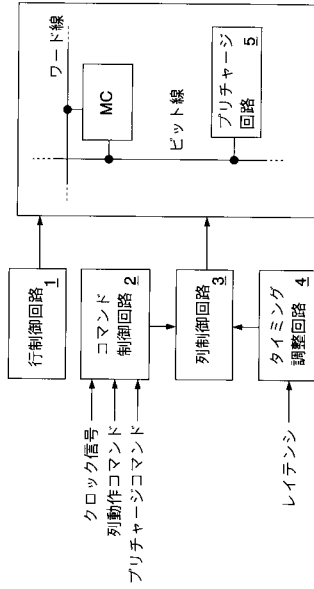
50

6 a	第 1 遅延段	
7 a	第 2 遅延段	
1 0	入出力制御部	
1 2	チップ制御部	
1 4	メモリコア部	
1 6 a、1 6 b、1 6 c	入力バッファ	
1 8 a、1 8 b	ラッチ	
2 0	コマンドデコーダ	
2 2	タイミング調整回路	
2 4	タイミング制御回路	10
2 6	RASラッチ	
2 8	CASラッチ	
3 0	バーストラッチ	
3 2	バーストアドレス発生器	
3 4、3 6	プリデコーダ	
3 8	バースト制御回路	
4 0、4 2	タイミング調整回路	
4 4	タイミング制御回路	
4 6	メモリセル部	
4 8	行デコーダ	20
5 0	センスアンプ	
5 2	列デコーダ	
5 4、5 6	遅延回路	
5 8	組み合わせ回路	
6 0	遅延回路	
6 2	チップ制御部	
6 4	タイミング調整回路	
6 6	ラッチ	
6 8	バースト制御回路	
7 0	チップ制御部	30
7 2	RAS制御部	
7 4	CAS制御部	
7 6、7 8	タイミング制御回路	
8 2	タイミング制御回路	
8 6	ラッチ	
8 8	パルス生成回路	
9 0	タイミング調整回路	
9 4	パルス生成回路	
9 6、9 8	タイミング調整回路	
1 0 0	遅延設定部	40
1 0 0 a、1 0 0 b	遅延回路	
1 0 0 e	フリップフロップ回路	
1 0 2	NORゲート	
1 0 4	CAS制御部	
1 0 6	タイミング調整回路	
1 0 8	パルス生成回路	
1 1 0	ラッチ	
ACT	コマンド信号	
AD	アドレス信号	
APCH	オートプリチャージ信号	50

BCN	バースト制御信号	
CASAD	列アドレス信号	
CL	レイテンシ信号	
CLK	クロック信号	
CLKA、CLKC、CLKD	タイミング信号	
CLKP、PLS3	Hパルス信号	
CMD	コマンド信号	
CTIM1	列タイミング信号	
EXTPZ	タイミング信号	
EXTPAZ、EXTPBZ	タイミング信号	10
IAD	内部アドレス信号	
ICLK	内部クロック信号	
ICLKD	遅延内部クロック信号	
ICMD	内部コマンド信号	
INTPZ	タイミング信号	
LCMD	ラッチコマンド信号	
LPCH	ラッチコマンド信号	
LRW	ラッチコマンド信号	
MC	メモリセル	
PCH	コマンド信号	20
PCH2	コマンド信号	
PCHD	遅延プリチャージ信号	
PCHD2	遅延プリチャージ信号	
PCHDA、PCHDB	遅延コマンド信号	
PLS1、PLS2	Hパルス信号	
RW	コマンド信号	
RW1、RW2	コマンド信号	
RASAD	アドレス信号	
RTIM1、RTIM2	行タイミング信号	
RTIM3、RTIM4、RTIM5、RTIM6	行タイミング信号	30
SW1、SW2	スイッチ	

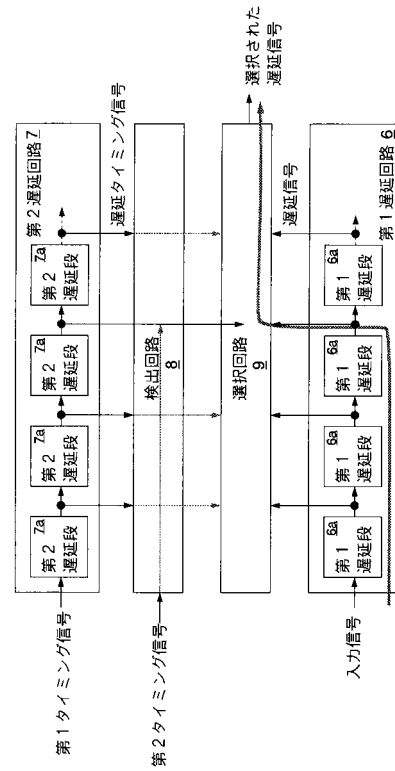
【図 1】

請求項 1 ないし請求項 4 に記載の発明の基本原理を示すブロック図



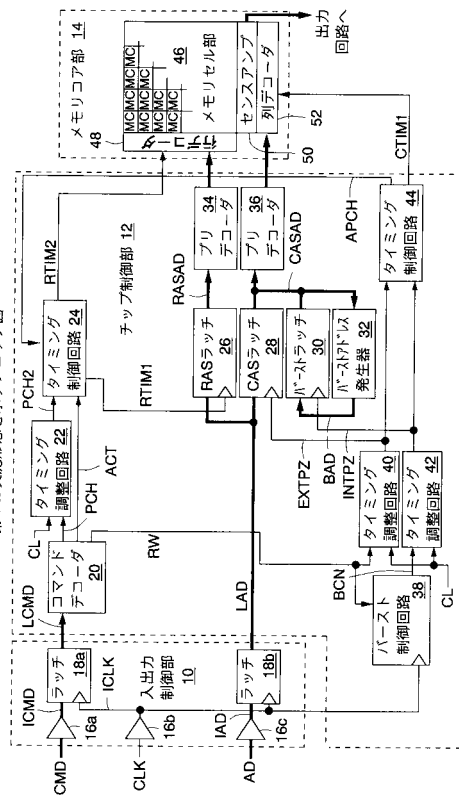
【図 2】

本発明に関連する回路の基本原理を示すブロック図



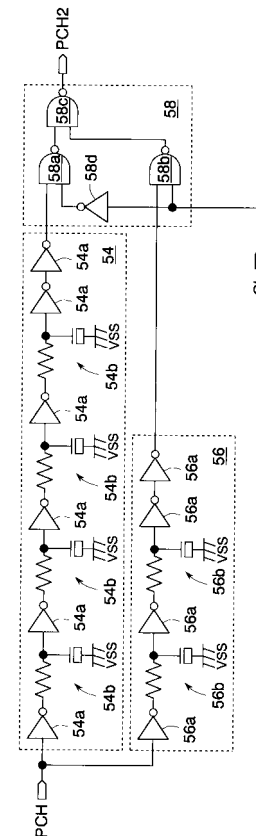
【図 3】

第 1 の実施形態を示すブロック図

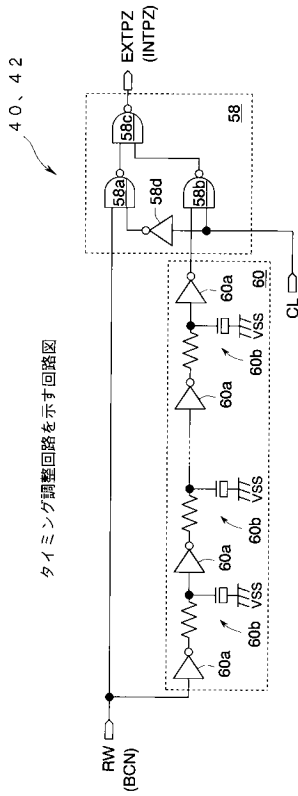


【図 4】

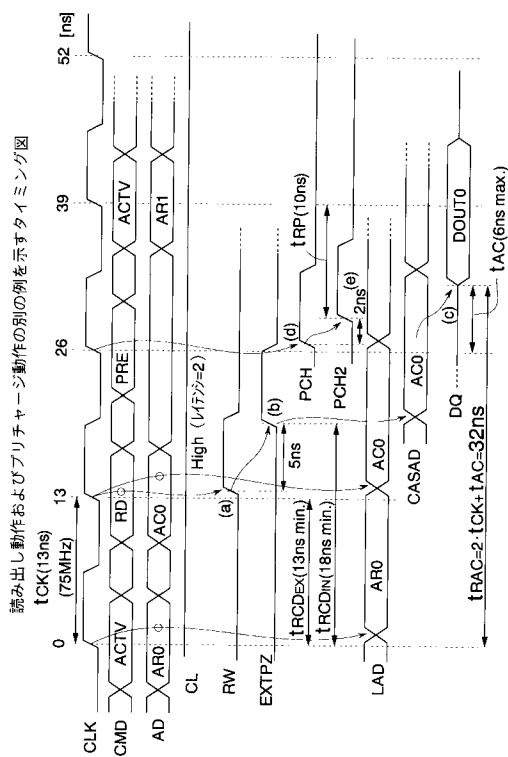
タイミング調整回路を示す回路図



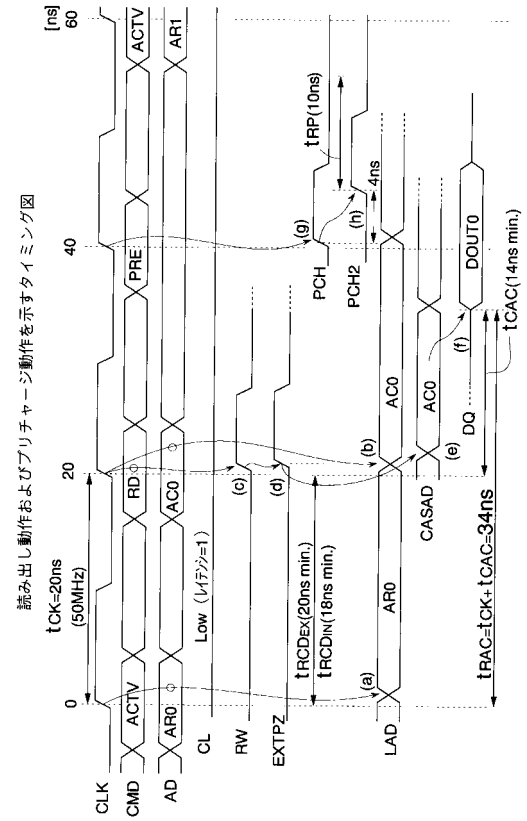
【図 5】



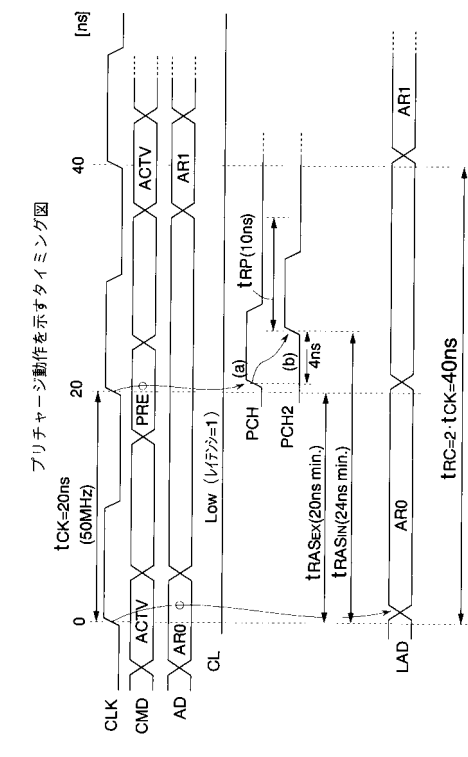
【図 7】



【図 6】

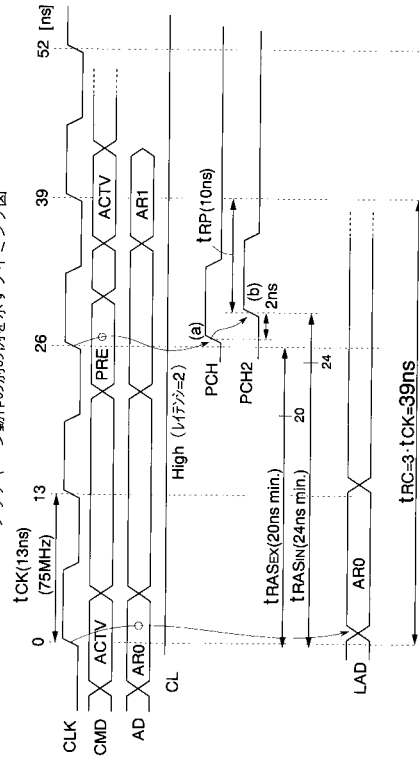


【図 8】



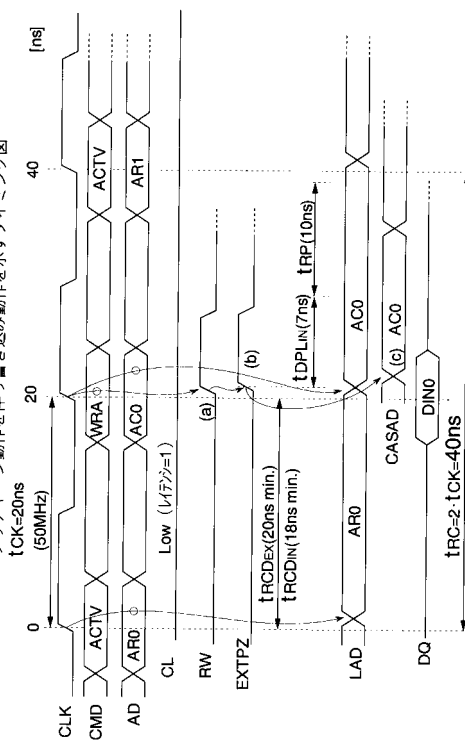
【図 9】

プリチャージ動作の別の例を示すタイミング図



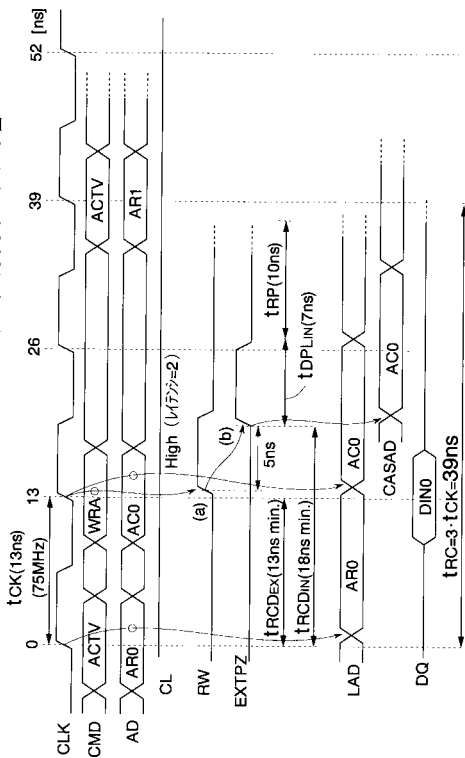
【図 10】

プリチャージ動作を伴う書き込み動作を示すタイミング図



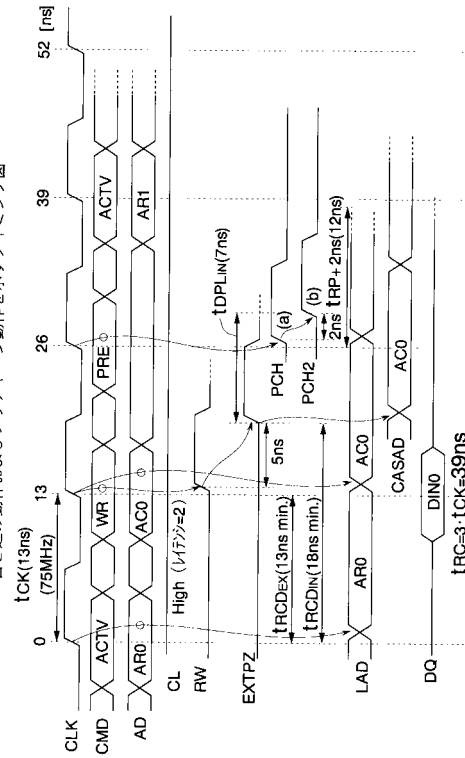
【図 11】

プリチャージ動作を伴う書き込み動作の別の例を示すタイミング図

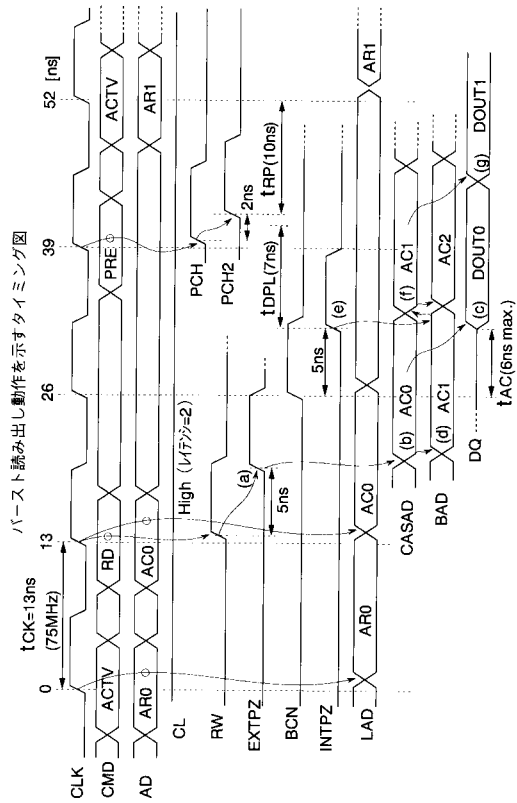


【図 12】

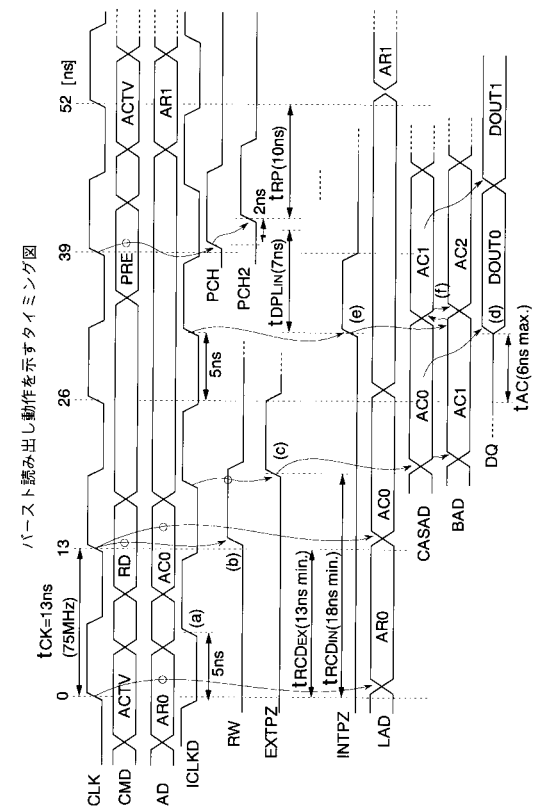
書き込み動作およびプリチャージ動作を示すタイミング図



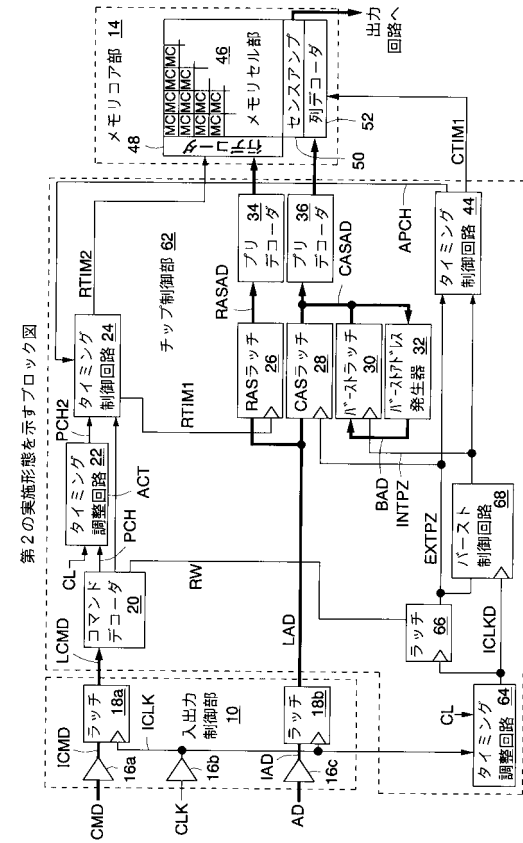
【図 13】



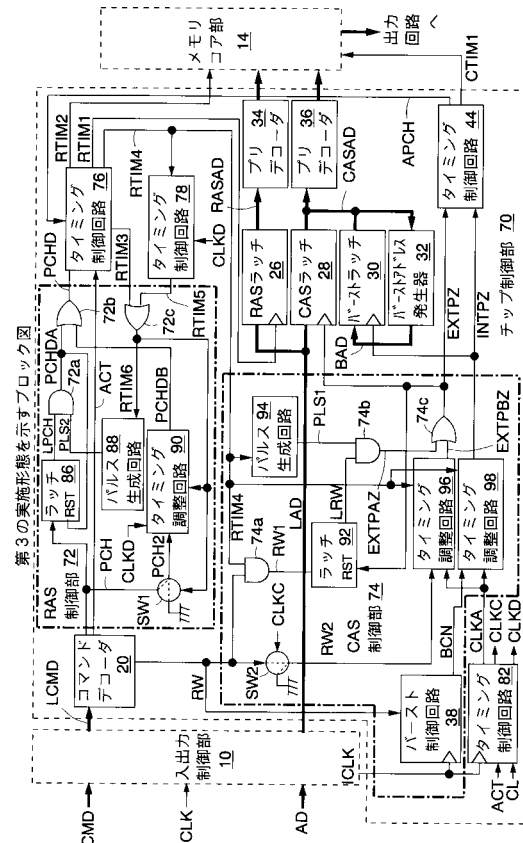
【図 15】



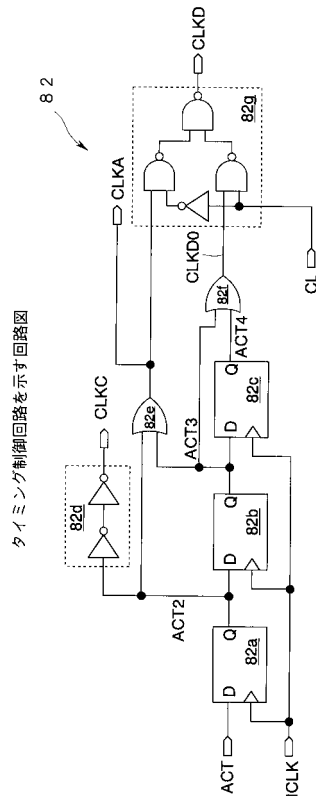
【図 14】



【図 16】

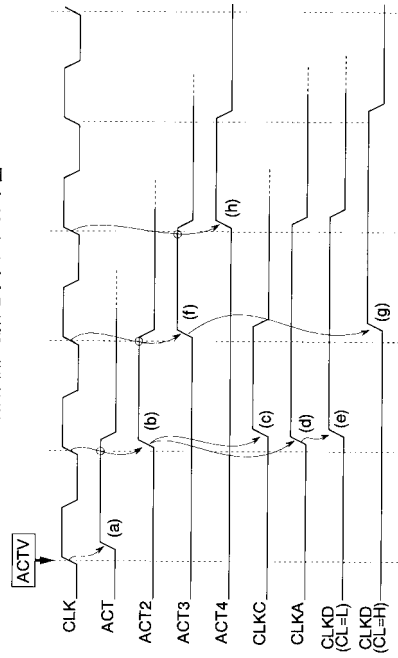


【図 17】

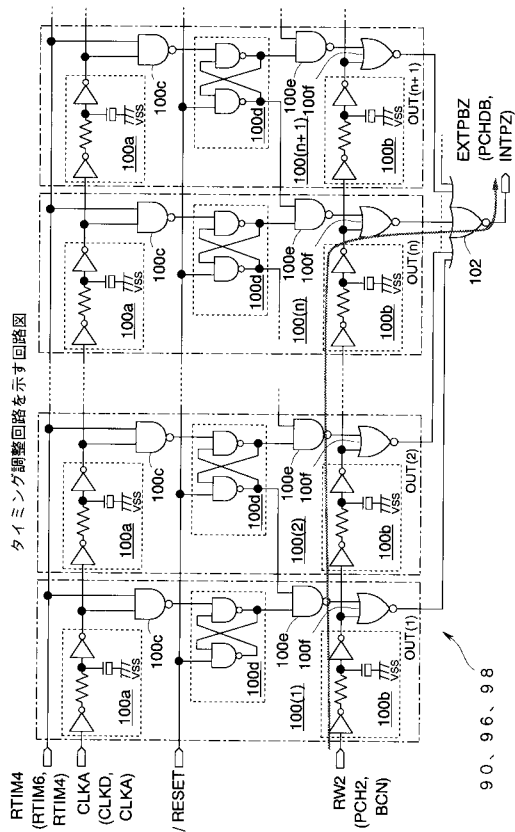


【図 18】

タイミング制御回路の動作を示すタイミング図

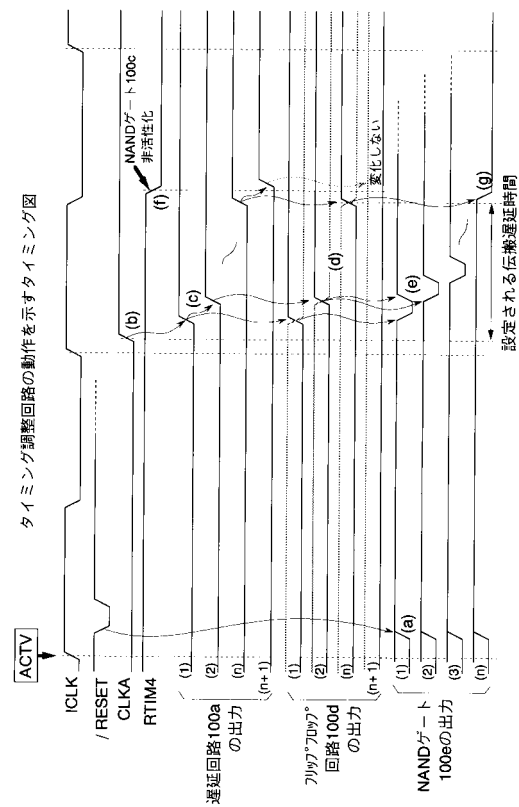


【図 19】



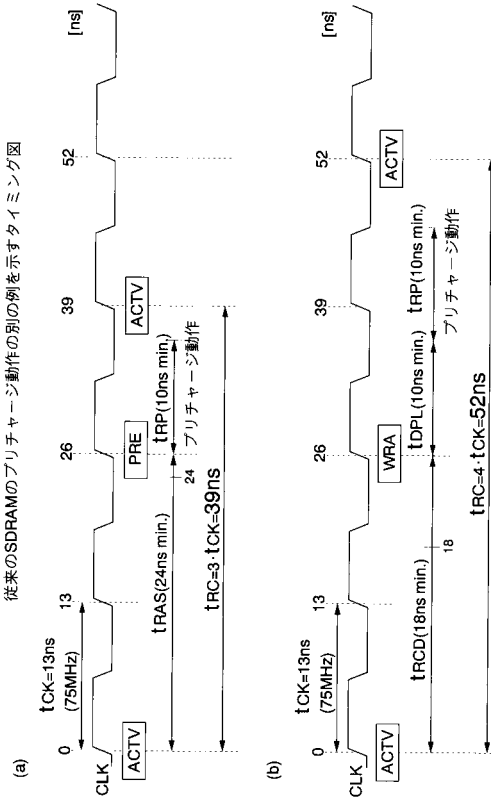
【図 20】

タイミング調整回路の動作を示すタイミング図



【図 33】

従来のSDRAMのプリチャージ動作の別の例を示すタイミング図



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 4 4 4 9 7 (J P , A)
特開 2 0 0 1 - 0 0 6 3 6 0 (J P , A)
特開平 1 1 - 4 5 5 7 3 (J P , A)
特開平 1 0 - 6 9 7 7 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G11C 11/40-11/4099