

公告本

申請日期	90.6.28
案 號	90115737
類 別	G11C 7/00, H01L 21/00

(以上各欄由本局填註)

512362

發明專利說明書

一、發明 名稱	中 文	積體半導體電路中使導線排上之不同電壓平衡時所用之電路配置
	英 文	Circuit-arrangement to Compensate Different Voltages at Line-tracks in Integrated Semiconductor-circuits
二、發明 創作人	姓 名	1.羅特艾斯特爾(Robert ESTERL) 2.佐爾坦曼尤基(Zoltan MANYOKI)
	國 籍	1.德國 2.加拿大
	住、居所	1.德國慕尼黑 81827 史克萬恩路 8 號 2.加拿大安大略省 K2L 3W9 卡納達坦瓜爾廣場 308 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1.麥可勾威什(Michael Gollwitzer) 2.荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

德 國 (地 區) 申請專利，申請日期： 案號： , ☒有 ☐無主張優先權

2000 年 06 月 30 日 1.100 31 947.5

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(¹)

本發明涉及一種電路配置，其用來使鐵電 RAM 記憶體之板線上之高位準板線電壓與位元線上之高位準位元線電壓之間之差值可被平衡。

目前鐵電 RAM 記憶體之板線及位元線上之寫入-及讀出電壓是由產生器系統所產生，此種產生器系統可供電至相同組件之板線及位元線。

若此種電壓產生器產生唯一之輸出電壓，則在各別之位元線及板線至多個記憶排或記憶區段上所分佈之電壓在此記憶體電路之指定之各點上或指定之各操作狀態中具有不同之位準，其可在測試模式中測得。

DE 691 19 679 T2 描述一種半導體記憶體用之讀出放大器。此半導體記憶體之輸出信號短暫而穩定地處於一種固定之位準中，即，當平衡脈衝(即，信號不確定性)產生時屬於此種情況。

爲了此一目的，則在習知之輸出電路中在二個反相之輸出信號線之間連接一種轉換閘，其短暫地導通。習知之輸出電路之上述二條輸出信號線另外會造成相反之電位，其由二個以互補式相連之差動放大器所產生。在習知之輸出電路中不是二個公稱之相同電壓位準(其具有某種差異)應被平衡，而是二個反相之輸出信號之間會短暫地產生一種平均電位。

本發明之目的是提供一種簡易之電路配置使積體半導體電路中導線排上之不同電壓(特別是鐵電 RAM 記憶體之高位準之板線電壓及高位準之位元線電壓)可被平

五、發明說明(2)

衡，即，正常操作時不同之電壓(特別是寫入-及讀出電壓)可被平衡；此外，在測試模式時可互相獨立地進行評估。

本發明之目的以下述方式達成：在位元線及板線之間設置一種電壓平衡電晶體，其在半導體電路正常操作時(此時寫入電壓或讀出電壓在位元線及板線上同樣具有高位準)可藉由一種控制信號而切換成低歐姆，使位元線及板線之間之電壓差可被平衡。

此種電壓平衡電晶體在鐵電 RAM 記憶體中可使板線及位元線上之不同之電壓位準可被補償且可在測試模式時切換成高歐姆，使板線電壓及位元線電壓可各別地被偵測。

此種電壓平衡電晶體較佳是一種 MOS 電晶體，其源極端及汲極端分別與位元線及板線相連且在其閘極端上可施加一種控制信號(即，正常操作模式時反相之測試模式信號)。

以此種方式可使電壓平衡電晶體在測試模式時切換成高歐姆，因此在測試模式時可使板線電壓及位元線電壓相隔開。在鐵電 RAM 記憶體中於是可使鐵電記憶胞有較佳之特性。

本發明之電路配置之實施例以下將依據唯一之圖式來說明。圖式簡單說明：

第 1 圖係一種設置在積體式鐵電 RAM 記憶體 10 中之本發明之電路配置之電路圖(一部份是方塊圖)。

五、發明說明(3)

高位準之分佈於位元線 1 上之位元線電壓 VBL_H 及高位準之分佈於板線 2 上之板線電壓 VPL_H 分別由 VBL_H 產生器 3 及與其相隔離之 VPL_產生器 4 所產生。此二個產生器 3, 4 由外部電壓 V_{ext} 7 和 8 所供電。

依據本發明，設有一種電壓平衡電晶體 5，其在正常操作時在位元線 1 和板線 2 之間形成一種低歐姆之橋且在測試模式時藉由傳送至其控制端 6 之信號 TESTMODE 而切換成高歐姆，使得在測試模式時板線電壓及位元線電壓相分開。板線電壓及位元線電壓因此可各別被偵測，與位元線及板線相連之鐵電記憶胞(圖中未顯示)之特性因此可改良。

在本實施例中，電壓平衡電晶體 5 是 MOS 電晶體 5，其在圖中是以其源極端及汲極端分別連至位元線 1 及板線 2。MOS 電晶體 5 在其閘極端上在正常操作時含有反相之測試模式信號 TESTMODE-C 且因此切換成低歐姆。

參考符號說明

- 1 位元線
- 2 板線
- 3 VBL_H-產生器
- 4 VPL-產生器
- 5 電壓平衡電晶體
- 6 控制信號 TESTMODE-C
- 7,8 外部電壓 V_{ext}

五、發明說明(4)

10 鐵電 RAM-記憶體

VBL_H 高位準之位元線電壓

VPL_H 高位準之板線電壓

四、中文發明摘要 (發明之名稱： 積體半導體電路中使導線排上之不同電壓平衡時所用之電路配置)

本發明涉及一種積體半導體電路中使導線排上之不同電壓平衡時所用之電路配置，其中在位元線(1)和板線(2)之間設置一種電壓平衡電晶體(5)，其在半導體電路正常操作時可藉由控制信號(6)切換成低歐姆，以便使位元線(1)和板線(2)之間之電壓差可被平衡。

英文發明摘要 (發明之名稱： Circuit-arrangement to Compensate Different Voltages at Line-tracks in Integrated Semiconductor-circuits)

This invention relates to a circuit-arrangement to compensate different voltages at line-tracks in integrated semiconductor-circuits, in which between the bit-line and the plate-line a voltage-compensation-transistor is provided, which in a normal operation of the semiconductor-circuit can be switched low-ohmic by a control-signal, so as to compensate the different voltage at the lines.

(請先閱讀背面之注意事項再填寫本頁各欄)

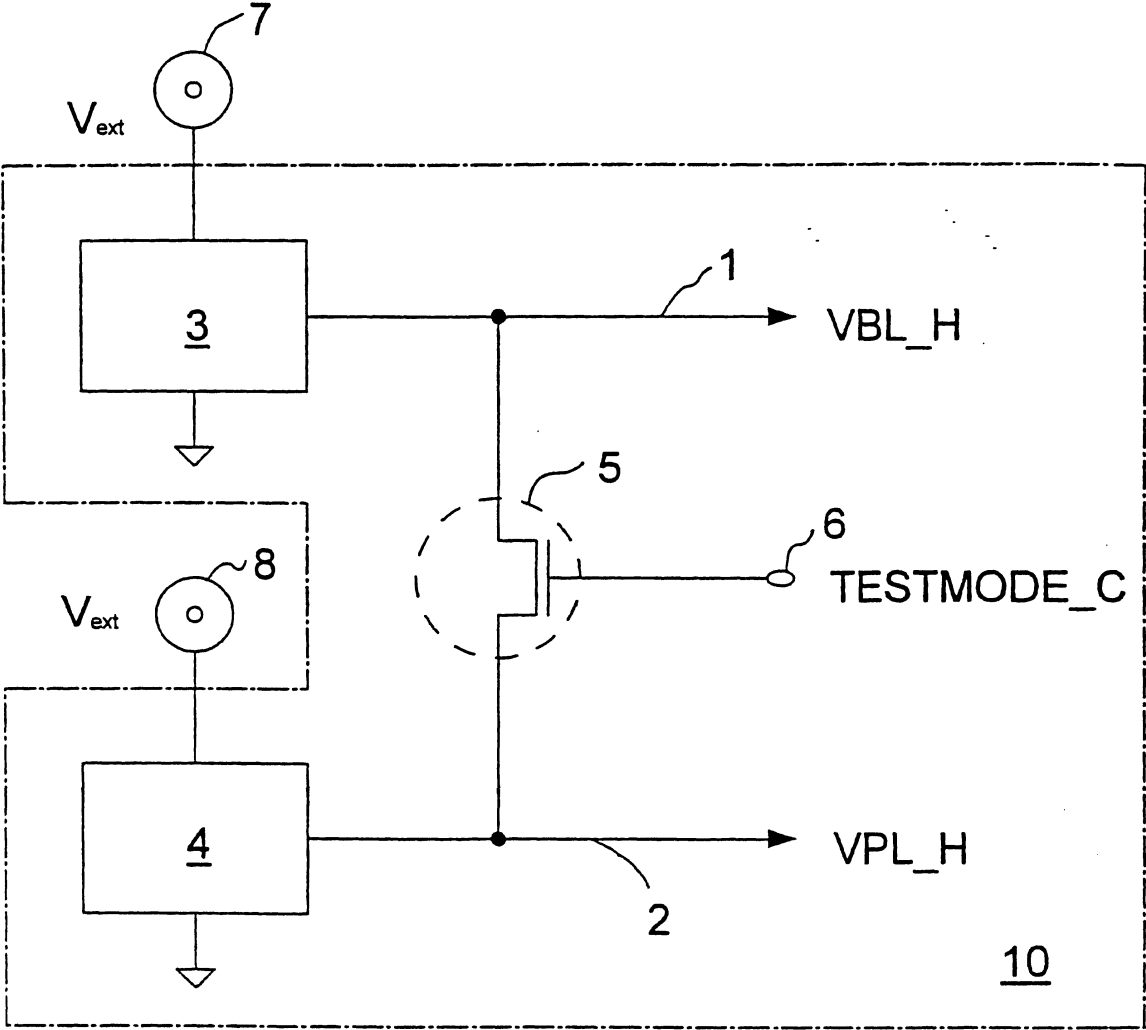
訂

象

六、申請專利範圍

1. 一種鐵電 RAM 記憶體(10)之板線(2)上之高位準板線電壓(VPL_H)及位元線(1)上之高位準位元線電壓(VBL_H)之間之差值平衡時所用之電路配置，其特徵為：在位元線(1)和板線(2)之間設置一種電壓平衡電晶體(5)，其在半導體電路正常操作時可藉由控制信號(6)切換成低歐姆，以便使位元線(1)和板線(2)之間之電壓差可被平衡，其中在正常操作時位元線(1)上及板線(2)上之寫入電壓或讀出電壓都具有高電位。
2. 如申請專利範圍第 1 項之電路配置，其中電壓平衡電晶體(5)是 MOS 電晶體，其以其源極端和汲極端分別連接至位元線(1)及板線(2)且其閘極端上可施加該控制信號(6)。
3. 如申請專利範圍第 1 或 2 項之電路配置，其中在鐵電 RAM 記憶體中此控制信號(6)是反相之測試模式信號(TESTMODE-C)。
4. 如申請專利範圍第 1 或 2 項之電路配置，其中電壓平衡電晶體(5)在測試模式時(即，不是正常操作時)可藉由真(true)測試模式信號切換成高歐姆。

90115737



第 1 圖