СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1383505 A1

(51) 4 H 03 M 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ 13

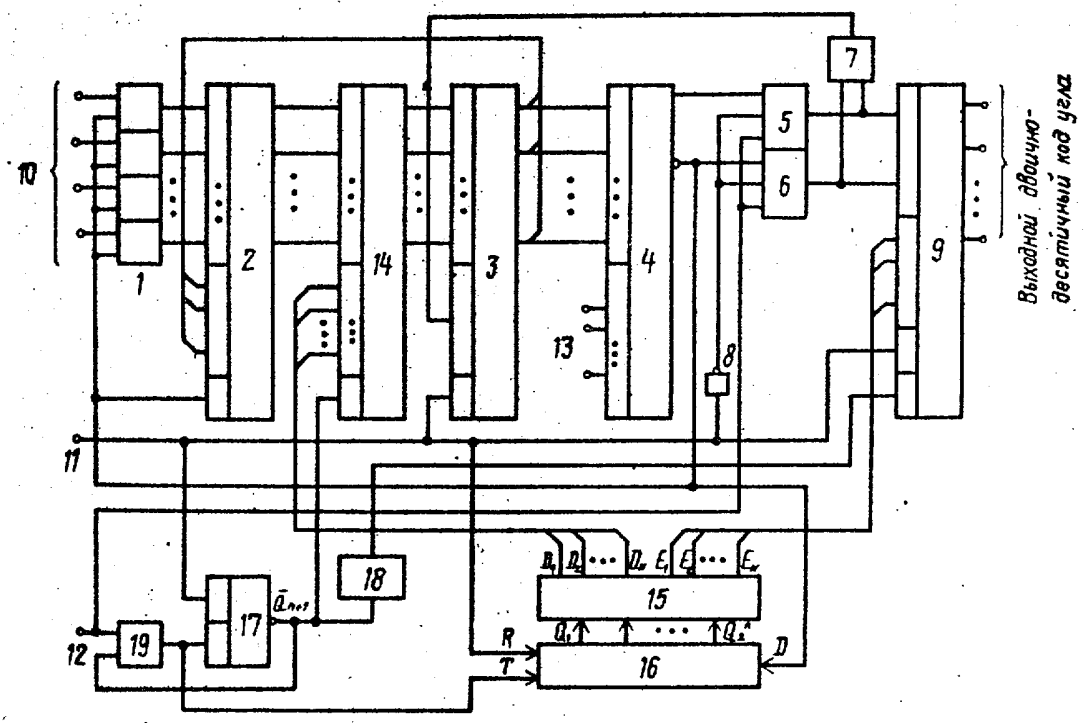
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4143419/24-24
(22) 31.10.86
(46) 23.03.88. Бюл. № 11
(71) Московский лесотехнический институт
(72) В.Г.Домрачев, В.А.Подолян и Г.Р.Бобров
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 1068929, кл. H 03 M 7/12, 1984.
Авторское свидетельство СССР № 1124282, кл. H 03 M 7/12, 1984.

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД УГЛОВЫХ ЕДИНИЦ

(57) Изобретение относится к области автоматики и цифровой вычислительной техники и может быть использовано при построении следящих двоично-десятичных преобразователей. Целью изобретения является сокращение времени преобразования. Поставленная цель достигается тем, что в преобразователь,



(19) SU (11) 1383505 A1

содержащий группу элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 1, сумматор 2, регистр 3, схему сравнения 4, элементы И 5,6, элемент ИЛИ 7, двоично-десятичный реверсивный счетчик 9, дополнительно введены коммутатор 14, постоянное запоминающее устройство 15, регистр последовательного приближения 16, счетчик 17, одновибратор 18, элемент И 19. 1 табл. 1 ил.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах автоматического управления, сбора информации, контроля производственных процессов для визуальной оценки в угловых единицах постоянных и изменяющихся угловых величин, представляемых в двоичном цифровом коде.

Целью изобретения является сокращение времени готовности преобразователя к работе.

На чертеже приведена блок-схема предлагаемого преобразователя.

Преобразователь содержит группу 1 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, сумматор 2, регистр 3, схему 4 сравнения кодов, элементы И 5 и 6, элемент ИЛИ 7, элемент НЕ 8, двоично-десятичный реверсивный счетчик 9, вход 10 константы преобразователя, вход 11 сброса преобразователя, тактовый вход 12 преобразователя, информационный вход 13 преобразователя, коммутатор 14, постоянное запоминающее устройство 15, регистр 16 последовательного приближения, счетчик 17, одновибратор 18, элемент И 19.

Для достижения указанной цели в предлагаемом преобразователе используется комбинированный алгоритм получения эквивалента входного кода, который начинается n тактами последовательного приближения (поразрядно, начиная со старшего разряда), а продолжается следящим режимом работы до сравнения кодов в схеме 4.

Преобразователь работает следующим образом.

Сигналом по входу 11 сброса, поданным вследствие включения питания или независимо от этого, устанавливается в исходное состояние регистр 3,

2

а также двоично-десятичный реверсивный счетчик 9, регистр 16 последовательного приближения и счетчик 17. Первый вслед за этим тактовый импульс с входа 12 тактовых импульсов проходит через элемент И 19, поскольку второй его вход подключен к инверсному выходу счетчика 17, находящегося в единичном состоянии. С выхода элемента И 19 тактовый импульс следует на тактовый вход регистра 16 последовательного приближения, на выходах которого устанавливается код 01...1, (см. таблицу), соответствующий первой половине полного угла. Этот код в качестве адреса поступает на постоянное запоминающее устройство 15, где записаны две группы слов: D - коды которых соответствуют двоично-десятичному коду разрядности N угловой меры, E - коды которых соответствуют двоичному коду разрядности N′ угловой меры. Код D из постоянного запоминающего устройства через коммутатор 14 поступает на вход регистра 3, откуда импульсом с выхода элемента ИЛИ 7 перезаписывается на первый вход схемы 4 сравнения и на вход сумматора 2. Выход сумматора 2 подключен к второму входу коммутатора 14, который при наличии единичного уровня на выходе счетчика 17 отключает его от входа регистра 3.

В таблице приведены переходы регистра последовательного приближения.

На втором выходе схемы 4 сравнения вырабатывается единичный сигнал, если код на входе 13 больше кода D, и нулевой, если код на входе 13 меньше кода D. Сигнал сравнения записывается в старший разряд регистра 16 последовательного приближения по приходу на его тактовый вход второго тактово-

го импульса (см. таблицу). По второму тактовому импульсу с входа 12, аналогично описанному, происходит определение квадранта, в котором находится угол, эквивалентный входному коду. При этом в регистре 16 формируется два разряда кода D.

По третьему, четвертому и т.д. импульсам определяются октант, шестнадцатая и т.д. части полного угла, в которых находится значение определяемого угла. При этом на выходах D и E постоянного запоминающего устройства 15 формируются коды, хранящиеся по адресам, соответствующим указанным долям полного угла в двоичном и двоично-десятичном кодах.

Практически нет необходимости в количестве разрядов, определяемых последовательным приближением, большим четырех, поэтому целесообразно для управления переходом к следящему режиму работы воспользоваться выходом третьего разряда $\bar{Q}_3$ счетчика 17. По приходу с тактового входа 12 пятого тактового импульса на выходе счетчика 17 формируется нулевой сигнал и элемент И 19 закрывается. По нулевому уровню на выходе счетчика 17 коммутатор 14 отключает от входа регистра 3 выход D постоянного запоминающего устройства 15 и подключает выход сумматора 2 к входу регистра 3.

По спаду логического уровня на выходе счетчика 17 одновибратором 18 вырабатывается импульс, управляющий записью двоично-десятичного кода угловых единиц E с выхода постоянного запоминающего устройства 15 в двоично-десятичный реверсивный счетчик 9 по его информационным входам.

Таким образом, блок-схема преобразователя приходит в соответствие, необходимое для работы его в следящем режиме и, начиная с шестого тактового импульса, преобразователь функционирует в полном соответствии с описанием его работы, приводимым для известного устройства, однако в пределах 1/6 части полного угла.

Время, необходимое для вхождения преобразователя в следящий режим в этом случае соответственно в 16 раз меньше, чем на полном угле.

Формула изобретения

Преобразователь двоичного кода в двоично-десятичный код угловых единиц, содержащий сумматор, регистр, схему сравнения, первый и второй элементы И, элемент ИЛИ, двоично-десятичный реверсивный счетчик, элемент НЕ и группу элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, первые входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ группы соединены с входом константы преобразователя, вторые входы соединены с выходом "Больше" схемы сравнения и с входом переноса сумматора, первые входы которого соединены с выходами элементов ИСКЛЮЧАЮЩЕЕ ИЛИ группы, вторые входы сумматора соединены с выходами регистра и с первыми входами схемы сравнения, вторые входы которой соединены с информационным входом преобразователя, вход сброса которого соединен с входами сброса регистра и двоично-десятичного реверсивного счетчика, выходы которого являются выходами преобразователя, тактовый вход которого соединен с первыми входами первого и второго элементов И, вторые входы которых соединены соответственно с выходами "Меньше" и "Больше" схемы сравнения, а третьи входы первого и второго элементов И через элемент НЕ подключены к входу сброса преобразователя, выходы первого и второго элементов И соединены соответственно с входами инкремента и декремента двоично-десятичного реверсивного счетчика и к первому и второму входам первого элемента ИЛИ, выход которого соединен с входом записи регистра, о т л и ч а ю щ и й с я тем, что, с целью сокращения времени преобразования, в него введены коммутатор, постоянное запоминающее устройство, одновибратор, счетчик, третий элемент И и регистр последовательного приближения, тактовый вход которого соединен с выходом третьего элемента И и с синхровходом счетчика, выход которого соединен с первым входом третьего элемента И, с управляющим входом коммутатора и через одновибратор с входом записи двоично-десятичного реверсивного счетчика, информационные входы которого подключены к группе выходов двоично-десятичного кода постоянного запоминающего устройства, группа выходов двоичного кода которого соединена с первой группой входов коммутатора, вторая группа входов которого соединена с выходами сумматора, а выходы коммутатора соединены с инфор-

мационными входами регистра, адресные входы постоянного запоминающего устройства соединены с выходами регистра последовательного приближения, информационный вход которого соединен с выходом "Больше" схемы сравнения, вход сброса регистра последовательного приближения соединен с входом сброса преобразователя и входом сброса счетчика, тактовый вход преобразователя соединен с вторым входом третьего элемента И.

Такт	Вход	Выходы											
t_n	D	Q_{11}	Q_{10}	Q_9	Q_8	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
0	x	x	x	x	x	x	x	x	x	x	x	x	x
1	D_{11}	0	1	1	1	1	1	1	1	1	1	1	1
2	D_{10}	D_{11}	0	1	1	1	1	1	1	1	1	1	1
3	D_9	D_{11}	D_{10}	0	1	1	1	1	1	1	1	1	1
4	D_8	D_{11}	D_{10}	D_9	0	1	1	1	1	1	1	1	1
5	D_7	D_{11}	D_{10}	D_9	D_8	0	1	1	1	1	1	1	1
6	D_6	D_{11}	D_{10}	D_9	D_8	D_7	0	1	1	1	1	1	1
7	D_5	D_{11}	D_{10}	D_9	D_8	D_7	D_6	0	1	1	1	1	1
8	D_4	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	0	1	1	1	1
9	D_3	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	0	1	1	1
10	D_2	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	0	1	1
11	D_1	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	0	1
12	D_0	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	0
13	x	D_{11}	D_{10}	D_9	D_8	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0

Составитель М.Аршавский
Редактор Л.Лангазо Техред М.Ходанич Корректор М.Шароши

Заказ 1351/55 Тираж 928 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4