



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 341 018**

51 Int. Cl.:

G06F 1/32 (2006.01)

H04B 1/16 (2006.01)

H04B 15/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **05803663 .3**

96 Fecha de presentación : **30.09.2005**

97 Número de publicación de la solicitud: **1800202**

97 Fecha de publicación de la solicitud: **27.06.2007**

54

Título: **Aparato para controlar un procesador de señal digital para el aislamiento de la radio y métodos asociados.**

30

Prioridad: **30.09.2004 US 955926**

45

Fecha de publicación de la mención BOPI:
14.06.2010

45

Fecha de la publicación del folleto de la patente:
14.06.2010

73

Titular/es: **NXP B.V.**
High Tech Campus 60
5656 AG Eindhoven, NL

72

Inventor/es: **Rush, Frederick A.;**
Vishakhadatta, G. Diwakar;
Matthews, Phillip M. y
Chen, Shaojie

74

Agente: **Ungría López, Javier**

ES 2 341 018 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato para controlar un procesador de señal digital para el aislamiento de la radio y métodos asociados.

5 Campo de la invención

Este documento de patente se refiere en general a sistemas en tiempo real y, más particularmente, a sistemas y métodos para controlar sistemas en tiempo real, tal como un sistema de RF altamente integrado.

10 Antecedentes de la invención

En diversos tipos de circuitos, la interferencia puede causar problemas con el funcionamiento de los circuitos. Estos tipos de problemas pueden ser especialmente evidentes en sistemas altamente integrados, donde el funcionamiento de una porción de un dispositivo puede interferir con el funcionamiento de otra porción del dispositivo. Por ejemplo, en un circuito que contiene tanto circuitos de RF como circuitos digitales, la interferencia entre los circuitos de RF y los circuitos digitales puede causar perturbaciones significativas en los circuitos de RF, haciendo muy difícil su implementación sobre un circuito integrado.

20 En un transmisor, receptor de RF típico de la técnica anterior, o un transceptor, los circuitos de RF generalmente residen en una partición diferente del circuito (por ejemplo, circuito integrado (IC), dado, etc.) que lo hacen los circuitos del procesamiento de señal (es decir, la banda base), en parte debido al problema de la interferencia. Los circuitos de RF típicamente incluyen circuitos analógicos que tienen una sensibilidad elevada al ruido y la interferencia. Además, los circuitos de RF en algunas aplicaciones, por ejemplo, en los aparatos de telefonía móvil, pueden tener que detectar señales tan pequeñas como de unos pocos nano-voltios de amplitud. Las prestaciones de un dispositivo pueden sufrir como resultado del ruido y la interferencia desde fuentes externas o incluso internas al aparato de comunicación.

30 En un aparato de comunicación típico, tal como un aparato de telefonía móvil, los circuitos digitales producen señales digitales con tiempos de subida y caída relativamente pequeños, o con transiciones rápidas o bordes abruptos. Además, esas señales a menudo tienen frecuencias relativamente elevadas. Como resultado, estas señales de frecuencia elevada, y sus armónicos, pueden interferir con los circuitos de RF, e impactar adversamente en las prestaciones de los mismos. Como resultado, los dispositivos típicos de comunicaciones de la técnica anterior usan más de una partición de circuito. Por ejemplo, una partición puede incluir los circuitos de RF, mientras que una segunda partición incluye los circuitos digitales.

35 Usar más de una partición para los circuitos de RF y los circuitos digitales, sin embargo tiene inconvenientes graves, tales como el aumento del número de componentes, su tamaño y el coste global, y más potencialmente en una fiabilidad disminuida y un aumento de los fallos de fabricación. Por lo tanto existe una necesidad de dispositivos altamente integrados que tengan todos los circuitos en una partición. Por ejemplo, en el campo de los dispositivos de comunicación de RF, hay una necesidad de un aparato de RF altamente integrado que incluya, la radio completa, en una partición, dado, IC, etc.

40 Ejemplo adicionales de dispositivos de multi-partición de RF se describen en el documento US 5.487.181 (de DAILEY y otros) publicado el 23 de Enero de 1996, el documento US 5.842.037 (de HAARTSEN y otros) publicado el 24 de noviembre de 1998, el documento US 6.442.407 (de BAUER HARALD y otros) publicado el 27 de Agosto de 2002 y el documento EP A 0 463 621 (de FIRMA ERIKA KOECHLER) publicado el 2 de Enero de 1992.

Sumario de la invención

50 Esta invención contempla un aparato de RF altamente integrado y métodos asociados.

55 De acuerdo con un primer aspecto se proporciona un aparato de telefonía móvil que comprende, un transceptor adaptado para transmitir y recibir señales de RF; un procesador digital de señales (DSP); un controlador de interrupciones configurado para efectuar el funcionamiento del DSP de tal modo que al menos una porción del DSP está inhibida mientras que el transceptor está transmitiendo o recibiendo señales de RF; y un secuenciador configurado para generar interrupciones para su uso por el controlador de interrupciones, en el que el secuenciador genera una primera interrupción que causa que se deshabilite al menos una porción del DSP, y en el que la primera interrupción tiene una prioridad más elevada que las otras interrupciones relativas al normal funcionamiento del aparato.

60 De acuerdo con un segundo aspecto se proporciona un método para controlar un aparato de telefonía móvil que transmite y recibe señales en impulsos, comprendiendo el método: usar un procesador digital de señales (DSP) entre impulsos para procesar las señales de RF recibidas por el aparato; y usar un secuenciador para generar una primera interrupción para parar, al menos parcialmente, el DSP para minimizar el ruido en el aparato de telefonía móvil durante los impulsos, en el que la primera interrupción tiene una prioridad más elevada que las otras interrupciones relacionadas con el funcionamiento normal del aparato.

De acuerdo con un tercer aspecto se proporciona un método para minimizar la interferencia entre un transceptor formado sobre un circuito integrado y un procesador digital de señales (DSP) formado sobre el mismo circuito integrado, comprendiendo el método: operar el DSP en un primer modo de funcionamiento cuando el transceptor no está transmitiendo o recibiendo señales; y operar el DSP en un segundo modo cuando el transceptor está transmitiendo o recibiendo señales, en el que la transición desde el primer modo al segundo modo se inicia por una primera interrupción generada por un secuenciador, en el que la primera interrupción tiene una prioridad más elevada que las otras interrupciones relativas al funcionamiento normal del aparato.

Otras características y ventajas de la presente invención resultarán evidentes a partir de los dibujos adjuntos y la descripción detallada que siguen a continuación.

Breve descripción de los dibujos

La presente invención está ilustrada a modo de ejemplo y no de limitación en las figuras de los dibujos adjuntos, en los que referencias iguales indican elementos similares y en las que:

La Fig. 1 es un diagrama de bloques de un aparato de comunicaciones móviles.

La Fig. 2 muestra un conjunto de eventos que se producen en un sistema general de comunicaciones de acuerdo con la invención.

La Fig. 3 es un diagrama de bloques de un sistema de control de interrupciones que puede usarse con la presente invención.

La Fig. 4 es un diagrama que ilustra un mapa de interrupciones.

La Fig. 5 es un diagrama que ilustra un mapa de interrupciones que incluye dos nuevas interrupciones utilizadas para disparar la parada y el arranque de un procesador.

La Fig. 6 es un diagrama de flujo que ilustra el funcionamiento de la presente invención.

La Fig. 7 ilustra una realización de la recepción de una interrupción de parada y una rutina del servicio de la interrupción de parada.

La Fig. 8 ilustra una realización de la recepción de una interrupción de re-arranque y una rutina del servicio de interrupción de re-arranque.

La Fig. 9 muestra un ejemplo de una trama de datos GSM y la temporización relativa de las interrupciones de parada y re-arranque.

La Fig. 10 es un diagrama de tiempos que ilustra el contexto de funcionamiento del sistema para una ranura temporal de RF.

La Fig. 11 es un diagrama de bloques de un sistema de control de interrupciones que puede utilizarse con la presente invención.

La Fig. 12 es un diagrama de flujo que ilustra el funcionamiento de la invención mostrada en la Fig. 11.

Descripción detallada

Esta invención se refiere a sistemas de RF y digitales altamente integrados. En una aplicación de la invención, los conceptos descritos más adelante obvian la necesidad de realizar una partición de los circuitos de RF y los circuitos digitales (por ejemplo, los circuitos de procesamiento de señal), así como solucionar el reto relativo a tal integración. En una realización de ejemplo de la presente invención, en un sistema de comunicaciones, los circuitos de RF y los circuitos de procesamiento de señal (por ejemplo, el procesador digital de señales (DSP), microprocesador, microcontrolador, los circuitos lógicos de propósito general, y similares) pueden residir en la misma partición del circuito. Por supuesto, la presente invención puede usarse con cualquier otro sistema o dispositivo que se desee.

Generalmente, en un ejemplo, un aspecto de la presente invención se refiere al aislamiento en el dominio del tiempo de las diferentes partes del aparato (por ejemplo, aislamiento en el tiempo de los circuitos de RF de los circuitos digitales). En un ejemplo de un sistema de comunicaciones que tiene unos circuitos de procesamiento de señales y circuitos de RF, los circuitos de RF generalmente funcionan cuando los circuitos de procesamiento de señal están inactivos, y viceversa. No obstante, obsérvese que el funcionamiento de los circuitos de RF y los circuitos de procesamiento de señal pueden solaparse de algún modo. Como consecuencia, el ruido de la conmutación digital y el contenido de los armónicos asociados no interfieren con el funcionamiento de los circuitos de RF y viceversa. Otro aspecto de la presente invención se refiere a las técnicas para parar y arrancar de forma eficaz los circuitos de procesamiento de señal para conseguir el aislamiento en el dominio del tiempo mencionado anteriormente.

ES 2 341 018 T3

Para proporcionar un contexto para el entendimiento de esta descripción, la siguiente descripción ilustra un ejemplo de un entorno en el cual puede utilizarse la presente invención. Por supuesto, la invención puede usarse también en muchos otros tipos de entornos (por ejemplo, en un sistema basado en los sistemas que funcionan en tiempo real). Las técnicas de la presente invención pueden usarse para cualesquiera aplicaciones que se desee, incluyendo un sistema de transmisión sin hilos tal como los dispositivos de comunicaciones móviles o celulares u otro tipo de dispositivos sin hilos. Ejemplos de sistemas donde puede utilizarse la presente invención incluyen, pero sin limitarse a estos, GSM, GPRS, EDGE, TDMA, PCS, DCS o cualquier sistema de comunicaciones configurado de forma similar.

La Fig. 1 es un diagrama de bloques de un aparato de comunicaciones móviles 10. Obsérvese que la Fig. 1 muestra el aparato 10 en general, y que tal aparato incluirá diversos otros componentes, como las personas especialistas en la técnica que tienen el beneficio de la descripción de la invención entienden. El aparato 10 mostrado en la Fig. 1 incluye una partición de circuitos 12 (por ejemplo, un circuito integrado (IC), dado, módulo multi-chip, encapsulado, cavidad EMI, etc.), incluyendo una banda base 14 y los circuitos del extremo de entrada de RF 16 (así como otros circuitos digitales y de RF). La banda base 14 generalmente funciona para controlar el funcionamiento del aparato 10, y puede incluir un microcontrolador, procesadores digitales de señales, circuitos lógicos, memoria, etc. Un procesador o controlador puede estar comprendido por múltiples procesadores, es decir, una pluralidad de elementos de procesamiento. Los circuitos del extremo de entrada de RF 16 generalmente proporcionan una interfaz al amplificador de potencia 18 (para facilitar la transmisión de señales) y la interfaz del extremo de entrada 20 (para el encaminamiento de las señales a y desde la antena). Por supuesto, la partición de los circuitos 12 incluye diversos otros circuitos digitales y de RF, tal como las personas especialistas en la técnica que tienen el beneficio de la descripción de la invención entienden. Cuando se transmiten señales, el amplificador de potencia 18 proporciona las señales amplificadas a la interfaz del extremo de entrada 20, que a continuación proporciona las señales amplificadas a la antena 22. Cuando se reciben señales, las señales se reciben por la antena 22, y se envían a los circuitos del extremo de entrada de RF 16, a través de la interfaz del extremo de entrada 20.

La Fig. 2 ilustra un conjunto de eventos que se producen en un sistema general de comunicaciones de acuerdo con la presente invención. El ejemplo mostrado en la Fig. 2 se refiere a un sistema que funciona de acuerdo con un protocolo TDMA. En términos generales, tienen lugar dos eventos alternos en este ejemplo: recepción o transmisión de RF, y procesamiento de señales. Dicho de otra manera, el sistema dispone en el tiempo las actividades de recepción o transmisión de RF y las actividades de procesamiento de señal de modo que se evita o se reduce la interferencia entre los circuitos de RF y los circuitos del procesamiento digital de señales.

Refiriéndonos a la Fig. 2, los sistemas o aparatos de comunicaciones de acuerdo con las realizaciones de ejemplo de la invención usan una pluralidad de ranuras temporales de RF 30A, 30B, 30C, y así sucesivamente. Tales sistemas o aparatos también emplean una pluralidad de ranuras temporales de procesamiento de señal 32A, 32B, y así sucesivamente. Generalmente, durante las ranuras temporales de RF 30A-30C, el sistema o aparato (por ejemplo los circuitos del extremo de entrada de RF 16 mostrados en la Fig. 1) pueden recibir señales de RF o transmitir señales de RF, procesar las señales recibidas, y realizar cualquier otra manipulación deseada de los datos. Posteriormente, durante las ranuras temporales de procesamiento de la señal 32A-32B, el sistema o aparato (por ejemplo, la banda base 14) puede realizar las tareas de procesamiento de señales.

Como alternativa, durante las ranuras temporales de RF 30A-30C, el sistema o aparato puede transmitir señales de RF. En este modo de funcionamiento, durante las ranuras temporales de procesamiento de señal 32A-32B, el sistema o aparato (por ejemplo la banda base 14) realiza las tareas de procesamiento de señal (por ejemplo, voz, datos) y realiza cualquier otra manipulación deseada de los datos. Posteriormente, durante las ranuras temporales de RF 30A-30C, el sistema o aparato (por ejemplo, los circuitos del extremo de entrada de RF 16) pueden procesar señales de transmisión y realizar operaciones de RF (por ejemplo, la conversión hacia arriba) y transmitir una señal de RF.

Obsérvese que las tareas de procesamiento de señales realizadas durante las ranuras temporales de procesamiento de señal 32A-32B constituyen diversas funciones de procesamiento de la señal en un aparato de comunicaciones de RF. Ejemplos de tales tareas incluyen la modulación, codificación, decodificación y similares. Obsérvese también que dependiendo del protocolo específico, la arquitectura y los circuitos utilizados, el sistema o aparato puede recibir y transmitir simultáneamente, como se desee. Aunque, típicamente, el sistema o transmite señales o recibe señales durante cualquiera de las ranuras temporales de RF, o en impulsos. Por ejemplo, un sistema o aparato conforme con el GSM, tal como un teléfono móvil, o recibe o transmite señales de RF en uno o más impulsos de actividad durante ranuras temporales de RF. Obsérvese que las ranuras temporales de RF y de procesamiento de señal pueden solaparse o de otro modo variar de lo que se muestra en la Fig. 2. También, las posiciones de las ranuras temporales de RF o de procesamiento de señal en una trama GSM pueden cambiar con el tiempo.

Obsérvese que las ranuras temporales de RF 30A-30C mostradas en la Fig. 2 pueden tener la misma o diferentes duraciones, según se desee. Generalmente, las ranuras temporales de RF 30A-30C pueden tener longitudes desiguales de modo que se acomodan a una amplia diversidad de circuitos, sistemas, protocolos, y especificaciones, como se desee. Cada una de las ranuras temporales de RF 30A-30C puede incluir varias otras ranuras temporales de RF o una trama, dependiendo de la técnica o protocolo particular de comunicaciones utilizado. Por ejemplo, en una aplicación GSM, cada uno de los periodos de RF puede incluir una ranura GSM, ranuras múltiples, o múltiples tramas utilizadas para transmitir, recibir o monitorizar.

ES 2 341 018 T3

De forma similar, las ranuras temporales de procesamiento de señal 32A-32B mostradas en la Fig. 2 pueden tener duraciones similares o no similares, como se desee. Generalmente, las ranuras temporales de procesamiento de señal pueden tener longitudes desiguales de modo que se acomoden a una amplia disposición de aparatos de procesamiento de señal, circuitos, algoritmos, y técnicas de procesamiento. Cada una de las ranuras temporales de procesamiento de señal 32A-32B puede incluir varias otras ranuras temporales o divisiones en el tiempo, dependiendo del protocolo de comunicaciones en particular y/o técnicas de procesamiento de señal y los circuitos particulares y tecnología utilizada.

Además, las tareas de procesamiento de señal pueden realizarse en un modo serie o multiplexado (por ejemplo, compartiendo hardware para realizar una diversidad de tareas), en un modo en paralelo (por ejemplo, usando hardware dedicado para cada una de las tareas de procesamiento de señales), o en una combinación de las dos técnicas, como se desee. La elección del hardware, el programa de control, y el software del procesamiento de señal depende del diseño y las especificaciones de prestaciones para una implementación deseada determinada, como las personas especialistas en la técnica que tienen el beneficio de la descripción de la invención entienden.

Para cumplir el aislamiento ilustrado en la Fig. 2, los circuitos de RF y los circuitos de procesamiento de señal pueden activarse y desactivarse, en correspondencia con las transiciones desde una ranura temporal a la otra. La activación y desactivación puede realizarse en una diversidad de modos. Como se ha mencionado anteriormente, otro aspecto de la presente invención se refiere a las técnicas para parar y arrancar de forma eficaz los procesadores y otros circuitos.

Parar y arrancar de forma eficaz un procesador de propósito general y/o procesador digital de señales presenta varios retos. Es deseable parar de forma segura un procesador con un mínimo de latencia, de modo que pueda asignarse una cantidad máxima de tiempo para tareas de procesamiento mientras que la radio (u otros circuitos de RF) no está en uso. Simplemente parar un reloj a un procesador puede dejar al procesador (así como el bus del procesador, las memorias, o los dispositivos periféricos) en un estado inválido, o en un estado del que puede que no sea capaz de volver a un funcionamiento normal. Implementando cuidadosamente el procedimiento de parada (por ejemplo, los procedimientos descritos más adelante), los buses están bien adaptados al movimiento de los datos. Además, con un procedimiento de parada eficiente, el tiempo invertido antes del uso de la radio pueda usarse de forma más eficaz, donde las tareas deseadas de preparación para el uso de la radio pueden producirse tan próximas al comienzo de la radio como sea posible. En un ejemplo, el estado de los procesadores mientras se usa la radio se mantiene, pero puede también transitar rápidamente de vuelta al funcionamiento normal después del uso de la radio. Un procedimiento de re-arranque del procesador eficaz minimizaría el tiempo que el procesador invertirá en el re-arranque, permitiendo más tiempo para el procesamiento de otras tareas.

Cuando se implementan los procedimientos de parada y arranque, hay varias consideraciones que deben tenerse en cuenta. De nuevo, como se ha descrito anteriormente, para mantener las mejores prestaciones de RF, el ruido asociado con la conmutación lógica digital debería controlarse durante los instantes críticos (por ejemplo, cuando la radio está transmitiendo o recibiendo). Un método para controlar el ruido de conmutación digital es parar todas las conmutaciones, o al menos minimizarlas. Idealmente, las técnicas de parada y arranque deberían ser seguras para todo el sistema, de modo que no se impacten los estados de las líneas de distribución del procesador por relojes espurios, por ejemplo. Es también deseable parar el procesador en un instante específico, ya que el uso de la radio se dicta por una programación prescrita. Es deseable parar el procesador tan rápidamente como sea posible para maximizar la cantidad de tiempo que el procesador está disponible para procesar las tareas.

Aunque las técnicas de la presente invención para parar y arrancar de forma eficaz uno o más procesadores pueden implementarse de varias formas, a continuación hay una descripción de técnicas de parar y arrancar un procesador que se controlan usando una arquitectura de interrupciones. Generalmente, una interrupción es una señal recibida por un procesador que causa una parada temporal en la ejecución de un programa mientras que se realizan alguna otra tarea. Después de que se realiza la tarea, el control vuelve al programa original. Si se reciben múltiples interrupciones, las interrupciones se sirven en base a un sistema de prioridades, donde las interrupciones con la prioridad más altas se sirven primero. Es común para un sistema en tiempo real (por ejemplo, un teléfono móvil, etc.) utilizar interrupciones para controlar el funcionamiento del sistema. Tal sistema puede incluir un procesador, un programa manejador de interrupciones, un controlador de interrupciones, y un secuenciador, o generador de interrupciones.

La Fig. 3 es un diagrama de bloques de un sistema de control de interrupciones que puede usarse con la presente invención. El sistema 40 incluye un microcontrolador (MCU) 42, que puede ser parte de la banda base 14 mostrada en la Fig. 1. El MCU 42 mostrado en la Fig. 3 incluye una memoria 44, una caché 46, y una lógica de interrupciones 48. La memoria 44 y la caché 46 se usan para almacenar información para su uso por el MCU 42. El MCU 42 puede también hacer uso de una memoria o caché acopladas externamente. La lógica de interrupciones 48 está acoplada a un controlador de interrupciones 50 por la línea 52. El controlador de interrupciones 50 está también acoplado a un bus del MCU 54, que está también acoplado al MCU 42. Un temporizador del sistema 56 está también acoplado al bus del MCU 54, así como al controlador de interrupciones 50 a través de la línea 58. El temporizador del sistema 56 actúa como un secuenciador, o un generador de interrupciones para generar interrupciones para el controlador de interrupciones 50. La Fig. 3 también muestra dos dispositivos periféricos representativos 60 y 62, que están acoplados con el bus del MCU 54 y al controlador de interrupciones 50 a través de las líneas 64 y 66, respectivamente. Puede usarse cualquier número de periféricos deseados soportados por el sistema. Ejemplos de

dispositivos periféricos incluyen, pero sin limitarse a estos, una UART, una interfaz de tarjeta SIM, un controlador de DMA, fuentes de interrupción externas, etc.

5 En la realización mostrada en la Fig. 3, las interrupciones pueden generarse por el temporizador del sistema 56, los dispositivos periféricos 60 y 62, así como otros dispositivos que no pueden mostrarse en la Fig. 3. Cuando se reciben una o más interrupciones por el controlador de interrupciones 50, el controlador de interrupciones 50 determina qué camino de procesamiento tomar a continuación, dependiendo al menos parcialmente de las prioridades relativas de las interrupciones recibidas. El controlador de interrupciones 50 a continuación envía señales de control a la lógica de interrupciones 48 del MCU 42 a través de la línea 52.

10 Generalmente, la presente invención para y arranca de forma eficaz un procesador proporcionando (1) un modo para disparar una transición; y proporcionando (2) procedimientos para parar y arrancar de forma eficaz el procesador. En un ejemplo, se dispara una transición generando y dando servicio a una interrupción de una prioridad relativamente alta (descrita con más detalle más adelante). Una ventaja de usar esta técnica de disparo es que puede mantenerse el código heredado preexistente, mientras que se consiguen los objetivos deseados. Una vez recibida la interrupción de prioridad relativamente alta, el procesador se para o arranca de tal modo que el procesador puede operar en un modo de procesamiento normal, y con baja potencia, bajo ruido, un modo de estado similar a dormido (descrito con más detalle más adelante).

20 En un ejemplo, la presente invención configura una primera interrupción de prioridad relativamente alta que se generará cuando se para el procesador (es decir, inmediatamente antes de usar la radio). Se configura una segunda interrupción de prioridad relativamente alta que se generará cuando el procesador se re-arranca (es decir, inmediatamente después de usar la radio). La Fig. 4 es un diagrama que ilustra un mapa de interrupciones heredadas típico. La Fig. 4 lista N interrupciones (etiquetadas de 1 hasta N), clasificadas por prioridad, donde la interrupción 1 tiene la prioridad más alta, y la interrupción N tiene la prioridad más baja. Las prioridades de las interrupciones se etiquetan de 0 hasta N-1, donde los números más bajos corresponden a las prioridades más altas.

30 Como se ha mencionado anteriormente, la presente invención puede implementarse sin perturbar el código heredado preexistente (es decir, el código correspondiente a las N interrupciones ilustradas en la Fig. 4). La Fig. 5 es un diagrama que ilustra un mapa de interrupciones, que incluye dos nuevas interrupciones utilizadas para disparar la parada y arranque del procesador. Como la Fig. 4, la Fig. 5 lista las N interrupciones heredadas (nombradas de 1 hasta N). También se muestran dos nuevas interrupciones (N+1 y N+2). Las nuevas interrupciones (N+1 y N+2) se recolocan de forma que tienen las máximas prioridades. En este ejemplo, la interrupción N+1 tiene la prioridad -1, que es mayor que todas las interrupciones heredadas normales. La interrupción N+1 puede indicarse también como la “interrupción -1”. En un ejemplo, la interrupción N+1 dispara una rutina de interrupción de parada (descrita más adelante) y se genera antes del uso de la radio. La interrupción N+2 tiene una prioridad de -2, que es más alta que todas las interrupciones normales heredadas, como con la interrupción N+1. La interrupción N+2 puede indicarse como la “interrupción -2”. En un ejemplo, la interrupción N+2 dispara una rutina de interrupción de re-arranque (descrita más adelante) y se genera después del uso de la radio. Obsérvese que los términos “interrupción -1” e “interrupción -2” son sólo simplemente nombres convenientes dados a las interrupciones y que puede usarse otra nomenclatura, como se desee. Generalmente, las dos nuevas interrupciones se configuran para tener una mayor prioridad que todas las interrupciones heredadas.

45 Como se ha mencionado, la presente invención puede usar cualesquiera procedimientos deseados para parar y arrancar un procesador. La Fig. 6 es un diagrama de flujo que ilustra el funcionamiento de la presente invención. El procesador comienza con las etapas 6-10, donde se generan una o más interrupciones y se reciben por el controlador de interrupciones. Generalmente, según se reciben las interrupciones, el controlador de interrupciones realizará una decisión como la siguiente etapa de procesamiento que tomará el procesador. Si se reciben múltiples interrupciones, se servirá primero la interrupción con la mayor prioridad. En la etapa 6-12, el proceso determina si se recibió una interrupción de parada (por ejemplo la interrupción -1 descrita anteriormente). Si no es así, (es decir, se recibió una interrupción heredada normal), el procesador procede a la etapa 6-14, donde se procesa la nueva interrupción. En el caso de que no se haya completado aún una interrupción de mayor prioridad recibida anteriormente, se continúa este procesamiento. El proceso vuelve a continuación a la etapa 6-10. Obsérvese que, entre las interrupciones recibidas, el procesador está realizando tareas generales de procesamiento. Si, en la etapa 6-12, se determinó que se recibió una interrupción de parada (interrupción -1) (es decir, el uso de los circuitos de RF está a punto de comenzar), entonces el procesador procede a las etapas 6-16, donde se procesa la rutina del servicio de interrupción de parada.

60 La Fig. 7 (descrita más adelante) ilustra una realización de una rutina del servicio de la interrupción de parada. Como se describe más adelante con respecto a la Fig. 7, después de la etapa 6-16, el procesador espera una interrupción de re-arranque (la instrucción -2). En un ejemplo, la interrupción -2 no se puede enmascarar, de modo que la interrupción no puede enmascarse dentro del controlador de interrupciones. Una vez que se recibe una interrupción de re-arranque, el proceso procede a la etapa 6-20, donde se procesa la rutina del servicio de la interrupción de re-arranque.

65 La Fig. 8 (descrita más adelante) ilustra una realización de una rutina de servicio de la interrupción de re-arranque. En un ejemplo alternativo, en lugar de usar la interrupción -2, puede usarse un temporizador para disparar el proceso de re-arranque, ya que la longitud de la ranura temporal de RF debería conocerse. De forma similar, podría usarse un temporizador para determinar cuando comienza un impulso, o puede usarse para disparar la interrupción -1. Después

de que se ha completado la rutina de servicio de la interrupción de re-arranque, el proceso vuelve a la etapa 6-10. Obsérvese que el proceso ilustrado en la Fig. 6 muestra sólo un ejemplo, y que son posibles muchos otros ejemplos dentro del espíritu y el alcance de la presente invención.

5 La Fig. 7 ilustra una realización de la recepción de una interrupción de parada y la rutina de servicio de la interrupción de parada. El propósito principal de la rutina de servicio de la interrupción de parada es transitar rápidamente el procesador a un estado estable conocido. En este ejemplo, el procesador comienza en la etapa 7-10 donde se recibió la interrupción de parada. En la etapa 7-12, se deshabilita la capacidad de generar interrupciones de prioridad más baja (por ejemplo, las interrupciones heredadas normales de 1 a N mostradas en la Fig. 4). El propósito de esta etapa es impedir que se envíen interrupciones adicionales al procesador mientras que se está usando la radio, causando que el procesador se re-arranque de forma inesperada.

15 A continuación, en la etapa 7-14, pueden dejarse en reposo cualesquiera buses no necesarios. De forma similar, la capacidad de acceder a la memoria (por ejemplo, la RAM) se limita al procesador. Además, si se desea, cualesquiera dispositivos periféricos que no estén diseñados para operar durante el uso de la radio pueden aislarse del procesador. El aislamiento de los dispositivos periféricos del procesador puede conseguirse en respuesta a la interrupción de parada, o puede conseguirse de forma separada desde el proceso representado en la Fig. 7. Ejemplos de técnicas de parada de un bus y aislamiento de los dispositivos periféricos se describen en la Solicitud de Patente de los Estados Unidos N° de Serie 10/814.426, presentada el 31 de marzo de 2004, Expediente del Mandatario N° 5797-00500, titulada "COMMUNICATION APPARATUS IMPLEMENTING TIME DOMAIN ISOLATION WITH RESTRICTED BUS ACCESS", que se incorpora por referencia en este documento.

20 En la etapa 7-16, el procesador termina cualquier procesamiento necesario para prepararse para el uso de la radio. A continuación, en la etapa 7-18, se instruye al procesador para que espere una interrupción. La espera de la instrucción de interrupción es una instrucción general que causa que el procesador se pare esencialmente tal tiempo hasta que se reciba una interrupción por el procesador. Como no puede generarse ninguna interrupción de prioridad inferior, las operaciones normales del procesador se paran. En otro ejemplo, el procesador puede pararse instruyendo al procesador de que espere a que un bit se fije a uno. La combinación de estas tareas da como resultado un entorno del procesador silencioso.

30 Como no hay operaciones adicionales sobre el procesador, el reloj del procesador puede inhibirse (etapa 7-20) sin necesidad de coordinar con precisión el instante de parada del reloj entre el procesador, el bus del procesador, las memorias y los periféricos. Esto desacopla esencialmente la parada y arranque del reloj de la parada y arranque del procesador. Hay numerosos modos de deshabilitar una señal de reloj. En un ejemplo, la señal de reloj puede deshabilitarse bloqueando la fuente de reloj. En otro ejemplo, la señal de reloj puede deshabilitarse eliminando la afirmación de la habilitación del reloj desde los elementos de mantenimiento del estado. Obsérvese que las etapas perfiladas en la Fig. 7 pueden realizarse en un orden diferente, como se desee. Tampoco se requieren todas las etapas, dependiendo del sistema, los requisitos de ruido, etc. De forma similar, podrían incluirse otras etapas en el proceso.

40 En otro ejemplo, el procesador puede deshabilitarse simplemente parando el reloj del procesador, y esperando que todo esté bien cuando vuelva la señal de reloj. Este método parecería menos fiable que el método ilustrado en la Fig. 7. En otro ejemplo es posible que el código esté en la función correcta para parar el procesador precisamente en el momento correcto del mismo modo que se ha descrito, mediante el uso de espera de la instrucción de interrupción. En este ejemplo, el método depende de las tareas ejecutadas sobre el procesador para sincronizarle con la base de tiempos de la red. Aunque este método funcionaría, puede desearse un nuevo protocolo software para su implementación. Si se intenta el uso de una simple parada del reloj, sería posible tener la sincronización de todos los dominios de reloj para asegurar que ningún dominio recibió relojes adicionales con relación a los otros.

50 La Fig. 8 ilustra una realización de la recepción de una interrupción de re-arranque y una rutina de servicio de una interrupción de re-arranque. El propósito principal de la rutina de servicio de la interrupción de re-arranque es re-arrancar el procesador tan rápidamente como sea posible. Como el procesador se ha instruido para que espere una interrupción, y las interrupciones de propósito general se han deshabilitado, entonces el procesador esperará hasta que se reciba la interrupción de re-arranque. En este ejemplo, el proceso comienza en la etapa 8-10, donde se recibe la interrupción de re-arranque. En la etapa 8-12, el reloj del procesador está habilitado, y se restaura el reloj a los circuitos internos del procesador. En la etapa 8-14, se realiza cualquier procesamiento deseado anterior a la vuelta al funcionamiento normal. Además, el procesador puede realizar las operaciones de movimiento de datos que puedan desearse para satisfacer las necesidades de movimiento de datos periféricos. A continuación, en la etapa 8-16, puede habilitarse cualesquiera buses deshabilitados. También puede habilitarse el acceso total a la memoria. Los dispositivos periféricos se habilitan en este instante para usar los recursos del sistema. En la etapa 8-18, se habilitan las interrupciones generales. Por último, en la etapa 8-20, se restaura el contexto para las tareas normales del sistema que estuviesen corriendo inmediatamente antes de las interrupciones del uso de la radio. Obsérvese que las etapas perfiladas en la Fig. 8 pueden realizarse en un orden diferente, como se desee. También, no todas las etapas son deseables, dependiendo del sistema, de los requisitos de ruido, etc. De forma similar, también podrían incluirse otras etapas en el proceso.

65 Refiriéndonos más específicamente al ejemplo de una aplicación GSM, la Fig. 9 muestra un ejemplo de trama de datos GSM 70 y la temporización relativa de las interrupciones de parada y re-arranque. La trama 70 incluye 8 ranuras, que pueden corresponder a impulsos de datos. En un ejemplo, para la voz de GSM, la ranura 2 representa una ranura de

recepción, la ranura 4 es una ranura de monitorización, y la ranura 6 constituye una ranura de transmisión. Las ranuras restantes no se usan para la actividad de RF. Por supuesto, las ranuras de transmisión, recepción, y monitorización podrían estar también en posiciones diferentes. Además, es posible tener múltiples ranuras de transmisión o recepción en la misma trama. En la trama GSM de ejemplo, y refiriéndonos a la discusión de la Fig. 2 anterior, las ranuras 2, 4 y 6 son ranuras temporales de RF, siendo las restantes ranuras, en el contexto de este ejemplo, ranuras temporales de procesamiento de señal. Para cada una de las ranuras temporales de RF, la Fig. 9 también muestra la temporización relativa de las interrupciones -1 y -2 (una vista más detallada de la temporización relativa de las interrupciones -1 y -2 se muestra en la Fig. 10). Como se muestra, la interrupción -1 se genera ligeramente antes del comienzo de cada una de las ranuras temporales de RF, debido al tiempo utilizado para procesar la rutina de servicio de la interrupción de parada (véase la Fig. 7). De forma similar, la interrupción -2 se genera después del final de cada una de las ranuras temporales de RF para re-arrancar el procesador. La temporización precisa de las interrupciones puede variar, como se desee.

La Fig. 10 es un diagrama de temporización que ilustra el contexto de funcionamiento del sistema para una ranura temporal de RF. Obsérvese que el diagrama en la Fig. 10 no está a escala, y que se usa simplemente para ilustrar la temporización relativa de los diversos elementos mostrados. En la Fig. 10, la línea superior representa la espera para el estado de interrupción, que comienza durante la rutina de servicio de la interrupción de parada (etapa 7-18 de la Fig. 7) y termina cuando se recibe la interrupción de re-arranque -2 (etapa 8-10 de la Fig. 8). Como se muestra en la Fig. 10, antes de la interrupción -1, el sistema procesa las tareas normales heredadas. En algún instante entre la interrupción -1 y la interrupción -2, están en uso los circuitos de RF, y la manejador -1 pone el procesador en el estado similar al reposo. La interrupción -2 inicia el manejador -2, que re-arranca el procesador. Parte de la función del manejador -2 es para terminar el manejador -1. Por último, el sistema procesa de nuevo las tareas normales heredadas.

En los ejemplos en los que el DSP está aislado en el dominio del tiempo de las otras partes del aparato (por ejemplo, aislando el DSP de los circuitos de RF), la presente invención puede incluir características adicionales. Por ejemplo, durante los tiempos en los que puede ser deseable parar el DSP, un aparato puede recibir información para procesar por el DSP. En un aparato de telefonía móvil, por ejemplo, el aparato puede recibir señales de RF mientras que los circuitos de RF (por ejemplo, el transceptor) está funcionando y el DSP está inhibido. Las fuentes que proporcionan datos al DSP, o reciben datos desde el DSP, pueden continuar teniendo necesidades de datos que pueden necesitar procesarse mientras que el DSP está parado. Por lo tanto, un sistema que usa la presente invención debería gestionar los datos, cuando se necesite. A continuación hay una descripción detallada de una realización de la presente invención aplicada al DSP.

Como se ha descrito anteriormente, la presente invención proporciona técnicas para el aislamiento de los circuitos de procesamiento de señal de los circuitos de RF, que residen sobre la misma partición del circuito (por ejemplo, un IC, etc.). La Fig. 11 es un diagrama de bloques de un sistema de control de interrupciones 80. El sistema 80 incluye un procesador digital de señales (DSP) 82. El DSP 82 está acoplado a un controlador de interrupciones 84 por las líneas 86. Cada una de las líneas 86 está acoplada a una de las entradas de interrupción INT0, INT1, e INT2 del DSP 82. Las entradas de interrupción descritas son simplemente ejemplos, y también pueden usarse otras configuraciones y notaciones. Un temporizador del sistema 88 está acoplado con el controlador de interrupciones 84. El temporizador del sistema 88 actúa como un secuenciador, o un generador de interrupciones para generar interrupciones para el controlador de interrupciones 84. En un ejemplo, el temporizador del sistema 88, es el mismo temporizador del sistema que se usa con otras partes del aparato (por ejemplo, el temporizador del sistema 56 mostrado en la Fig. 3). En otro ejemplo, el temporizador del sistema 88 está separado. El controlador de interrupciones 84 puede también estar acoplado con uno o más dispositivos periféricos 90, que pueden también generar interrupciones para el controlador de interrupciones 84.

La Fig. 11 también muestra también la lógica de gestión del reloj 92 acoplada al DSP 82. La lógica de gestión del reloj 92 proporciona una señal de reloj al DSP 82, que cuando se deshabilita, deshabilitará el DSP 82, forzando al DSP 82 a un modo de bajo ruido. Las conexiones entre el DSP 82, la lógica de gestión del reloj 92, y el controlador de interrupciones 84, permite al DSP 82 configurar cada uno de los dispositivos. Una entrada de RF (ENTRADA DE RF) está acoplada al DSP 82 para proporcionar una fuente de señales de entrada de RF (por ejemplo, desde los circuitos del extremo de entrada de RF, no mostrados).

En la realización mostrada en la Fig. 11, las interrupciones pueden generarse por el temporizador del sistema 88, así como por otros dispositivos (por ejemplo, los dispositivos periféricos 90). Las interrupciones desde el temporizador del sistema 88 se proporcionan al controlador de interrupciones 84 a través de las líneas 100, 102, y 104. En un ejemplo, la línea 100 se usa para enviar la interrupción de parada, la línea 102 se usa para enviar la interrupción de re-arranque, y la línea 104 se usa para enviar otras interrupciones (por ejemplo, las interrupciones heredadas).

Cuando se reciben una o más interrupciones por el controlador de interrupciones 84, las interrupciones se pasan sobre el DSP 82 a través de las líneas 86. En un ejemplo, se usa la entrada de interrupción INT0 para las interrupciones de parada y re-arranque. Las entradas de interrupción INT1 e INT2 se usan para otras interrupciones de prioridad inferior. El DSP 82 está configurado de tal modo que las interrupciones recibidas en la entrada INT0 tienen la prioridad más alta, las interrupciones recibidas en la entrada INT1 tienen la siguiente prioridad más alta, y las interrupciones recibidas en la entrada INT2 tienen la prioridad más baja.

ES 2 341 018 T3

Una ventaja de utilizar un esquema de interrupciones multinivel es que puede usarse un controlador de interrupciones menos complejo. En otro ejemplo, el DSP 82 usa una entrada de interrupción única para recibir todas las interrupciones desde el controlador de interrupciones 84.

5 Como se ha descrito anteriormente con mayor detalle, la presente invención puede parar y arrancar de forma eficaz un DSP proporcionando (1) un modo de disparar una transición; y proporcionando (2) procedimientos para parar y arrancar de forma eficaz el DSP. En un ejemplo, se dispara una transición generando y sirviendo una interrupción de una prioridad relativamente alta. Cuando se recibe la interrupción de prioridad relativamente alta, el DSP se para o se arranca de modo que el procesador puede operar en un modo de procesamiento normal, y un modo de baja potencia y bajo ruido.

10 En un ejemplo, la presente invención configura una primera interrupción (la interrupción de parada o "-1") de prioridad relativamente alta que se generará cuando el DSP está parado (es decir, inmediatamente antes del uso de la radio). Se configura una segunda interrupción (la interrupción de re-arranque o "-2") de prioridad relativamente alta que se generará cuando se re-arranca el DSP (es decir, inmediatamente después de usar la radio). En un ejemplo, las interrupciones pueden priorizarse como sigue; las interrupciones de parada y re-arranque tienen la siguiente máxima prioridad, las interrupciones del temporizador del sistema heredadas tienen la siguiente prioridad más alta; y las otras interrupciones de periféricos tienen la prioridad más baja.

15 Las interrupciones -1 y -2 descritas anteriormente para uso en la inhibición del MCU 42, y las interrupciones -1 y -2 para su uso en la inhibición del DSP 82 se generan de forma separada en un ejemplo, ya que los requisitos de temporización (por ejemplo, el pre-procesamiento deseado, etc.) pueden ser diferentes para el MCU 42 y el DSP 82. En otro ejemplo, las interrupciones -1 y -2 pueden ser las mismas, como se desee.

20 La Fig. 12 es un diagrama de flujo que ilustra un ejemplo del funcionamiento de la presente invención ilustrado en la Fig. 11. El proceso comienza con las etapas 12-10, donde se generan una o más interrupciones y se reciben por el controlador de interrupciones 84. Generalmente, según se reciben las interrupciones, el controlador de interrupciones realizará una decisión como la siguiente etapa de procesamiento que tomará el DSP. Si se reciben múltiples interrupciones, se servirá primero la interrupción con la máxima prioridad. También, si se recibe una interrupción de parada o de re-arranque, se envía al DSP 82 a través de la entrada INTO, en el ejemplo mostrado en la Fig. 11. En la etapa 12-12, el proceso determina si se recibió una interrupción de parada (por ejemplo, la interrupción -1 descrita anteriormente) desde el temporizador del sistema 88. Si no es así, (es decir, se recibió una interrupción heredada normal), el proceso procede a la etapa 12-14, donde se procesa la nueva interrupción. En el caso de que no se haya completado aún una interrupción de mayor prioridad recibida anteriormente, se continuará con este procesamiento. Obsérvese que mientras que se procesan las interrupciones en la etapa 12-14, el procesamiento de la interrupción puede pre-vaciarse por la recepción de una interrupción más alta. El proceso vuelve a continuación a la etapa 12-10. Obsérvese que, entre las interrupciones recibidas, el DSP está realizando tareas de procesamiento general.

25 Si en la etapa 12-12, se determinó que se recibió una interrupción de parada (interrupción -1) (es decir, la utilización de los circuitos de RF está próxima a comenzar), entonces comienza la rutina de servicio de la interrupción de parada. En la etapa 12-16, la capacidad de generar interrupciones de prioridad inferior se deshabilita. El propósito de esta etapa es impedir que se envíen interrupciones adicionales al DSP mientras que se está usando la radio, causando un re-arranque inesperado del DSP. A continuación, en la etapa 12-18, el DSP 82 termina cualquier procesamiento deseado necesario para prepararse para el uso de la radio. El DSP 82 puede realizar el pre-procesamiento para el DSP y los periféricos del DSP. Por ejemplo, el DSP 82 puede limpiar el almacenamiento de audio y configurar el sistema para gestionar las señales de RF mientras que el DSP 82 está deshabilitado.

30 A continuación, en la etapa 12-20, el DSP 82 configura la interrupción de re-arranque como la fuente para reactivar al reloj del DSP. En la etapa 12-22, el reloj del DSP está deshabilitado a través de la lógica de gestión del reloj 92. A continuación, en la etapa 12-24, el sistema espera la interrupción de re-arranque (la interrupción -2). Durante el tiempo en el que el DSP 82 está deshabilitado, cualesquiera otras interrupciones que puedan generarse (por ejemplo, desde los dispositivos periféricos 90) están enmascaradas, para impedir que las interrupciones re-arranquen el reloj del DSP. La máscara de las interrupciones se configura para dejar pasar la interrupción de re-arranque. Durante el uso de la radio, cuando está deshabilitado el DSP 82 el sistema gestionará cualesquiera señales de entrada de RF que continúen. Después del uso de la radio, el DSP procesará las señales. Como resultado, los datos no se perderán como resultado de que el DSP 82 está deshabilitado. Como el DSP 82 está deshabilitado parte del tiempo, el DSP 82 puede configurarse para procesar las señales a una tasa más rápida de la que se necesitaría si nunca se deshabilitase. En un ejemplo, el DSP 82 está configurado para procesar señales a una tasa de datos que es mayor que la tasa a la cual se generan los datos.

35 Una vez que se recibe una interrupción de re-arranque, se procesa la rutina de servicio de la interrupción de re-arranque. Cuando se genera la interrupción de re-arranque por el temporizador del sistema 88, se recibe la interrupción por la lógica de gestión del reloj 92, que a continuación habilitará el reloj del DSP (etapa 12-26). Por último, en la etapa 12-28, el DSP realiza el post-procesamiento para el DSP y los periféricos del DSP.

40 A partir de la descripción anterior es evidente que la presente invención puede implementarse de muchas formas para proporcionar diversas ventajas. Una nueva ventaja de la presente invención es que la invención proporciona un procesador capaz de minimizar el ruido creado por los circuitos digitales. Otra ventaja de la presente invención es

ES 2 341 018 T3

la provisión de la disponibilidad para una transición rápida desde el procesamiento de altas prestaciones a modos de bajo ruido y de viceversa, con una cantidad mínima de control. Además, los modos de bajo ruido no pueden sacarse accidentalmente, aunque podrían sacarse antes de lo esperado originalmente.

- 5 En la descripción detallada anterior, se ha descrito la invención con referencia a unas realizaciones específicas de ejemplo de la misma. Pueden realizarse diversas modificaciones y cambios sin apartarse del espíritu y alcance más amplios de la invención como se muestra en las reivindicaciones. La memoria descriptiva y los dibujos deben considerarse, por consiguiente, como ilustrativos más que en un sentido restrictivo.

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Un aparato de telefonía móvil (10) que comprende:

5 un transceptor adaptado para transmitir y recibir señales de RF;

un procesador digital de señales (DSP) (14, 82);

10 un controlador de interrupciones (50, 84) configurado para efectuar la operación del DSP (14, 82) de tal modo que al menos una porción del DSP (14, 82) está deshabilitada mientras que el transceptor está transmitiendo o recibiendo señales de RF; y

15 un secuenciador (56, 88) configurado para generar interrupciones para su uso por el controlador de interrupciones (50, 84), en el que el secuenciador (56, 88) genera una primera interrupción que causa que al menos una porción del DSP esté deshabilitado (14, 82), y en el que la primera interrupción tiene una mayor prioridad que las otras interrupciones relacionadas con el normal funcionamiento del aparato.

20 2. El aparato de telefonía móvil (10) de la reivindicación 1, en el que el secuenciador genera una segunda interrupción que habilita el DSP.

3. El aparato de telefonía móvil (10) de la reivindicación 2, en el que la segunda interrupción tiene una prioridad mayor que la primera interrupción.

25 4. El aparato de telefonía móvil (10) de la reivindicación 1, en el que el DSP (14, 82) se deshabilita al menos parcialmente, deshabilitando una o más señales de reloj.

30 5. El aparato de telefonía móvil (10) de la reivindicación 1, en el que el DSP (14, 82) y el transceptor residen sobre el mismo circuito integrado (12).

6. Un método para controlar un aparato de telefonía móvil (10) que transmite y recibe señales en impulsos, comprendiendo el método:

35 usar, entre impulsos, un procesador digital de señales (DSP) (14, 82) para procesar las señales de RF recibidas por el aparato (10); y

40 usar un secuenciador (56, 88) para generar una primera interrupción para parar, al menos parcialmente el DSP (14, 82) para minimizar el ruido en el aparato de telefonía móvil (10) durante los impulsos, en el que la primera interrupción tiene una prioridad más alta que las otras interrupciones relacionadas con el funcionamiento normal del aparato.

7. El método de la reivindicación 6, que comprende utilizar el secuenciador para generar una segunda interrupción que habilita el DSP, en el que la segunda interrupción tiene una prioridad más alta que la primera interrupción.

45 8. El método de la reivindicación 6, en el que una o más señales de reloj se deshabilitan durante los impulsos.

9. El método de la reivindicación 6, en el que el aparato se controla usando una pluralidad de interrupciones, y en el que al menos algunas de las interrupciones se deshabilitan durante los impulsos.

50 10. Un método de minimizar las interferencias entre un transceptor formado sobre un circuito integrado (12) y un procesador digital de señales (DSP) (14, 82) formado sobre el mismo circuito integrado, comprendiendo el método:

55 operar el DSP (14, 82) en un primer modo de funcionamiento cuando el transceptor no está transmitiendo o recibiendo señales; y

60 operar el DSP (14, 82) en un segundo modo cuando el transceptor está transmitiendo o recibiendo señales, en el que la transición desde el primer modo al segundo modo se inicia por una primera interrupción generada por un secuenciador (56, 88), en el que la primera interrupción tiene una prioridad más alta que las otras interrupciones relacionadas con el funcionamiento normal del aparato.

11. El método de la reivindicación 10, en el que las porciones de DSP (12, 82) se deshabilitan cuando funcionan en el segundo modo para minimizar la interferencia entre el DSP (14, 84) y el transceptor.

65 12. El método de la reivindicación 10, que comprende además inhibir una o más señales de reloj acopladas al DSP (14, 82) cuando funciona en el segundo modo.

ES 2 341 018 T3

13. El método de la reivindicación 10, que comprende además generar la primera interrupción.

14. El método de la reivindicación 10, que comprende además generar una segunda interrupción que causa que el DSP funcione en el primer modo.

5

15. El método de la reivindicación 13, en el que la segunda interrupción tiene una prioridad más alta que la primera interrupción.

10

15

20

25

30

35

40

45

50

55

60

65

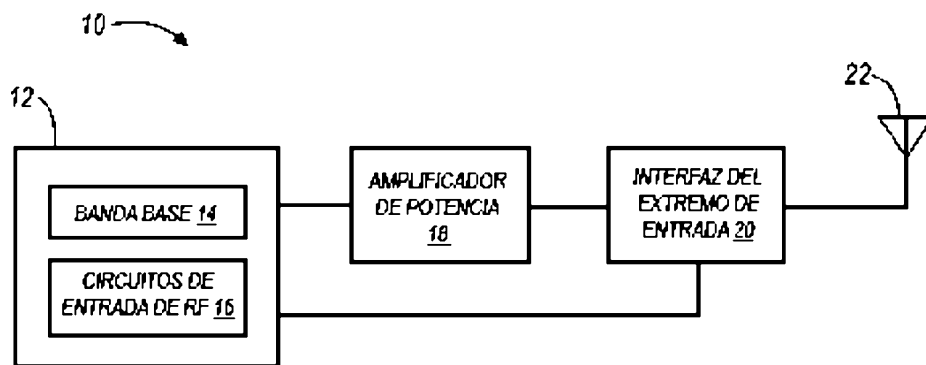


FIG. 1

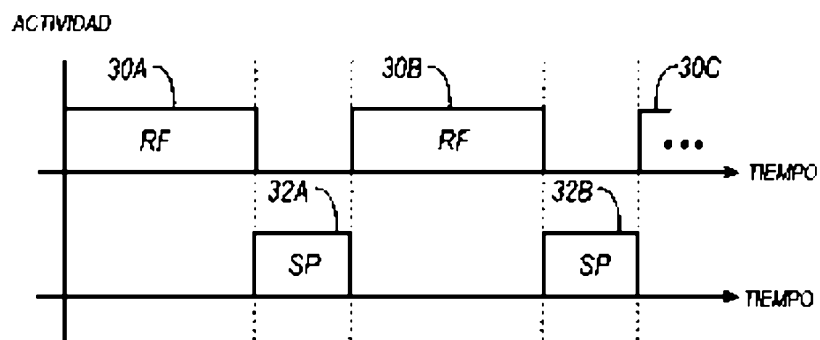


FIG. 2

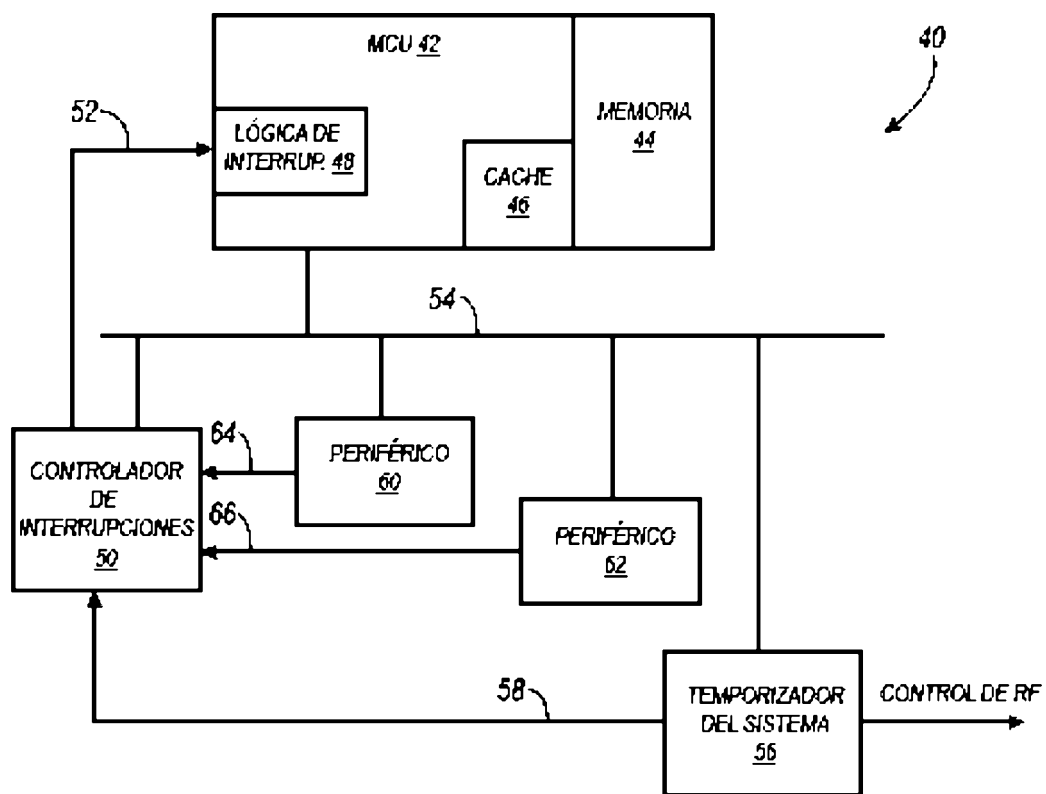


FIG. 3

	<u>INTERRUPCIÓN</u>	<u>PRIORIDAD</u>
INTERRUPCIONES DEL SISTEMA HEREDADAS	1	0 (PRIORIDAD MÁS ALTA)
	2	
	3	:
	⋮	⋮
	N	N-1 (PRIORIDAD MÁS BAJA)

FIG. 4

	<u>INTERRUPCIÓN</u>	<u>PRIORIDAD</u>
INTERRUPCIONES ARRANQUE/PAUSA	N+2	-2 (PRIORIDAD MÁS ALTA)
	N+1	-1
INTERRUPCIONES DEL SISTEMA HEREDADAS	1	0
	2	
	3	:
	⋮	⋮
	N	N-1 (PRIORIDAD MÁS BAJA)

FIG. 5

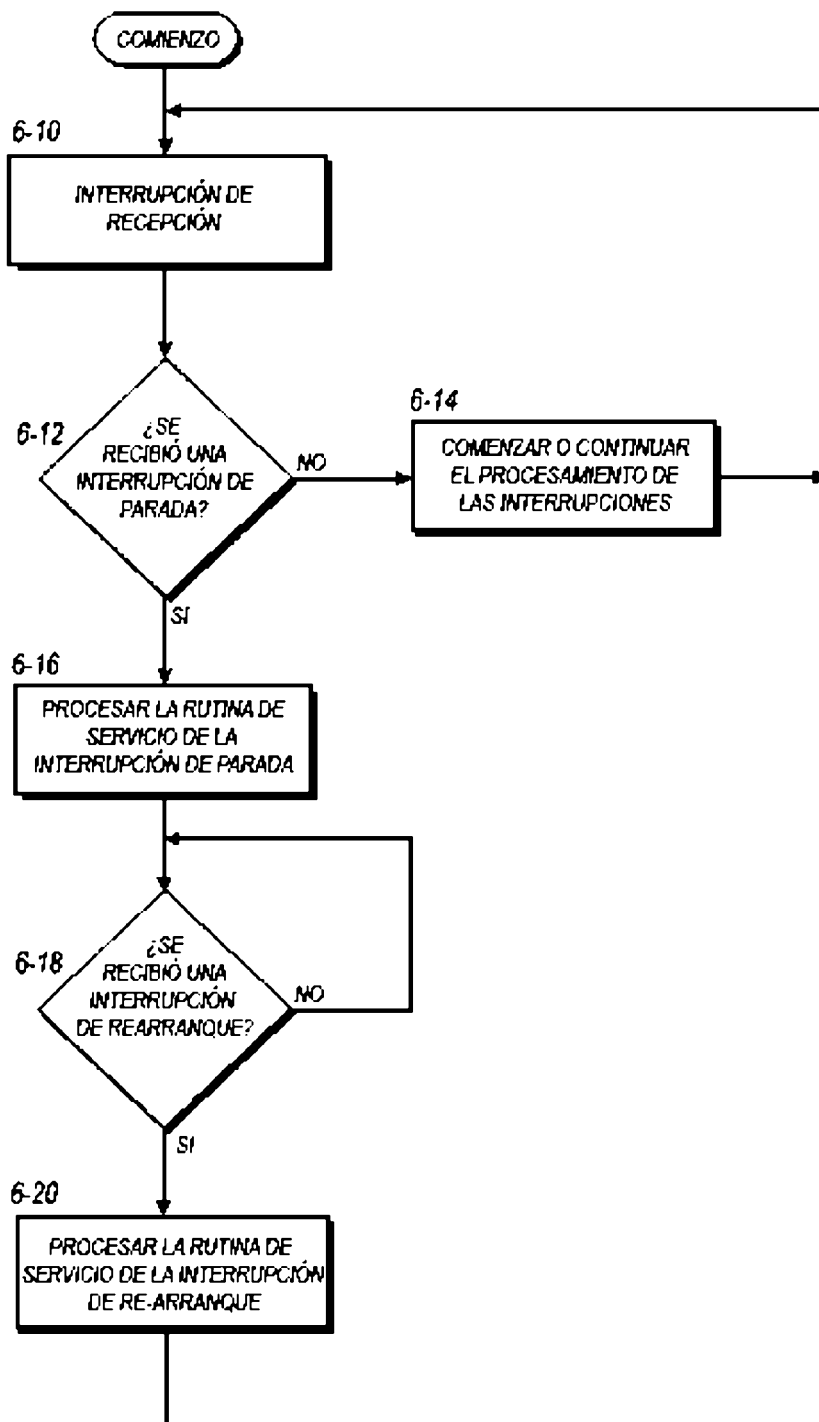


FIG. 6

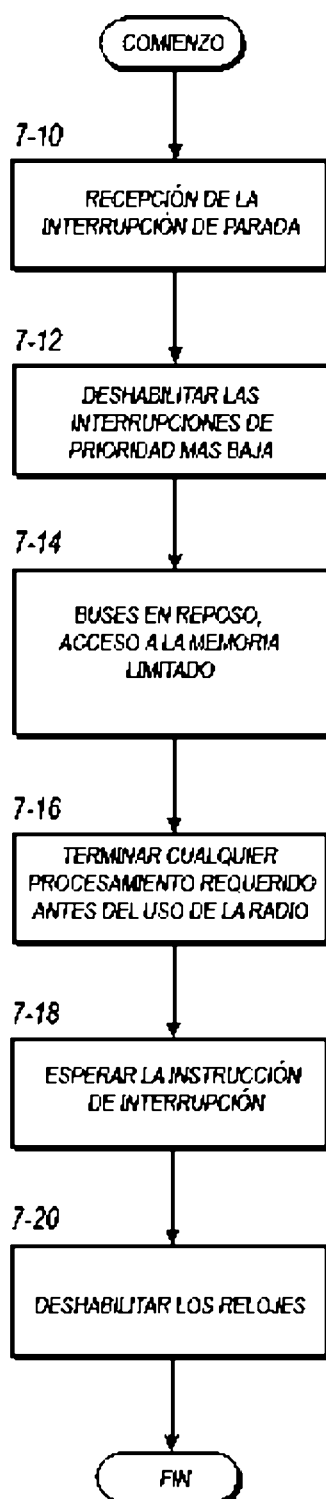


FIG. 7

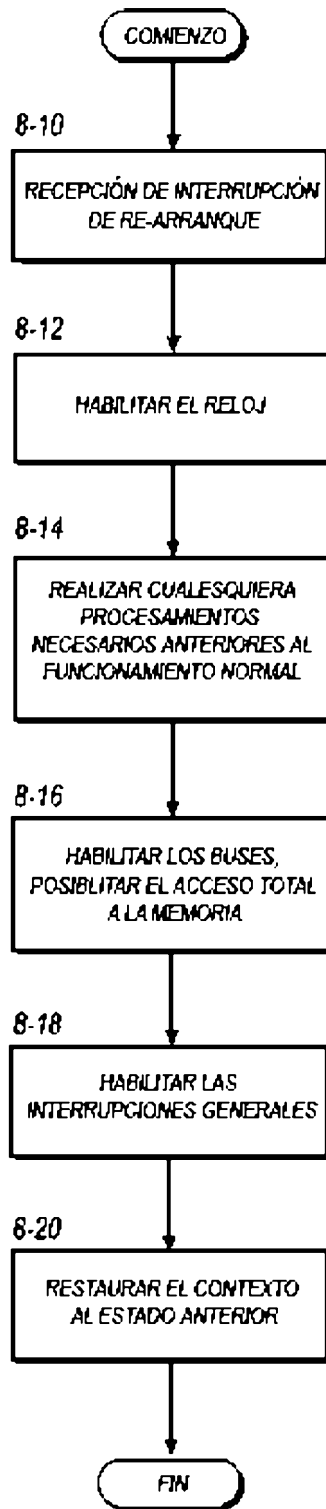


FIG. 8

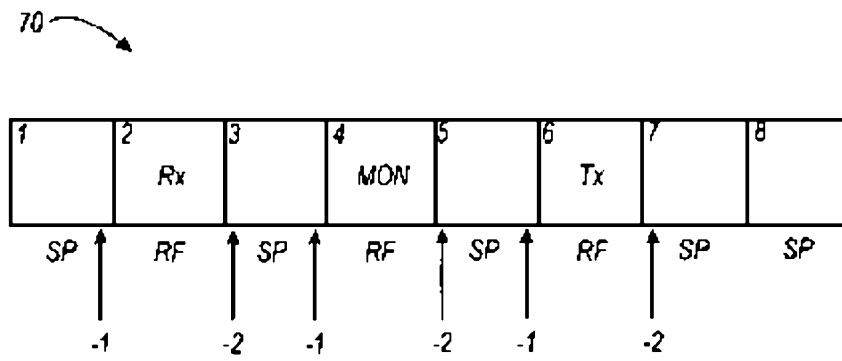


FIG. 9

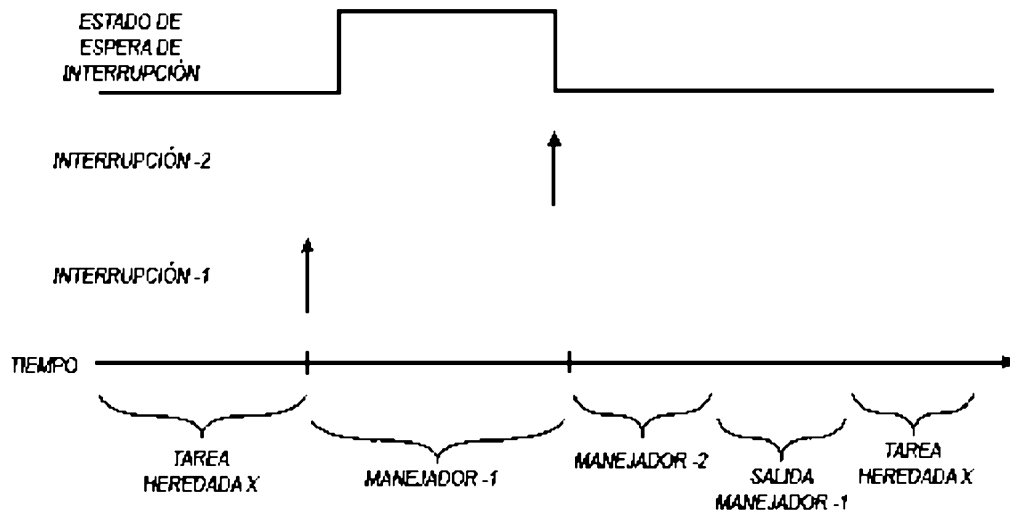


FIG. 10

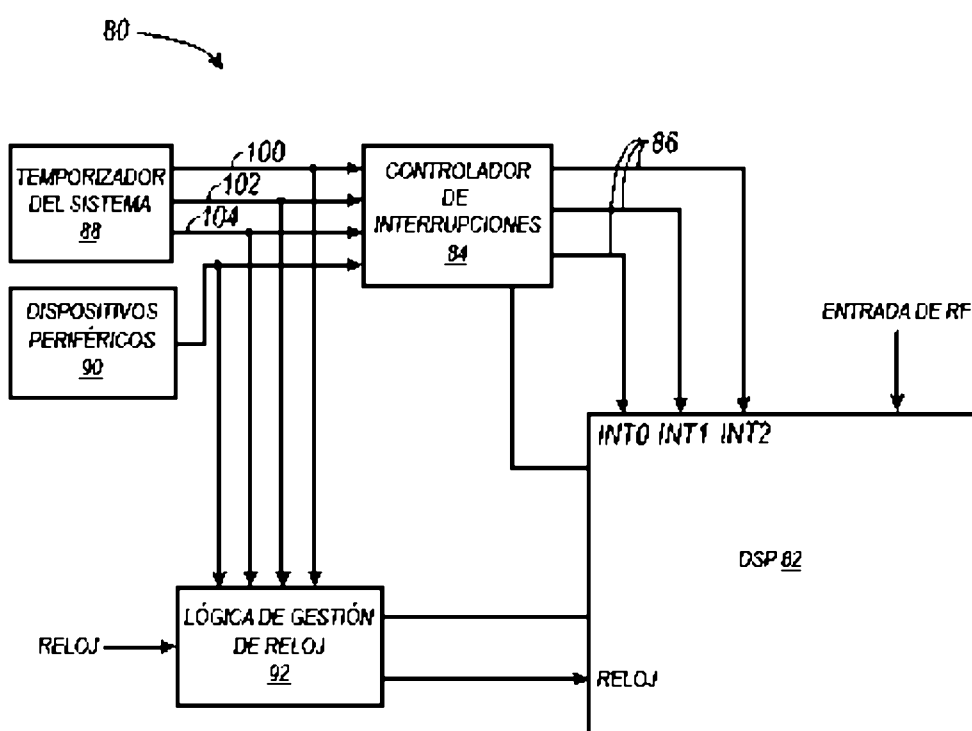


FIG. 11

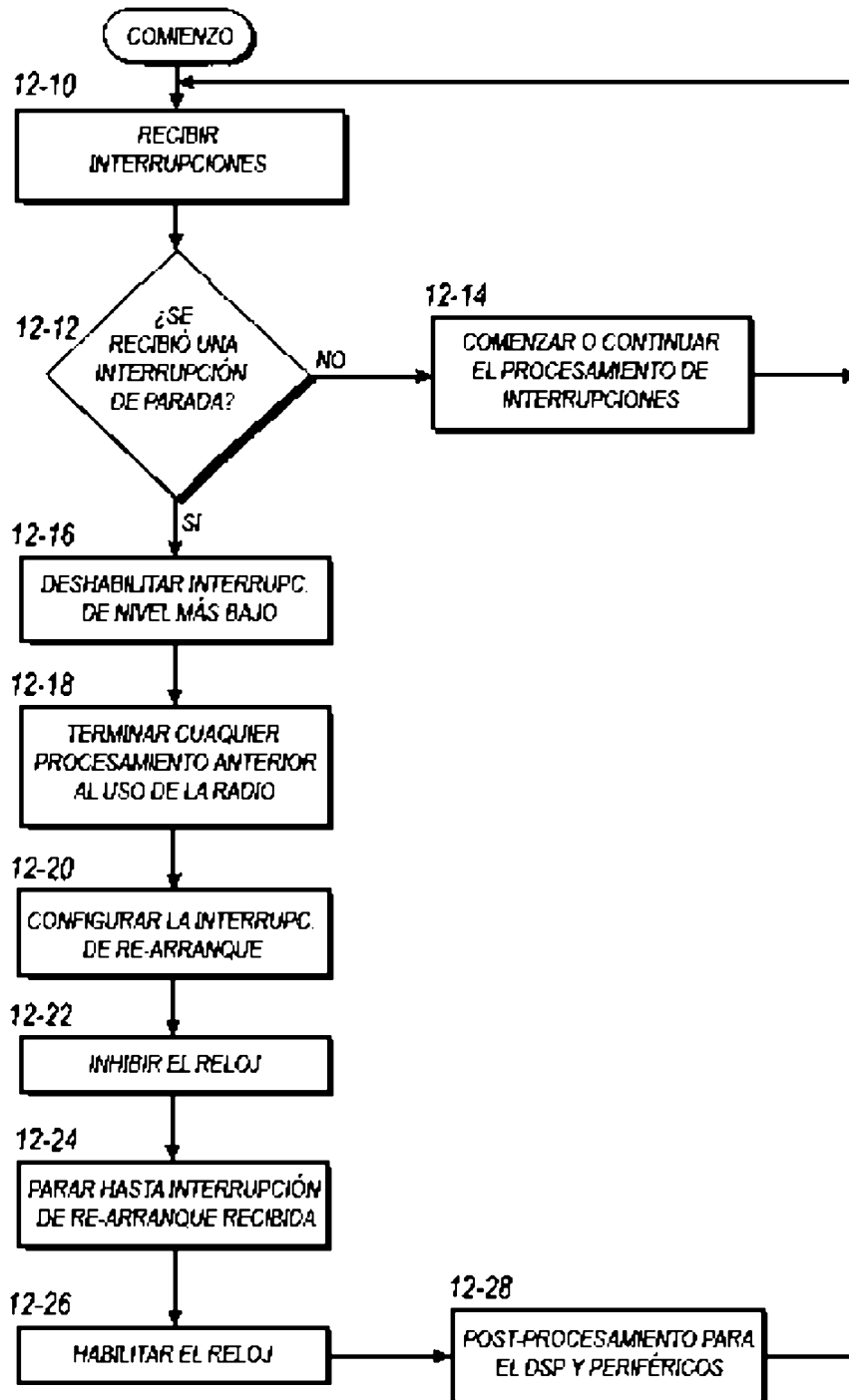


FIG. 12