



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2013년02월04일
 (11) 등록번호 10-1220433
 (24) 등록일자 2013년01월29일

(51) 국제특허분류(Int. Cl.)
H01L 33/12 (2010.01) *H01L 33/02* (2010.01)
 (21) 출원번호 10-2009-0075827
 (22) 출원일자 2009년08월17일
 심사청구일자 2009년08월17일
 (65) 공개번호 10-2010-0132896
 (43) 공개일자 2010년12월20일
 (30) 우선권주장
 JP-P-2009-139212 2009년06월10일 일본(JP)
 JP-P-2009-166682 2009년07월15일 일본(JP)

(56) 선행기술조사문헌
 KR1020100079466 A
 JP2003124576 A

전체 청구항 수 : 총 24 항

(73) 특허권자
 서울옵토디바이스주식회사
 경기도 안산시 단원구 산단로163번길 65-16, 1동
 36호 (원시동)
 (72) 발명자
 사카이 시로
 일본국 도쿠시마켄 도쿠시마시 하치만쵸 나카츠우라 174-4
 (74) 대리인
 특허법인에이아이피

심사관 : 박혜련

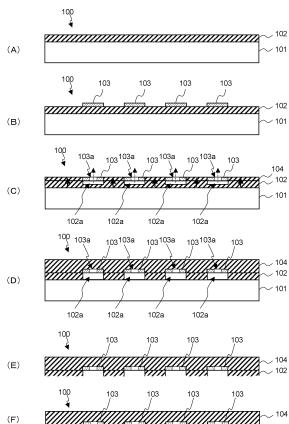
(54) 발명의 명칭 반도체 기판, 그 제조 방법, 반도체 소자 및 그 제조 방법

(57) 요 약

이종 재료의 기판상에서 평탄하고 박리가 용이한 GaN 기판을 저비용으로 제조하는 것을 가능하게 하는 제조 방법을 제공함과 동시에, 그 GaN 기판을 이용해 제조하는 LED나 레이저 다이오드 등의 반도체 소자의 저비용화, 성능 향상이나 장수명화를 실현하는 것이다.

본 발명의 반도체 기판은, 기판과, 상기 기판상에 형성된 제1의 반도체층과, 상기 제1의 반도체층상에 소정의 패턴 형상으로 형성된 금속성 재료층과, 상기 제1의 반도체층상 및 상기 금속성 재료층상에 형성된 제2의 반도체층과, 상기 금속성 재료층보다 하층 부분의 상기 제1의 반도체층에 형성된 공동을 가진다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기판과,

상기 기판상에 형성된 제1의 반도체층과,

상기 제1의 반도체층상에 패턴 형상으로 형성된 Ta층과,

상기 제1의 반도체층상 및 상기 Ta층상에 형성된 제2의 반도체층과,

상기 Ta층보다 하층 부분의 상기 제1의 반도체층에 형성된 공동을 가지는 것을 특징으로 하는 반도체 기판.

청구항 2

청구항 1에 있어서,

상기 제1의 반도체층과 상기 제2의 반도체층은 동일 또는 다른 화합물 반도체이며,

상기 Ta층은, 상기 제2의 반도체층을 형성할 때의 가열 온도보다 고용점의 금속성 재료인 것을 특징으로 하는 반도체 기판.

청구항 3

청구항 1에 있어서,

상기 Ta층은 그 일부가 산화막으로 이루어져 있으며, 상기 산화막은 상기 산화막의 하부에 위치한 상기 제1의 반도체층의 일부에는 공동이 형성되지 않도록 하는 에칭 마스크로 형성되는 것을 특징으로 하는 반도체 기판.

청구항 4

청구항 3에 있어서,

상기 Ta층은, 상기 제2의 반도체층을 형성하는 과정에서 형성된 복수의 구멍을 가지는 것을 특징으로 하는 반도체 기판.

청구항 5

청구항 2에 있어서,

상기 Ta층은, 상기 제2의 반도체층을 형성하는 과정에서 형성된 복수의 구멍을 가지는 것을 특징으로 하는 반도체 기판.

청구항 6

청구항 1에 있어서,

상기 기판은, 사파이어 기판 또는 실리콘 기판인 것을 특징으로 하는 반도체 기판.

청구항 7

청구항 1에 있어서,

상기 Ta층은, 탄탈을 포함하여 이루어져 있으며, 그 막 두께가 5nm보다 두껍고, 상기 제1의 반도체층상에 형성 후, 상기 Ta층의 표면들 중 상기 제1의 반도체층과 상기 Ta층 사이의 계면을 이루는 표면은 탄탈과 산화탄탈을 포함하여 이루어지며, 상기 제1의 반도체층과 상기 Ta층 사이의 계면을 이루는 표면을 제외한 표면들은 산화탄탈을 포함하여 이루어지는 것을 특징으로 하는 반도체 기판.

청구항 8

기판상에 제1의 반도체층을 형성하고,

상기 제1의 반도체층상에 패턴 형상으로 Ta층을 형성하고,

상기 제1의 반도체층상 및 상기 Ta층상에 제2의 반도체층을 형성함과 함께, 상기 Ta층보다 하층 부분의 상기 제1의 반도체층에 공동을 형성하되,

상기 공동은 상기 Ta층과 상기 Ta층보다 하층 부분의 상기 제1의 반도체층이 반응하여 상기 제1의 반도체층이 식각되어 형성되는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 9

청구항 8에 있어서,

상기 Ta층은, 상기 제1의 반도체층상에 일정한 간격 및 폭으로 스트라이프 형상으로 형성하고,

상기 제2의 반도체층은, 상기 Ta층의 폭의 1/2배 이상의 층 두께로 형성하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 10

청구항 8에 있어서,

상기 Ta층은, 그 일부가 산화막으로 이루어져 있으며, 상기 산화막은 상기 산화막의 하부에 위치한 상기 제1의 반도체층의 일부에는 공동이 형성되지 않도록 하는 에칭 마스크로 형성되는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 11

청구항 10에 있어서,

상기 Ta층은, 상기 제2의 반도체층을 형성하는 과정에서 형성된 복수의 구멍이 형성되는 두께로 형성되는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 12

청구항 9에 있어서,

상기 Ta층은, 상기 제2의 반도체층을 형성하는 과정에서 형성된 복수의 구멍이 형성되는 두께로 형성되는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 13

삭제

청구항 14

청구항 8에 있어서,

상기 제1의 반도체층과 상기 제2의 반도체층은, 동일 또는 다른 화합물 반도체 재료를 이용해 형성하고,

상기 Ta층은, 상기 제2의 반도체층을 형성할 때의 가열 온도보다 고용점의 금속성 재료를 이용해 형성하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 15

청구항 8에 있어서,

상기 Ta층은, 그 일부가 산화막으로 이루어져 있으며, 상기 산화막은 상기 제1의 반도체층에 대한 마스크를 형성함과 함께, 복수의 구멍을 형성하며,

상기 제2의 반도체층을 유기 금속 기상 성장법을 이용해 형성할 때에, 상기 Ta층이 형성된 부분의 하층의 상기 제1의 반도체층을 상기 Ta층 및 질소와 반응시켜 상기 복수의 구멍으로부터 증발시켜, 상기 공동을 형성하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 16

청구항 8에 있어서,

상기 Ta층은, 탄탈을 포함하여 이루어져 있으며, 그 막 두께가 5nm보다 두껍고, 상기 제1의 반도체층상에 형성 후, 상기 Ta층의 표면들 중 상기 제1의 반도체층과 상기 Ta층 사이의 계면을 이루는 표면은 탄탈과 산화탄탈을 포함하여 이루어지며, 상기 제1의 반도체층과 상기 Ta층 사이의 계면을 이루는 표면을 제외한 표면들은 산화탄탈을 포함하여 이루어지는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 17

청구항 8에 있어서,

상기 기판은, 사파이어 기판 또는 실리콘계 기판인 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 18

청구항 8에 있어서,

상기 제1의 반도체층에 형성된 상기 공동을 이용해 상기 기판을 박리하여, 상기 제1의 반도체층 및 상기 제2의 반도체층으로부터 형성된 반도체 기판을 제조하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 19

청구항 18에 있어서,

상기 기판을 박리할 때에, 레이저 · 리프트 오프법을 이용하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 20

청구항 18에 있어서,

상기 기판을 박리할 때, 연마법을 이용하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 21

청구항 18에 있어서,

상기 기판을 박리할 때, 상기 기판을 트위스트 시켜 상기 제1의 반도체층으로부터 박리하는 것을 특징으로 하는 반도체 기판의 제조 방법.

청구항 22

청구항 1에 기재되어 있는 반도체 기판상에 형성되는 반도체 소자이며,

상기 제2의 반도체층상에 형성된 제1의 화합물 반도체층과, 상기 제1의 화합물 반도체층상에 형성된 활성층과, 상기 활성층상에 형성된 제2의 화합물 반도체층을 적어도 가지는 것을 특징으로 하는 반도체 소자.

청구항 23

청구항 22에 있어서,

상기 제1의 반도체층과 상기 제2의 반도체층은, 상기 제1의 화합물 반도체층과 동계열의 화합물 반도체이며,

상기 제1의 화합물 반도체층의 굴절률과, 상기 제2의 화합물 반도체층의 굴절률은 서로 다른 것을 특징으로 하는 반도체 소자.

청구항 24

청구항 1에 기재되어 있는 반도체 기판상에 형성되는 반도체 소자의 제조 방법이며,

상기 제2의 반도체층상에 제1의 화합물 반도체층을 형성하고,

상기 제1의 화합물 반도체층상에 활성층을 형성하고,

상기 활성층상에 제2의 화합물 반도체층을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 25

청구항 24에 있어서,

상기 제1의 반도체층과 상기 제2의 반도체층은, 상기 제1의 화합물 반도체층과 동계열의 화합물 반도체로 형성하고,

상기 제1의 화합물 반도체층의 굴절률과 상기 제2의 화합물 반도체층의 굴절률은 서로 다른 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001]

본 발명은, 반도체 기판, 그 제조 방법, 반도체 소자 및 그 제조 방법에 관한 것이다. 특히, 기판상에 GaN층을 형성하는 반도체 기판, 그 제조 방법, 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002]

질화 갈륨(GaN)계 반도체를 이용한 발광 다이오드(이하, LED라고 한다)는, 신호기나 액정 패널의 백라이트 등의 여러 가지 기기로 이용되고 있다. LED의 발광 효율은, 결정의 전위 밀도, 결함에 영향을 받는다고 알려져 있다. GaN계 반도체의 결정 성장은, 사파이어 등의 이종 기판상에서 행해지지만, GaN층과 기판 사이의 격자 부정합 및 열 팽창 계수의 불일치가 발생해, 고전위 밀도나 결함의 증대를 가져온다고 여겨지고 있다.

[0003]

여기서, GaN계 반도체의 결정 성장은, GaN 기판 등의 동종 재료의 기판상에서 실시하는 것이 바람직하다. 한편, GaN는 질소의 해리율이 높은 점 등에 의해 GaN 용액의 형성이 어렵고, GaN 기판의 제조를 곤란하게 하고 있다. 또, GaN 기판용으로 성장시킨 GaN 별크 결정을 GaN 기판으로서 박리하기 위해, 기계 연마나 레이저 박리 등이 이용되고 있지만, 실용적인 사이즈의 GaN 기판을 재현해 내기에는 매우 곤란했다. 특히, 레이저 박리는 방대한 시간을 필요로 해, GaN 기판의 비용을 상승시키는 원인이 되고 있다.

[0004]

또, 비특히 문헌1에서는, 석영 기판상, W, Mo, Ta, 및 Nb의 고용점 금속 기판상, 및 Si 기판상의 각각에, 플라즈마 분자선 에피택시(plasma assisted molecular beam epitaxy)를 이용해 GaN를 결정 성장시키는 예를 보여주고 있다.

[0005]

위에서 설명한 바와 같이, GaN 기판의 제조는 매우 곤란하고 비용도 비싸기 때문에, LED나 레이저 다이오드 등의 반도체 소자는, 사파이어 등의 이종 기판상에서 GaN층을 성장시켜 제조되는 경우가 많다. 그러나 앞서 말한 고전위 밀도나 결함의 증대에 의해, LED의 발광 성능의 향상을 방해하고 있다. 게다가, 사파이어 기판은 GaN 기판에 비해 열전도율이 낮고, 소자의 열방열성을 저하시킨다. 이것은 LED나 레이저 다이오드를 제조하는 경우, 장기 수명화를 방해하는 원인이 된다.

[0006]

비특히 문헌1: "Polycrystalline GaN for light emitter and field electron emitter applications" S. Hasegawa, S. Nishida, T. Yamashita, H. Asahi, Thin Solid Films 487 (2005) 260-267

[0007]

비특히 문헌2: "Buried Tungsten Metal Structure Fabricated by Epitaxial-Lateral-Overgrown GaN via Low-Pressure Metalorganic Vapor Phase Epitaxy" M. Haino, et. al., Jpn. J. Appl. Phys., 39 (2000) L449

발명의 내용

해결하고자하는 과제

[0008]

본 발명이 해결하려고 하는 기술적 과제는, 이종 재료의 기판상에서 평坦하고 박리가 용이한 GaN 기판을 저비용으로 제조하는 것을 가능하게 하는 제조 방법을 제공함과 동시에, 그 GaN 기판을 이용해 제조하는 LED나 레이저 다이오드 등의 반도체 소자의 성능 향상이나 장수명화를 실현하는 것이다.

과제 해결수단

- [0009] 본 발명의 일 실시 형태에 의하면, 기판과, 기판상에 형성된 제1의 반도체층과, 제1의 반도체층상에 소정의 패턴 형상으로 형성된 금속성 재료층과, 제1의 반도체층상 및 금속성 재료층상에 형성된 제2의 반도체층과, 금속성 재료층보다 하층 부분의 제1의 반도체층에 형성된 공동을 가지는 반도체 기판이 제공된다.
- [0010] 또, 상기 제1의 반도체층과 상기 제2의 반도체층은, 동일 또는 다른 화합물 반도체여도 좋고, 상기 금속성 재료층은, 상기 제2의 반도체층을 형성할 때의 가열 온도보다 고용점의 금속이어도 괜찮다.
- [0011] 또, 상기 금속성 재료층은, 산화막을 가지며, 상기 산화막은 상기 제1의 반도체층에 대한 마스크를 형성하는 것이 바람직하다.
- [0012] 또, 상기 금속성 재료층은, 상기 제1의 반도체층 및 상기 제2의 반도체층에 통하는 복수의 구멍을 가져도 괜찮다.
- [0013] 또, 상기 기판은, 사파이어 기판 또는 실리콘 기판 등 이어도 괜찮다.
- [0014] 또, 상기 금속성 재료층은, 탄탈이며, 그 막 두께가 5 nm보다 두껍고, 상기 제1의 반도체층상에 형성된 후, 상기 탄탈의 표면이 산화탄탈로 감싸져 있으며, 상기 제1의 반도체층과 상기 탄탈과의 계면이 탄탈과 산화탄탈로 감싸져 있어도 괜찮다.
- [0015] 또, 본 발명의 일 실시 형태에 의하면, 기판상에 제1의 반도체층을 형성하고, 상기 제1의 반도체층상에 소정의 패턴 형상으로 금속성 재료층을 형성하며, 상기 제1의 반도체층상 및 상기 금속성 재료층상에 제2의 반도체층을 형성함과 동시에, 상기 금속성 재료층보다 하층 부분의 상기 제1의 반도체층에 공동을 형성하는 반도체 기판의 제조 방법이 제공된다.
- [0016] 또, 상기 금속성 재료층은, 상기 제1의 반도체층상에 일정한 간격 및 폭으로 스트라이프 형상으로 형성하고, 상기 제2의 반도체층은 상기 금속성 재료층의 폭의 1/2배 이상의 총 두께로 형성해도 좋다. 상기 제2의 반도체층의 총 두께의 상한은, 특별히 한정되지 않으나, 약 1000 μ m 미만일 수 있다.
- [0017] 또, 상기 금속성 재료층은, 산화막을 가지며 상기 산화막은 상기 제1의 반도체층에 대한 마스크를 형성하는 것이 바람직하다.
- [0018] 또, 상기 금속성 재료층은, 상기 제1의 반도체층 및 상기 제2의 반도체층에 통하는 복수의 구멍이 형성되는 두께로 형성해도 좋다.
- [0019] 또, 상기 제2의 반도체층은, 유기 금속 기상 성장법을 이용하여 형성하고, 상기 제2의 반도체층을 성장시키는 것과 동시에, 상기 금속성 재료층이 형성되어 있지 않은 부분의 상기 제1의 반도체층을 상층으로 향하게 성장시키는 것이 바람직하다.
- [0020] 또, 상기 유기 금속 기상 성장법을 이용해 상기 제2의 반도체층을 성장시킬 때, 상기 제1의 반도체층의 성장 속도에 맞추어, 상기 제2의 반도체층을 성장시키도록 상기 유기 금속 기상 성장법의 설정 조건을 조정하는 것이 바람직하다.
- [0021] 또, 상기 유기 금속 기상 성장법의 설정 조건으로서, 원료 가스의 유량, 가열 온도, 성장 시간의 어느 하나 또는 복수를 조정해도 괜찮다.
- [0022] 또, 상기 제1의 반도체층과 상기 제2의 반도체층은, 동일 또는 다른 화합물 반도체 재료를 이용해 형성하고, 상기 금속성 재료층은, 상기 제2의 반도체층을 형성할 때의 가열 온도보다 고용점의 금속성 재료를 이용해 형성하는 것이 바람직하다.
- [0023] 또, 상기 금속성 재료층은, 산화막을 가지고, 상기 산화막은 상기 제1의 반도체층에 대한 마스크를 형성함과 동시에, 상기 제1의 반도체층 및 상기 제2의 반도체층에 통하는 복수의 구멍을 형성하여, 상기 제2의 반도체층을 상기 유기 기상 성장법을 이용해 형성할 때, 상기 금속성 재료층이 형성된 부분의 하층의 상기 제1의 반도체층을 상기 금속성 재료층 및 질소와 반응시켜 상기 복수의 구멍으로부터 증발시켜 공동을 형성하는 것이 바람직하다.
- [0024] 또, 상기 금속성 재료층은, 탄탈이며 그 막 두께가 5 nm보다 두껍고, 상기 제1의 반도체층상에 형성 후, 상기 탄탈의 표면이 산화탄탈로 감싸져 있어 상기 제1의 반도체층과 상기 탄탈과의 계면이 탄탈과 산화탄탈로 감싸져 있어도 좋다.
- [0025] 또, 상기 기판은, 사파이어 기판 또는 실리콘 기판 등이어도 괜찮다.

- [0026] 또, 상기 제1의 반도체층에 형성된 상기 공동을 이용해 상기 기판을 박리하여, 상기 제1의 반도체층 및 상기 제2의 반도체층으로부터 형성된 반도체 기판을 제조해도 괜찮다.
- [0027] 또, 상기 기판을 박리할 때에, 레이저 · 리프트 오프법을 이용해도 괜찮다.
- [0028] 또, 상기 기판을 박리할 때에, 연마법을 이용해도 괜찮다.
- [0029] 또, 상기 기판을 박리할 때에, 상기 기판을 트위스트 시켜 상기 제1의 반도체층으로부터 박리해도 괜찮다.
- [0030] 또, 본 발명의 일 실시 형태에 의하면, 상기 반도체 기판상에 형성되는 반도체 소자이며, 상기 제2의 반도체층 상에 형성된 제1의 화합물 반도체층과, 상기 제1의 화합물 반도체층상에 형성된 활성층과, 상기 활성층상에 형성된 제2의 화합물 반도체층을 적어도 가지는 반도체 소자가 제공된다.
- [0031] 또, 상기 제1의 반도체층과 상기 제2의 반도체층은, 상기 제1의 화합물 반도체층과 동 계열의 화합물 반도체이며, 상기 제1의 화합물 반도체층의 굴절률과, 상기 제2의 화합물 반도체층의 굴절률은 서로 다른 것이 바람직하다.
- [0032] 또, 본 발명의 일 실시 형태에 의하면, 상기 반도체 기판상에 형성되는 반도체 소자의 제조 방법이며, 상기 제2의 반도체층상에 제1의 화합물 반도체층을 형성하고, 상기 제1의 화합물 반도체층상에 활성층을 형성하며, 상기 활성층상에 제2의 화합물 반도체층을 형성하는 반도체 소자의 제조 방법이 제공된다.
- [0033] 또, 상기 제1의 반도체층과 상기 제2의 반도체층은, 상기 제1의 화합물 반도체층과 동 계열의 화합물 반도체로 형성하고, 상기 제1의 화합물 반도체층의 굴절률과 상기 제2의 화합물 반도체층의 굴절률은 서로 다른 것이 바람직하다.

효과

- [0034] 본 발명에 의하면, 이종 기판상에서 평탄하고 박리가 용이한 GaN 기판을 저비용으로 제조하는 것을 가능하게 하는 제조 방법을 제공함과 동시에, 그 GaN 기판을 이용해 제조하는 LED나 레이저 다이오드 등의 반도체 소자의 저비용화, 성능 향상이나 장수명화를 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0035] 이하, 첨부한 도면에 근거하여 본 발명의 실시 형태에 대해 상세하게 설명한다. 또한, 이하에 기재한 실시 형태는 각각 본 발명의 한 형태에 지나지 않고, 본 발명은 이러한 실시 형태로 한정되는 것은 아니다.
- [0036] (실시 형태 1)
- [0037] 도 1은, 실시 형태 1에 따른 반도체 기판(100)의 제조 방법의 개략을 나타내는 도면이다. 도 1의 (A)는 제1의 GaN층을 형성하는 공정을 나타내는 단면도, (B)는 Ta층을 형성하는 공정을 나타내는 단면도, (C)는 제2의 GaN층 및 공동의 형성 도중을 나타내는 단면도, (D)는 완성된 반도체 기판의 단면도이다.
- [0038] 도 1 (A)에서, 101은 사파이어(Al_2O_3) 기판이다. 우선, 사파이어 기판(101)상에 $2\mu\text{m}$ 두께 정도의 제1의 GaN층(102)을 형성한다. 이 제1의 GaN층의 두께는 일례이며, 한정하는 것은 아니다.
- [0039] 다음으로, 도 1 (B)에서, 제1의 GaN층(102)상에 EB(Electron Beam) 증착 및 리프트 오프를 이용해 50nm 두께 정도의 Ta층(금속성 재료층)(103)을 스트라이프 형상으로 $5\mu\text{m}$ 폭, $5\mu\text{m}$ 간격으로 형성한다. 이 Ta층(103)의 형상, 두께, 폭, 간격은 일례이며, 한정하는 것은 아니다.
- [0040] 다음으로, 도 1 (C)에서, 제1의 GaN층(102)상 및 Ta층(103)상에 유기 금속 기상 성장법(이하, MOCVD법이라고 한다)을 이용해 제2의 GaN층(104)을 형성한다. 이 도 1 (C)는, 제2의 GaN층(104)의 형성 도중 상태를 나타내고 있다. 이 경우, GaN층의 N과 Ta가 결합해 TaN이 생기고, 이것이 다른 물질로 되어, 보다 N이 진한 기상 중으로 상승해 간다. 900°C 이상에서 TaN은 불안정해지고, 1000°C 이상에서는 기화하여, 그 기화에 수반해 구멍이 깊어져 가고, 공동(102a)이 형성된다. GaN의 N은 TaN이 되지만, Ga가 남는다. 이 Ga는, 기상 성장 중에 퇴적하는 Ga와 같은 것으로, 원료로 사용된다. 그러나 Ta막 위에 GaN를 성장시킨 예가 있다. 상기 비특허 문헌1에서는, Ta층(103)의 표면은 Ta 만이 아니고, 뒤에서 기술하겠지만, 공기 중에서 처리됨에 의해, Ta_2O_5 가 되어 있을 가능성이 있다고 판명되었다.
- [0041] 한편, 상기 제2의 GaN층(104)은 Ta층(103)의 $1/2$ 배 이상 형성될 수 있으며, 기판으로서의 사용을 위해 $1000\mu\text{m}$

미만으로 형성될 수 있다.

[0042] 다음으로, 도 1 (D)에 있어서, 제2의 GaN층(104)의 형성이 종료하여, 반도체 기판(100)이 완성된다. MOCVD법에 의해 제2의 GaN층(104)의 형성을 진행시키면, 도면 중에 나타나듯이, Ta층(103)의 하층에 있는 제1의 GaN층(102)의 예칭이 진행되어, 공동(102a)의 형성 영역도 거의 사파이어 기판(101)상까지 확대된다. 또, 제2의 GaN층(104)의 성장과 함께, 제1의 GaN층(102)의 성장도 진행되기 때문에, 도 1에 나타나듯이 기판 표면은 평탄화된다. 이 때문에, 본 실시 형태 1의 반도체 기판(100)에서는, 기판 표면을 평탄화하는 공정을 생략하는 것이 가능하다.

[0043] 다음으로, 도 1 (E)에 있어서, 사파이어 기판(101)을 박리한다. 계속해서 도 1 (F)에 있어서, 박리한 제1의 GaN층(102)을 연마하는 것에 의해, GaN 기판(100)을 얻을 수 있다. 이 GaN 기판(100)의 도면 중 표면 측에 Si나 SiC 등의 실리콘계 기판을 붙여 아래면 측을 평탄 가공하여, 소자 제조용의 반도체 기판으로 해도 좋다. 또한, 사파이어 기판(101)을 박리하는 경우, 제1의 GaN층(102)에 형성된 공동(102a)을 이용하는 것이 가능하다. 사파이어 기판(101)을 박리하는 경우, 예를 들면, 레이저 · 리프트 오프법을 이용해도 좋고, 연마법을 이용해도 좋다. 또, 사파이어 기판(101)을 트위스트 시켜 제1의 GaN층(102)으로부터 박리해도 괜찮다. 본 실시 형태는, 사파이어 기판(101)을 박리하는 방법을 특별히 한정하는 것은 아니다.

[0044] 이상과 같이, MOCVD법을 이용해 GaN층을 가지는 반도체 기판(100)을 형성하는 것에 의해, 공동(102a)을 이용해 제1의 GaN층(102)을 사파이어 기판(101)으로부터 박리하는 것이 쉬워져, 박리한 GaN층을 GaN 기판으로 이용하는 것이 가능해진다. 따라서, 종래의 GaN 기판보다 저비용으로 GaN 기판을 제조하는 것이 가능해진다.

[0045] (실시예 1)

[0046] 다음으로, 상기 반도체 기판(100)의 제조 방법의 구체적인 예에 대해, 이하에서 설명한다. 본 실시예 1에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 과정에 대해 설명한다. 원료 가스로서 트리 메틸 갈륨(이하, TMGa라고 한다)을 이용하여 TMGa를 $20 \mu\text{mol}/\text{min}$ 의 유량으로 흐르게 하면서 가열 온도를 1045°C 로 설정하고, 결정 성장을 5시간 행한 예를 보여준다. 또, 본 실시예 1에서는, 제1의 GaN층(102)상에 스트라이프 형상으로 두께가 50nm의 Ta층(103)을 형성하고 있다.

[0047] 상기 조건에 의해 제2의 GaN층(104)의 형성이 종료된 반도체 기판(100)을 도 2에 나타낸다. 도 2는, 반도체 기판(100)의 일부분의 SEM 단면 사진이다. 이 도면에서 분명히 나타나듯이, Ta층(103)의 형성 영역의 하층에 있는 제1의 GaN층(102)에는 공동(102a)이 형성되어 있다. 이 공동(102a)을 포함한 도면 중에 보이는 확대 영역에 대해 에너지 분산형 X선 분광기(이하, EDX라고 한다)를 이용해 분석한 결과를 도 3에 나타낸다.

[0048] 도 3의 EDX에 의한 스펙트럼도에서 나타나듯이, 제1의 GaN층(102)의 GaN와 사파이어 기판(101)의 Al 및 O가 관측되고 Ta는 대부분 관측되지 않았다. 또, 도 4 (B)~(D)의 EDX도에서 나타나듯이, 제1의 GaN층(102)의 Ga와 사파이어 기판(101)의 Al 및 O가 관측되었지만 Ta는 관측되지 않았다.

[0049] 이번 실시예 1에서는, 제2의 GaN층(104)의 형성 과정에서 Ta층(103)에 구멍(103a)이 형성되는 것을 관측했다. 이 Ta층(103)에 형성된 구멍(103a)의 분석 결과를 도 5 및 도 6에서 더 설명한다. 또한, 도 5 및 도 6에서 나타나는 분석 결과는, 상술한 MOCVD 장치를 이용한 제2의 GaN층(104)의 형성 과정을 도중에 멈추어, EDX에 의해 분석한 결과이다.

[0050] 도 5에 있어서, (A)는 반도체 기판(100)의 SEM 단면 사진이며, (B)는 반도체 기판(100)의 SEM 표면 사진이다. 도 6에 있어서, (A)는 도 5 (B)의 반도체 기판(100)의 표면으로부터 EDX 분석한 Ga의 EDX도이며, (B)는 도 5 (B)의 반도체 기판(100)의 표면으로부터 EDX 분석한 Ta의 EDX도이다.

[0051] 도 5 (A)에 나타내는 반도체 기판(100)의 SEM 단면 사진에서는, Ta층(103)의 하층에 있는 제1의 GaN층(102)이 예칭되어 공동(102a)이 형성된 것을 관측했다. 도 (B)에 나타나는 반도체 기판(100)의 SEM 표면 사진에서는, Ta층(103)의 표면에 구멍(103a)이 형성된 것을 관측했다. 또한, 이 구멍(103a)을 포함한 Ta층(103)의 표면을 EDX 법에 의해 Ga, Ta에 대해 분석한 결과를 도 6 (A) 및 (B)에 나타낸다. 이러한 EDX도에 의해, Ta층(103)이 남고, Ta층(103)상에 Ga 및 GaN가 얇게 성장하고 있는 것이 판명되었다.

[0052] 이상과 같이, 본 실시예 1에 따른 반도체 기판(100)에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 조건을 조정하여, Ta층을 이용해 제1의 GaN층(102) 내에 예칭에 의한 공동(102a)을 형성하는 것을 가능하게 했다. 따라서, 상술의 실시 형태 1에 나타난 제2의 GaN층(104)을 형성할 때, 제1의 GaN층(102)의 성장과 함께, 제1의 GaN층(102) 내에 예칭에 의한 공동(102a)을 형성하는 것이 가능해졌다. 즉, 제1의 GaN층(102)상의 일부에

상술과 같은 예칭 작용을 발생시키는 금속성 재료층을 형성하는 것에 의해, 제1의 GaN층(102) 내에 공동(102a)을 형성하는 것이 가능해진 것이 판명되었다.

[0053] 또한, 상기 실시예 1에 나타난 MOCVD 장치의 설정 조건은, 일례이며, 상술의 제1의 GaN층의 성장과 공동(102a)의 형성을 동시에 진행하는 것이 가능한 조건이면 좋다. 단, 제2의 GaN층(104)의 성장 과정에 있어서, 제2의 GaN층(104)의 성장 속도에 비해 제1의 GaN층(102)의 성장 속도는 늦기 때문에, 상기 실시예 1에서는, 제1의 GaN층(102)의 성장 속도에 맞추어 MOCVD 장치의 설정 조건을 조정했다.

[0054] 또, 상기 실시 형태 1에서는, 제2의 GaN층(104)의 성장 과정에 있어서, Ta층(103)에 구멍(103a)이 형성되는 경우를 나타냈지만, 예를 들면, Ta층(103)을 형성할 때 미리 구멍을 형성한 패턴 마스크를 이용해 Ta층(103)을 형성하도록 해도 좋다. 또, Ta층(103)의 형상은, 상술의 스트라이프 형상으로 한정하는 것은 아니고, 그 형상은 반도체 기판(100)상에 형성하는 소자의 구조 등에 맞추어 변경해도 좋다. 반도체 기판(100)을 이용한 소자의 예에 대해서는 후술한다.

[0055] 또, 상기 실시 형태 1에 나타낸 반도체 기판(100)은 GaN 기판을 박리한 후, 사파이어 기판(101)의 GaN를 형성한 면을 RIE 등에 의해 평坦하게 하면, 상술의 공동을 가지는 GaN층을 형성하는 기판(101)으로서 다시 이용할 수 있다. 따라서, GaN 기판의 제조 비용을 더욱 저감하는 것이 가능하다.

[0056] (실시예 2)

[0057] 본 실시예 2에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 과정에 대해 설명한다. 원료 가스로서 TMGa를 이용해 TMGa를 $20\text{ }\mu\text{mol/min}$ 의 유량으로 흐르게 하면서 가열 온도를 1045°C 로 설정해, 결정 성장을 5시간 행한 예를 보여준다. 또, 본 실시예 2에서는, 제1의 GaN층(102)상에 스트라이프 형상으로 두께가 30nm의 Ta층(103)을 형성하고 있다.

[0058] 상기 조건에 의해 제2의 GaN층(104)의 형성이 종료한 반도체 기판(100)을 도 12에 나타낸다. 도 12는, 반도체 기판(100)의 일부분인 SEM 단면 사진이다. 이 도면에서 분명히 나타나듯이, Ta층(103)의 형성 영역의 하층에 있는 제1의 GaN층(102)의 일부에는 공동(102a)이 형성되어 있다. 또, 이번 실시예 2에서는, 제2의 GaN층(104)의 형성 과정에서 Ta층(103)에 구멍(103a)이 형성되는 것을 관측했다.

[0059] 본 실시예 2에 따른 반도체 기판(100)에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 조건을 조정하여, Ta층(103)을 이용해 제1의 GaN층(102) 내에 예칭에 의한 공동(102a)을 형성하는 것을 가능하게 하였다. 따라서, 상술의 실시 형태 1에 나타난 제2의 GaN층(104)을 형성할 때에, 제1의 GaN층(102)의 성장과 함께, 제1의 GaN층(102) 내에 예칭에 의한 공동(102a)을 형성하는 것이 가능하게 되었다. 즉, 제1의 GaN층(102)상의 일부에 상술과 같은 예칭 작용을 발생시키는 금속성 재료층을 형성하는 것에 의해, 제1의 GaN층(102) 내에 공동(102a)을 형성하는 것이 가능해짐이 판명되었다.

[0060] 도 12에 나타난 단면도에서는, Ta층(103)의 바로 아래 전체는 아니고, 각 Ta층(103)의 좌우 양단 부분의 하층에 위치하는 제1의 GaN층(102) 내에 예칭에 의한 공동(102a)이 형성되어 있다. 이것은, 제1의 GaN층(102) 내에 예칭이 각 Ta층(103)의 좌우 양단 부분으로부터 진행하는 것을 나타내고 있다.

[0061] 또한, 상기 실시예 2에 나타난 MOCVD 장치의 설정 조건은, 일례이며, 상술의 제1의 GaN층의 성장과 공동(102a)의 형성을 동시에 진행하는 것이 가능한 조건이면 좋다. 단, 제2의 GaN층(104)의 성장 과정에 있어서, 제2의 GaN층(104)의 성장 속도에 비해 제1의 GaN층(102)의 성장 속도는 늦기 때문에, 상기 실시예 2에서는, 제1의 GaN층(102)의 성장 속도에 맞추어 MOCVD 장치의 설정 조건을 조정했다.

[0062] 또, 상기 실시예 2에서는, 제2의 GaN층(104)의 성장 과정에 있어서, Ta층(103)에 구멍(103a)이 형성되는 경우를 나타냈지만, 예를 들면, Ta층(103)을 형성할 때 미리 구멍을 형성한 패턴 마스크를 이용해 Ta층(103)을 형성하도록 해도 좋다. 또, Ta층(103)의 형상은, 상술한 스트라이프 형상으로 한정하는 것은 아니고, 그 형상은 반도체 기판(100)상에 형성하는 소자의 구조 등에 맞추어 변경해도 좋다. 반도체 기판(100)을 이용한 소자의 예에 대해서는 후술한다.

[0063] 또, 상기 실시예 2에 나타난 반도체 기판(100)은, GaN 기판을 박리한 후, 사파이어 기판(101)의 GaN를 형성한 면을 RIE 등에 의해 평탄하게 하면, 상술의 공동을 가지는 GaN층을 형성하는 기판(101)으로서 다시 이용할 수 있다. 따라서, GaN 기판의 제조 비용을 더욱 저감하는 것이 가능하다.

[0064] (실시예 3)

- [0065] 본 실시예 3에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 과정에 대해 설명한다. 원료 가스로서 TMGa를 이용해 TMGa를 $20 \mu\text{mol}/\text{min}$ 의 유량으로 흘리면서 가열 온도를 1045°C 로 설정해, 결정 성장을 5시간 행한 예를 보여준다. 또, 본 실시예 3에서는, 제1의 GaN층(102)상에 스트라이프 형상으로 두께가 50nm인 Ta층(103)을 형성하고 있다.
- [0066] 상기 조건에 의해 제2의 GaN층(104)의 형성이 종료된 반도체 기판(100)을 도 13에 나타낸다. 도 13은, 반도체 기판(100)의 일부분의 SEM 단면 사진이다. 이 도면에서 분명히 나타나듯이, Ta층(103)의 형성 영역의 하층에 있는 제1의 GaN층(102)에는 공동(102a)이 형성되어 있다. 또, 이번 실시예 3에서는, 제2의 GaN층(104)의 형성 과정에서 Ta층(103)에 구멍(103a)이 형성되는 것을 관측했다.
- [0067] 본 실시예 3에 따른 반도체 기판(100)에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 조건을 조정하여, Ta층(103)을 이용해 제1의 GaN층(102) 내에 에칭에 의한 공동(102a)을 형성하는 것을 가능하게 했다. 따라서, 상술의 실시 형태 1에 나타난 제2의 GaN층(104)을 형성할 때 제1의 GaN층(102)의 성장과 함께, 제1의 GaN층(102) 내에 에칭에 의한 공동(102a)을 형성하는 것이 가능하게 되었다. 즉, 제1의 GaN층(102)상의 일부에 상술과 같은 에칭 작용을 발생시키는 금속성 재료층을 형성하는 것에 의해, 제1의 GaN층(102) 내에 공동(102a)을 형성하는 것이 가능해짐이 판명되었다.
- [0068] 또한, 상기 실시예 3에 나타난 MOCVD 장치의 설정 조건은, 일례이며, 상술의 제1의 GaN층의 성장과 공동(102a)의 형성을 동시에 진행하는 것이 가능한 조건이면 좋다. 단, 제2의 GaN층(104)의 성장 과정에 있어서, 제2의 GaN층(104)의 성장 속도에 비해 제1의 GaN층(102)의 성장 속도는 늦기 때문에, 상기 실시예 3에서는, 제1의 GaN층(102)의 성장 속도에 맞추어 MOCVD 장치의 설정 조건을 조정했다.
- [0069] 또, 상기 실시예 3에서는, 제2의 GaN층(104)의 성장 과정에 있어서, Ta층(103)에 구멍(103a)이 형성되는 경우를 나타냈지만, 예를 들면, Ta층(103)을 형성할 때 미리 구멍을 형성한 패턴 마스크를 이용해 Ta층(103)을 형성하도록 해도 좋다. 또, Ta층(103)의 형상은, 상술의 스트라이프 형상으로 한정하는 것은 아니고, 그 형상은 반도체 기판(100)상에 형성하는 소자의 구조 등에 맞추어 변경해도 좋다. 반도체 기판(100)을 이용한 소자의 예에 대해서는 후술한다.
- [0070] 또, 상기 실시예 3에 나타낸 반도체 기판(100)은, GaN 기판을 박리한 후, 사파이어 기판(101)의 GaN를 형성한 면을 RIE 등에 의해 평坦하게 하면, 상술의 공동을 가지는 GaN층을 형성하는 기판(101)으로서 다시 이용할 수 있다. 따라서, GaN 기판의 제조 비용을 더욱 저감하는 것이 가능하다.
- [0071] (실시예4)
- [0072] 본 실시예 4에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 과정에 대해 설명한다. 원료 가스로서 TMGa를 이용해 TMGa를 $20 \mu\text{mol}/\text{min}$ 의 유량으로 흘르게 하면서 가열 온도를 1045°C 로 설정해, 결정 성장을 5시간 행한 예를 보여준다. 또, 본 실시예 4에서는, 제1의 GaN층(102)상에 스트라이프 형상으로 두께가 100nm인 Ta층(103)을 형성하고 있다.
- [0073] 상기 조건에 의해 제2의 GaN층(104)의 형성이 종료된 반도체 기판(100)을 도 14에 나타낸다. 도 14는, 반도체 기판(100)의 일부분의 SEM 단면 사진이다. 이 도면에서 분명히 나타나듯이, Ta층(103)의 형성 영역의 하층에 있는 제1의 GaN층(102)에는 공동(102a)이 형성되어 있다. 또, 이번 실시예 4에서는, 제2의 GaN층(104)의 형성 과정에서 Ta층(103)에 구멍(103a)이 형성되는 것을 관측했다.
- [0074] 본 실시예 4에 따른 반도체 기판(100)에서는, MOCVD 장치를 이용해 제2의 GaN층(104)을 형성하는 조건을 조정하여, Ta층(103)을 이용해 제1의 GaN층(102) 내에 에칭에 의한 공동(102a)을 형성하는 것을 가능하게 했다. 따라서, 상술의 실시 형태 1에 나타난 제2의 GaN층(104)을 형성할 때, 제1의 GaN층(102)의 성장과 함께, 제1의 GaN층(102) 내에 에칭에 의한 공동(102a)을 형성하는 것이 가능하게 되었다. 즉, 제1의 GaN층(102)상의 일부에 상술과 같은 에칭 작용을 발생시키는 금속성 재료층을 형성하는 것에 의해, 제1의 GaN층(102) 내에 공동(102a)을 형성하는 것이 가능해짐이 판명되었다.
- [0075] 또한, 상기 실시예 4에 나타난 MOCVD 장치의 설정 조건은, 일례이며, 상술의 제1의 GaN층의 성장과 공동(102a)의 형성을 동시에 진행하는 것이 가능한 조건이면 좋다. 단, 제2의 GaN층(104)의 성장 과정에 있어서, 제2의 GaN층(104)의 성장 속도에 비해 제1의 GaN층(102)의 성장 속도는 늦기 때문에, 상기 실시예 4에서는, 제1의 GaN층(102)의 성장 속도에 맞추어 MOCVD 장치의 설정 조건을 조정했다.
- [0076] 또, 상기 실시예 4에서는, 제2의 GaN층(104)의 성장 과정에 있어서, Ta층(103)에 구멍(103a)이 형성되는 경우를

나타냈지만, 예를 들면, Ta층(103)을 형성할 때 미리 구멍을 형성한 패턴 마스크를 이용해 Ta층(103)을 형성하도록 해도 좋다. 또, Ta층(103)의 형상은, 상술의 스트라이프 형상으로 한정하는 것은 아니고, 그 형상은 반도체 기판(100)상에 형성하는 소자의 구조 등에 맞추어 변경해도 좋다. 반도체 기판(100)을 이용한 소자의 예에 대해서는 후술한다.

[0077] 또, 상기 실시예 4에 나타낸 반도체 기판(100)은, GaN 기판을 박리한 후, 사파이어 기판(101)의 GaN를 형성한 면을 RIE 등에 의해 평坦하게 하면, 상술의 공동을 가지는 GaN층을 형성하는 기판(101)으로서 다시 이용할 수 있다. 따라서, GaN 기판의 제조 비용을 더욱 저감하는 것이 가능하다.

[0078] (비교예 1)

[0079] 다음으로, 상술의 실시예 1에 대한 비교예에 대해 설명한다. 이 비교예에서는, MOCVD 장치의 설정 조건을 변경하여, 반도체 기판(100)의 제2의 GaN층(104)을 형성하는 구체적인 예를 설명한다.

[0080] 본 비교예 1에서는, 원료 가스로서 TMGa를 이용해 TMGa를 $87 \mu\text{mol}/\text{min}$ 의 유량으로 흐르게 하면서 가열 온도를 1045°C 로 설정해, 결정 성장을 5시간 행한 예를 보여준다.

[0081] 상기 조건에 의해 제2의 GaN층(104)의 형성이 종료된 반도체 기판(100)을 도_7에 나타낸다. 도 7에서, (A)는 반도체 기판(100)의 일부분의 SEM 단면 사진이며, (B)는 (A)의 표면을 부분적으로 확대한 SEM 표면 사진이다. 이 도면에서 분명히 나타나듯이, 제2의 GaN층(104)의 면상에는, 입상의 물질이 석출되고 있고, Ta층(103)의 형성 영역의 하층에 있는 제1의 GaN층(102)에는 공동(102a)이 형성되고 있다. 입상의 물질은, 이하의 EDX 분석 및 CL 분석에 의해 Ga입자, N입자, Ta입자인 것이 판명되었다.

[0082] 상기 입자 형상 물질의 표면을 EDX 분석한 결과를 도 8에 나타낸다. 도 8에서, (A)는 도 7 (B)의 입상 물질을 EDX 분석한 스펙트럼도이며, (B)는 도 7 (B)의 입상 물질을 EDX 분석한 Ga의 EDX도이며, (C)는 도 7 (B)의 입상 물질을 EDX 분석한 N의 EDX도이다. 도 8 (A)의 스펙트럼도에 나타나듯이 Ga 및 N와 약간의 Ta가 관측되고, 도 8 (B) 및 (C)의 EDX도에 나타나듯이 Ga 및 N이 관측되었다.

[0083] 더욱이, 입상 물질의 단면을 EDX 분석한 결과를 도 9 및 도 10에 나타낸다. 도 9에서, (A)는 도 7 (B)의 입상 물질로서의 보이드 부분을 확대한 SEM 단면 사진이며, (B)는 (A)의 단면을 EDX 분석한 스펙트럼도이다. 도 10에서, (A)는 도 9 (A)의 단면을 EDX 분석한 Ga의 EDX도이며, (B)는 도 9 (A)의 단면을 EDX 분석한 N의 EDX도이며, (C)는 도 9 (A)의 단면을 EDX 분석한 Ta의 EDX도이다.

[0084] 도 9 (B)의 스펙트럼도에 나타나듯이, 제2의 GaN층(104) 및 입상 물질의 Ga 및 N, Ta층(103)의 Ta, 사파이어 기판(101)의 Al 및 O가 관측되었다. 또, 도 10 (A)~(C)에 나타나듯이, 보이드 부분에 Ga, N, Ta가 관측되었다.

[0085] 이상의 관측 결과로부터 제2의 GaN층(104)의 면상에 석출한 입상 물질은, Ga입자, N입자와 Ta입자인 것이 판명되었다. 즉, 본 비교예 1에서는, 제1의 GaN층(103)의 예칭된 부분의 Ga가 N와의 결합이 끊기고, GaO의 반응과 가스화가 끊겨, Ga입자, N입자 및 Ta입자가 석출된 것이 판명되었다.

[0086] 이상과 같이, 비교예 1의 MOCVD 장치의 설정 조건에서는, TMGa의 유량을 $87 \mu\text{mol}/\text{min}$ 으로 실시예 1보다 많이 설정했기 때문에, 상술과 같은 입상 물질이 기판상에 석출하여, 기판으로서는 사용 불가능한 것이 판명되었다. 따라서, 입상 물질이 기판상에 석출하지 않는 TMGa의 바람직한 유량 X는, $X < 87 \mu\text{mol}/\text{min}$ 의 범위인 것이 판명되었다.

[0087] (Ta층의 Ta_2O_5 형성에 대해)

[0088] 상기 실시예 1 ~ 실시예 4에서는, Ta층(103)의 두께를 30nm , 50nm , 100nm 로 변경하는 예를 보여준다. 이와 같이, Ta층(103)의 두께를 변경해도, 제1의 GaN층(104) 중에는 예칭에 의해 공동(102a)이 형성되는 것을 확인할 수 있다.

[0089] Ta층(103)은, 그 두께에 따라 Ta_2O_5 가 생성되는 영역이 변화하는 것을, 도 15에 모식적으로 나타낸다. 도 15 (A)는, 두께를 5nm 의 Ta층(103)이 Ta_2O_5 로 변화한 예를 나타내고, 도 15 (B)는, 두께를 100nm 의 Ta층(103)의 표면이 Ta_2O_5 로 변화한 예를 나타낸다. 제1의 GaN층(102)의 표면에 Ta층(103)을 EB 증착 장치로 증착한 후, MOCVD 장치까지 옮기는 동안에 Ta층(103)은 대기 중에 노출된다. 그동안에 Ta와 산소가 반응해 Ta층(103)이 Ta_2O_5 로 변화하고 있는 것이 판명되었다. 이 때문에, 도 15 (A)에 나타나는 Ta층(103)의 두께를 5nm 로 했을 경우는 전체가 Ta_2O_5 로 변화하고, 도 15 (B)에 나타내는 Ta층(103)의 두께를 100nm 로 했을 경우는 표면이 Ta_2O_5 로 변화하는 것

이 판명되었다. 즉, Ta가 실온에서 공기에 접하면, Ta_2O_5 가 생긴다. 도 15 (A)에 두께 5nm의 Ta막이 GaN층상의 횡방향으로 성장하는 예를 모식적으로 나타낸다. 또, 실제로 두께 10nm의 Ta_2O_5 를 기판상의 횡방향으로 성장시킨 예를 도 16에 나타낸다. 양쪽 모두, Ta막 아래의 GaN층이 에칭되는 일 없이 성장이 진행되고 있다. 즉, 두께 5nm의 Ta막을 형성한 기판을, 공기 중에서 MOCVD 장치까지 옮긴 결과, 도 15 (A)에서는 5nm의 Ta_2O_5 가 형성되었다. Ta_2O_5 는 매우 좋은 횡방향으로 성장하는 마스크이다. 한편, 도 15 (B)에 나타내는 두께 100nm의 Ta를 형성했을 경우는 사정이 다르다. Ta를 EB 증착으로 형성하는 경우, 원료의 Ta를 공기 중에서 장착하기 때문에, Ta 표면에 얇은 산화막이 증착된다. 이것을 더욱 증착하면, 처음에는 Ta_2O_5 가 되지만, 이 상태는 점점 줄어들어 Ta 금속의 증착이 된다. 따라서, GaN층상의 Ta의 Ta_2O_5 의 막 두께는 5nm 이하이며, 부분적으로 Ta인 부분이 포함되어 있다. 이 Ta_2O_5 막으로부터 위층은 Ta이다. 그리고 Ta층 형성 후의 기판을 공기 중에서 MOCVD 장치까지 옮기는 것에 의해, Ta층의 표면에 얇게 Ta_2O_5 막이 형성된다. 그 결과, Ta층의 표면을 얇게 Ta_2O_5 막으로 감싼 형태가 된다. 이 Ta층 가운데, GaN층상의 Ta_2O_5 막은, 부분적으로 Ta가 섞인 층이 된다. 이 모습을 도 15 (B)에 모식적으로 나타내고 있다. GaN층의 N와 Ta층의 Ta는 결합해 TaN 이 되지만, Ga는 기상 성장 중에 퇴적하는 Ga와 같은 것으로, 그대로 원료로서 사용되고 있다.

[0090] 상기 실시예 1~실시예 4에 있어서, Ta층(103)이 산화한 Ta_2O_5 영역은, 제1의 GaN층(104)에 대해서 횡방향으로 성장하여 매우 좋은 에칭 마스크로 작용한다. 이 때문에, 실시예 2에서 도 12에 나타낸 것처럼, 두께가 30nm의 Ta층(103)의 좌우 양단 부분에서는 Ta_2O_5 영역이 형성되지 않고, 이 부분의 하층에 위치하는 제1의 GaN층(102)으로부터 공동(102a)의 형성이 진행하는 것이 판명되었다. 두께가 50nm, 100nm로 한 Ta층(103)을 형성한 실시예 3 및 4에서도, 그 표면에 Ta_2O_5 영역이 형성되어 제1의 GaN층(104)에 대해서 에칭 마스크로서 작용하기 때문에, 똑같이 공동(102a)의 형성이 진행된다.

[0091] 따라서, 에칭 마스크로서 작용시키는 Ta_2O_5 영역이 형성되는 Ta층(103)의 두께는, 실시예 1~실시예 4에 나타낸 것처럼 20nm~100nm여도 좋다. 또한, 제1의 GaN층상에 두께 5nm의 Ta 마스크를 형성한 예를 나타낸 도 16 (A)에서는, Ta 마스크의 하층에 공동이 형성되지 않았다. 또, Ta_2O_5 마스크만을 형성한 예를 나타낸 도 16 (B)에서는, Ta_2O_5 마스크가 GaN층상, 및 InGaAlN상에 형성 가능한 것을 확인했다. 따라서, Ta층(103)의 두께에 의하지 않고 Ta_2O_5 마스크가 형성되기 때문에, 상기 실시예 1~실시예 4에 나타낸 것처럼, Ta_2O_5 마스크의 하층에 위치하는 제1의 GaN층(102) 내에 공동(102a)의 형성을 진행시키는 것이 가능하다.

[0092] (실시 형태 2)

[0093] 다음으로, 상기 실시 형태 1에 나타낸 반도체 기판(100)상에 형성한 반도체 소자의 예로서 LED를 형성했을 경우에 대해 도 11을 참조해 설명한다.

[0094] 도 11은, 본 실시 형태 2에 따른 LED를 설명하기 위한 부분 단면도이다.

[0095] 도 11에 있어서, 반도체 기판(100)상에는 복수의 LED(200)가 서로 격리되어 형성된다. 각 LED(200)는, 제1의 도전형 화합물 반도체층으로 된 하부 반도체층(201)과, 활성층(202)과 제2의 도전형 화합물 반도체층으로 된 상부 반도체층(203)을 가진다. 활성층(202)은, 층 및 장벽층을 가지는 단일 또는 다중 양자 우물 구조를 가져도 좋고, 요구되는 발광 파장에 의해, 그 물질 및 조성이 선택된다. 예를 들면, 활성층(202)은, 질화갈륨계의 화합물 반도체로 형성되어도 좋다. 하부 및 상부 반도체층(201, 203)은, 활성층(202)에 비해 밴드 갭이 큰 물질로 형성되고, 질화갈륨계의 화합물 반도체로 형성되어도 좋다.

[0096] 이 경우, 반도체 기판(100)상에 형성되는 하부 반도체층(201)은, 제2의 GaN층(104)상에 형성된다. 따라서, 반도체 기판(100)을 이용해 LED(200)를 제조하는 것에 의해, 제조 비용을 저감하는 것이 가능하게 된다.

[0097] 상부 반도체층(203)은, 하부 반도체층(201)의 일부 영역의 상부에 위치하고, 활성층(202)은, 상부 반도체층(203)과 하부 반도체층(201)의 사이에 개재된다. 또, 상부 반도체층(203)상에 상부 전극층(204)을 형성해도 좋다. 상부 전극층(204)은, 투명 전극층, 예를 들면, 인디뮴탄산화물막(ITO), 또는, Ni/Au 등의 물질로 형성되어도 좋다.

[0098] 또, 상부 전극층(204)상에는, 상부 전극 패드(205)가 형성되고, 하부 반도체층(201)이 노출된 영역에는, 하부

전극(207)이 형성된다.

[0099] 이와 같이, 단일의 반도체 기판(100)상에서 복수의 LED(200)를 형성한 후, 도면 중에 나타내는 절단 위치에서 절단하는 것에 의해, 개개의 LED(200)로 분리하는 것이 가능하다. 이 LED(200)와 같이, 상부 전극(205)과 하부 전극 패드(207)를 수평형으로 배치하는 것만이 아니고, 각 전극을 수직형으로 배치한 LED도 제조 가능하다. 즉, 반도체 기판(100)의 공동(102a)을 이용해 사파이어 기판(101)을 박리하고, 제1의 GaN층(102)의 박리면을 RIE 등에 의해 평탄화한 후, 하부 전극을 형성하는 것에 의해, 수직형 구조의 LED를 제조하는 것이 가능하다.

[0100] 이상과 같이, 반도체 기판(100)상을 이용해 복수의 LED(200)를 제조하는 것에 의해, LED의 제조 비용을 저감하는 것이 가능하게 된다. 또, 제2의 GaN층(104)상에 LED(200)를 형성할 때에, 제2의 GaN층(104)과 하부 반도체층(201)의 굴절률을 서로 다르게 한 화합물 반도체를 형성하는 것에 의해, 발광 효율의 향상을 꾀할 수 있어 고휘도의 LED 어레이를 구성하는 것도 가능하다. 또, 반도체 기판(100)을 이용해 레이저 다이오드를 형성하면, 사파이어 기판(101)보다 열전도율이 좋은 GaN층상에 형성되기 때문에, 방열 특성을 향상할 수 있어 레이저 다이오드의 장수명화를 꾀하는 일도 가능하다.

[0101] 또한, 상기 실시 형태 2에서는, 반도체 기판(100)의 제2의 GaN층상에 LED(200)를 형성하는 경우를 나타냈지만, 사파이어 기판(101)으로부터 박리한 GaN 기판을 이용해 똑같이 LED(200)를 형성해도 좋다. 또, 사파이어 기판(101)으로부터 박리한 GaN 기판의 피박리면에 Si나 SiC 등의 실리콘계 기판을 지지재로서 붙이고, 박리면을 RIE 등에 의해 연마해, FET 등의 반도체 소자를 형성하도록 해도 좋다. 이 경우, 대전류 소자를 제조하는 것이 가능하게 된다.

[0102] 따라서, 반도체 기판(100)을 이용해 LED나 레이저 다이오드 등의 반도체 소자를 형성하는 것에 의해, 고가의 GaN 기판을 이용함이 없이, 저비용으로 고성능의 반도체 소자를 용이하게 제조하는 것이 가능하게 된다.

[0103] 또한, 상기 실시 형태에서는, 금속성 재료층으로서 Ta층을 형성했을 경우를 나타냈지만, 복수의 금속의 합금이나 금속과 반도체 등의 합금 등을 이용해도 좋고, 상술의 제1의 GaN층에 대해서 애칭 작용을 발휘하는 금속성 재료이면 좋다.

도면의 간단한 설명

[0104] 도 1은 본 발명의 실시 형태 1에 따른 반도체 기판의 제조 방법을 나타내는 도면이며, (A)는 제1의 GaN층을 형성하는 공정을 나타내는 단면도, (B)는 Ta층을 형성하는 공정을 나타내는 단면도, (C)는 제2의 GaN층 및 공동의 형성 도중을 나타내는 단면도, (D)는 제2의 GaN층의 형성의 완료를 나타내는 단면도, (E)는 사파이어 기판을 박리한 단면도, (F)는 완성된 GaN 기판의 단면도이다.

[0105] 도 2는 실시예 1에 따른 반도체 기판의 SEM 단면 사진이다.

[0106] 도 3은 실시예 1에 따른 EDX의 스펙트럼도이다.

[0107] 도 4는 실시예 1에 따른 (A)는 도 2의 확대 영역의 SEM 단면 사진, (B)는 Ga의 EDX도, (C)는 Al의 EDX도, (D)는 O의 EDX도이다.

[0108] 도 5는 실시예 1에 따른 (A)는 반도체 기판의 SEM 단면 사진, (B)는 반도체 기판의 SEM 표면 사진이다.

[0109] 도 6은 실시예 1에 따른 반도체 기판의 EDX도이며, (A)는 Ga의 EDX도, (B)는 Ta의 EDX도이다.

[0110] 도 7은 비교예 1에 따른 (A)는 반도체 기판의 SEM 조감 사진, (B)는 반도체 기판의 SEM 표면 사진이다.

[0111] 도 8은 비교예 1에 따른 (A)는 도 7 (B)의 EDX의 스펙트럼도, (B)는 도 7 (B)의 Ga의 EDX도, (C)는 도 7 (B)의 N의 EDX도이다.

[0112] 도 9는 비교예 1에 따른 (A)는 보이드의 SEM 단면 사진, (B)는 (A)의 EDX 스펙트럼도이다.

[0113] 도 10은 비교예 1에 따른 (A)는 도 9 (A)의 Ga의 EDX도, (B)는 도 9 (A)의 N의 EDX도, (C)는 도 9 (A)의 Ta의 EDX도이다.

[0114] 도 11은 본 발명의 실시 형태 2에 따른 LED 어레이의 구성을 나타내는 단면도이다.

[0115] 도 12는 실시예 2에 따른 반도체 기판의 SEM 단면 사진이다.

[0116] 도 13은 실시예 3에 따른 반도체 기판의 SEM 단면 사진이다.

[0117] 도 14는 실시예 4에 따른 반도체 기판의 SEM 단면 사진이다.

[0118] 도 15는 (A)는 두께 5nm의 Ta층이 Ta_2O_5 로 변화한 예를 모식적으로 나타내는 도면, (B)는 두께 100nm의 Ta층의 표면이 Ta_2O_5 로 변화한 예를 모식적으로 나타내는 도면이다.

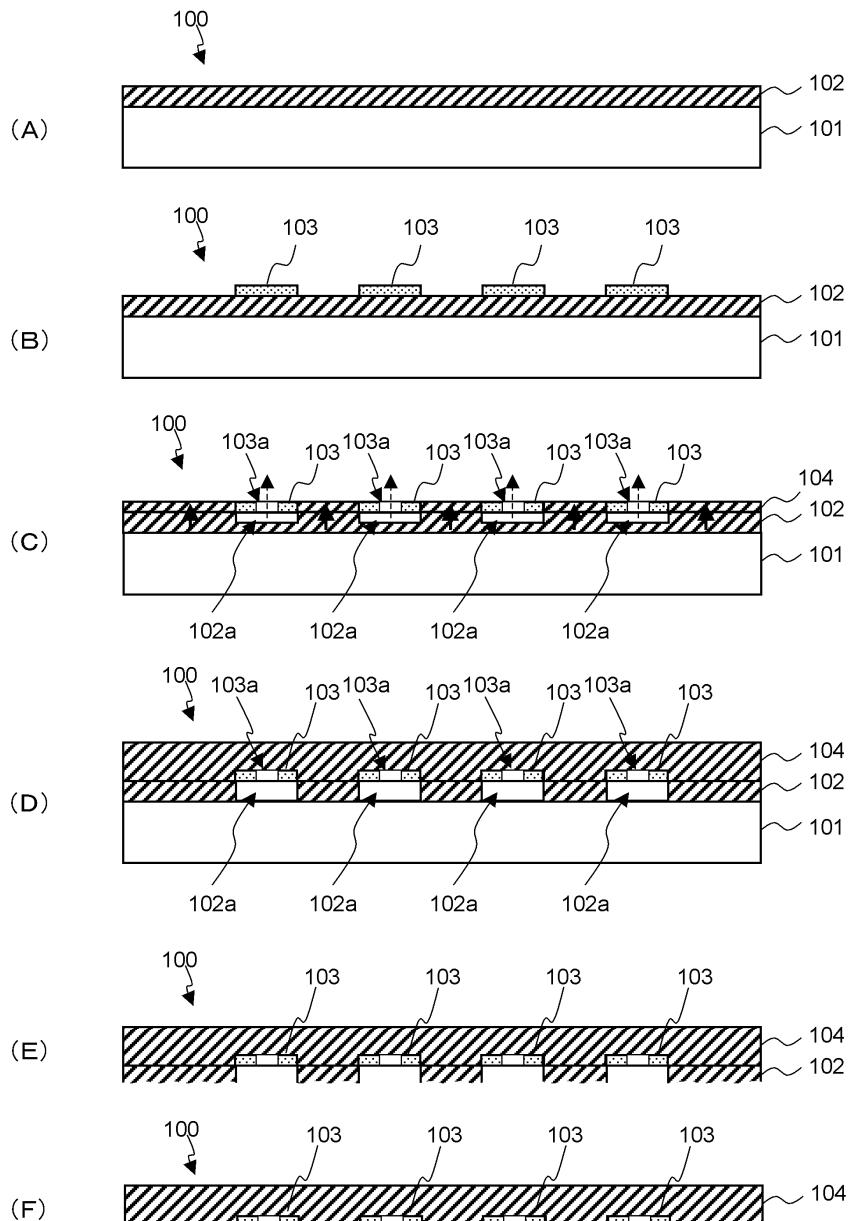
[0119] 도 16은 (A)는 두께 5nm의 Ta 마스크를 형성한 기판의 SEM 표면 사진이며, (B)는 두께 10nm의 Ta_2O_5 마스크를 형성한 기판의 SEM 단면 사진이다.

[0120] (부호의 설명)

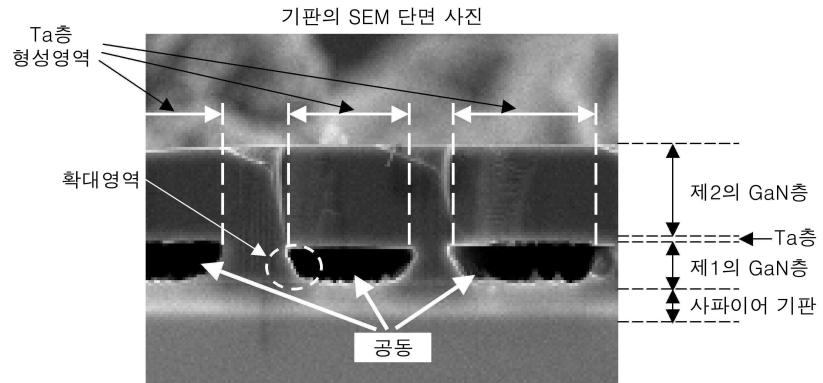
[0121] 100 : 반도체 기판, 101 : 사파이어 기판, 102 : 제1의 GaN층, 102a : 공동, 103 : Ta층, 103a : 구멍, 104 : 제2의 GaN층, 200 : LED, 201 : 하부 반도체층, 202 : 활성층, 203 : 상부 반도체층

도면

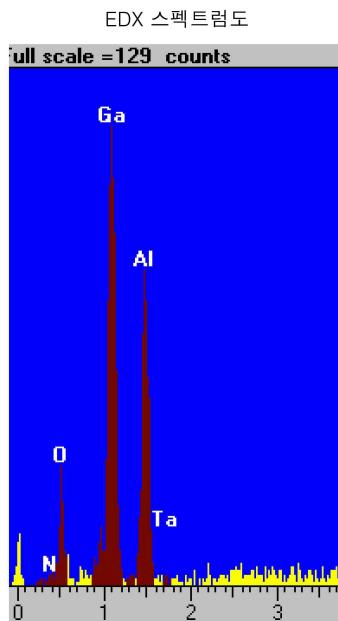
도면1



도면2

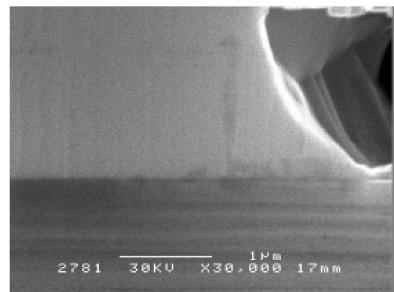


도면3

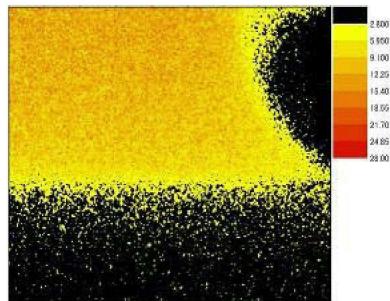


도면4

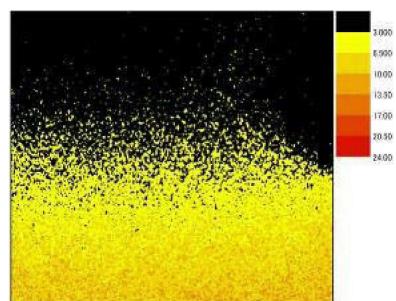
(A) 확대영역의 SEM 단면 사진



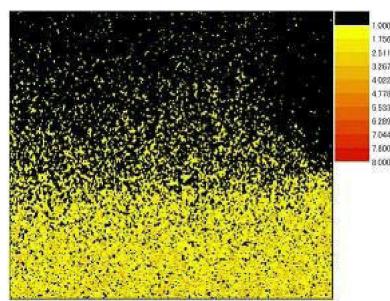
(B) Ga의 EDX도



(C) Al의 EDX도

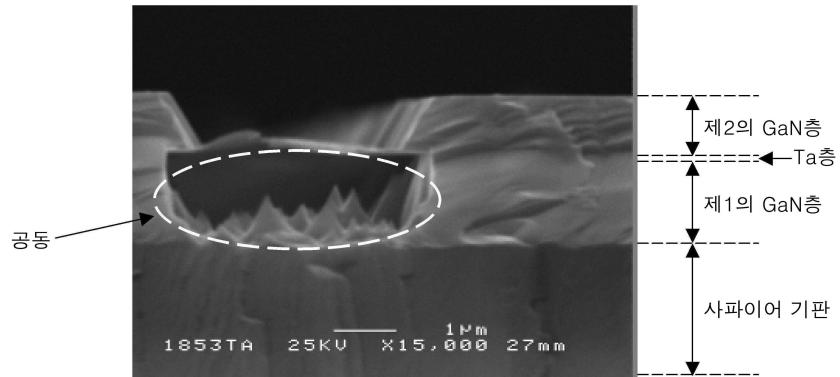


(D) O의 EDX도

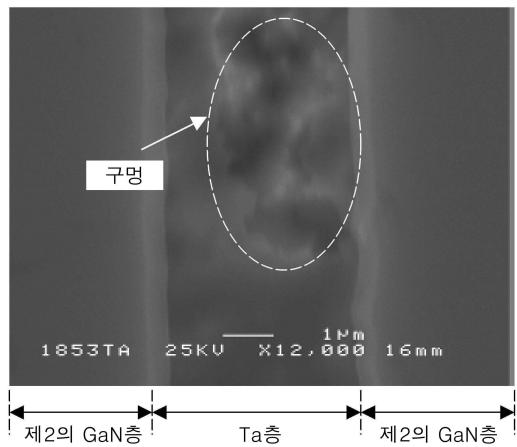


도면5

(A) 기판의 SEM 단면 사진

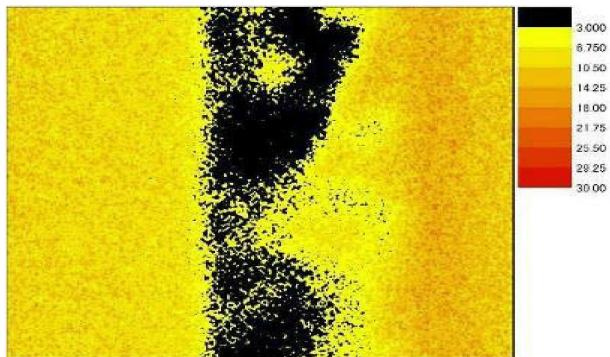


(B) 기판의 SEM 표면 사진

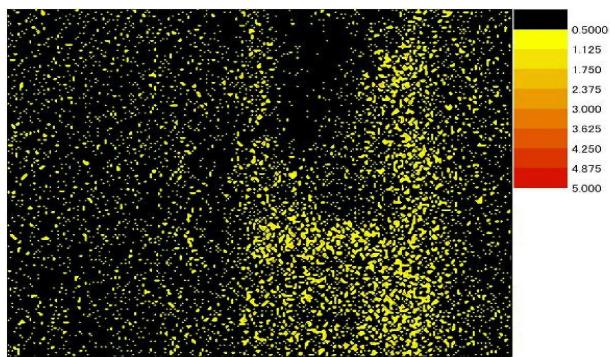


도면6

(A) Ga의 EDX도

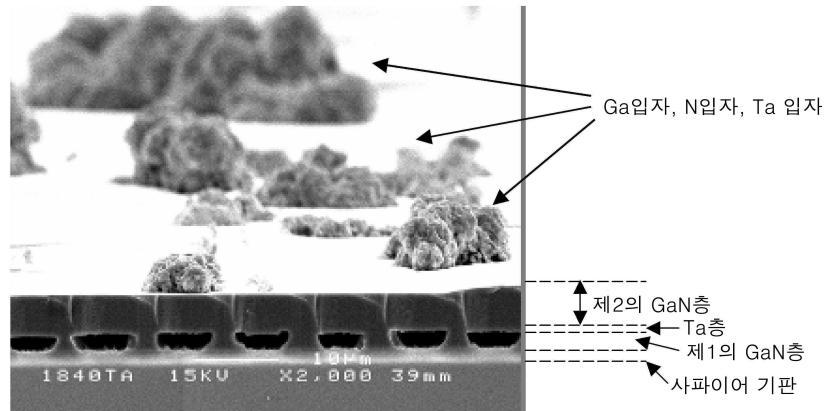


(B) Ta의 EDX도

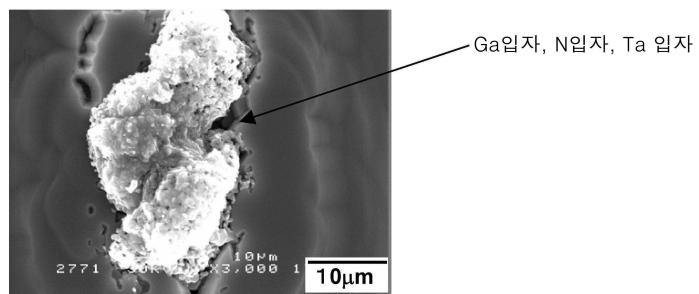


도면7

(A) 기판의 SEM 조감 사진

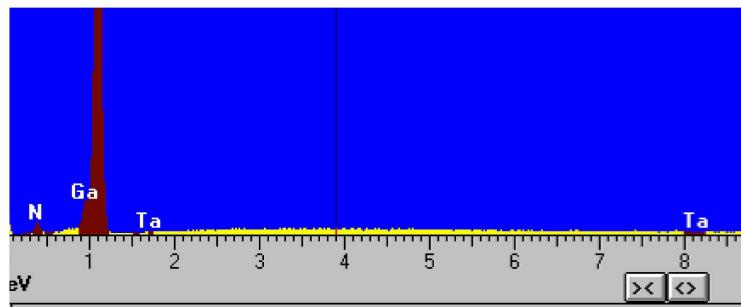


(B) 기판의 SEM 표면 사진

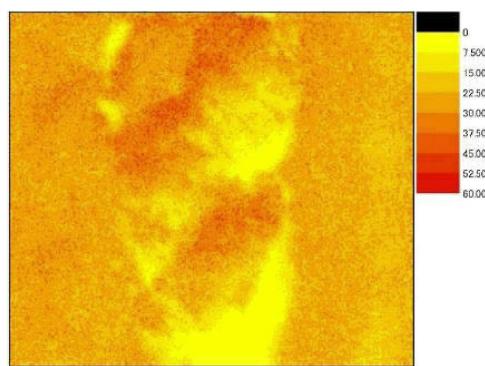


도면8

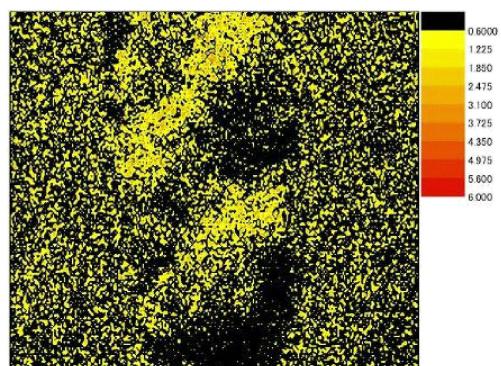
(A) EDX의 스펙트럼도



(B) Ga의 EDX도

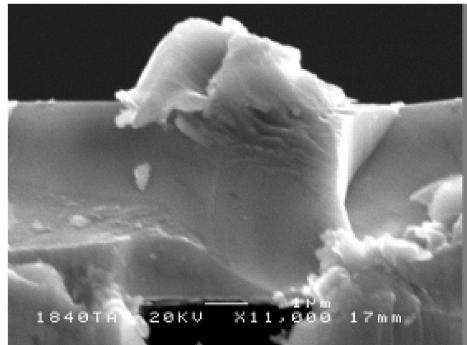


(C) N의 EDX도

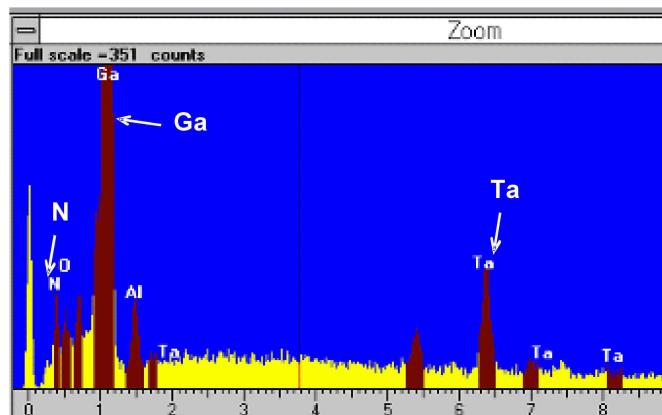


도면9

(A) 보이드의 SEM 단면 사진

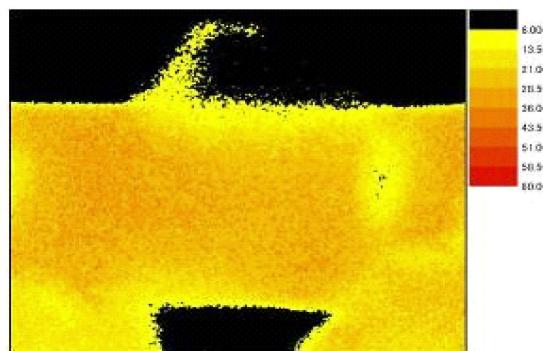


(B) EDX의 스펙트럼도

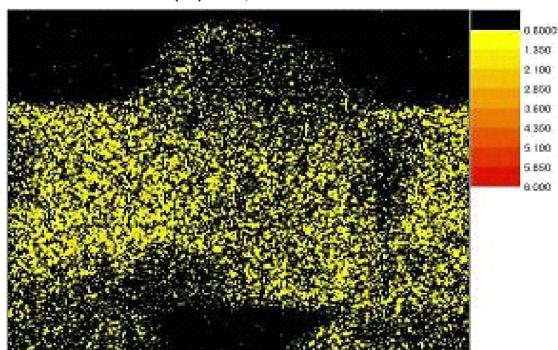


도면10

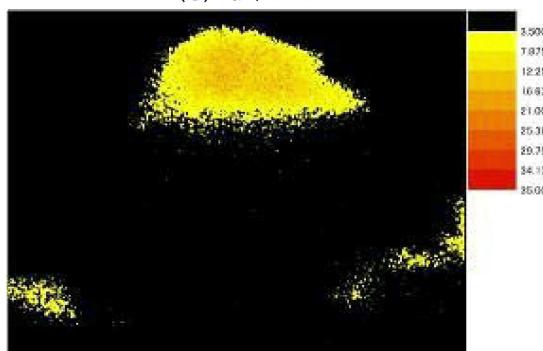
(A) Ga의 EDX도



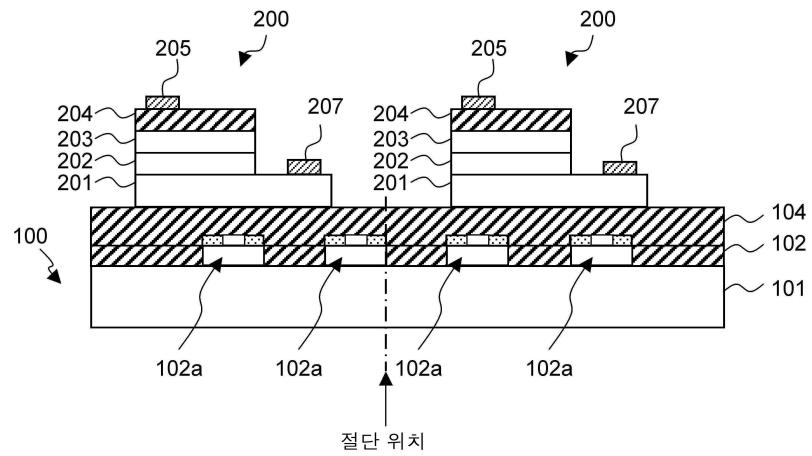
(B) N의 EDX도



(C) Ta의 EDX도

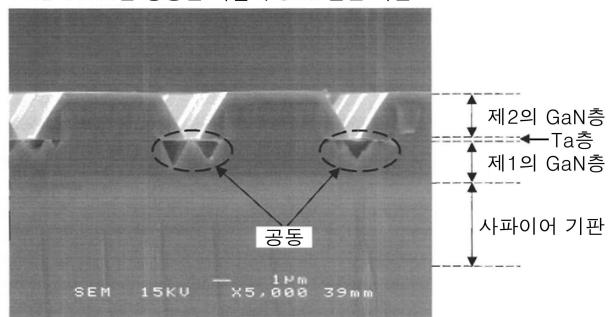


도면11



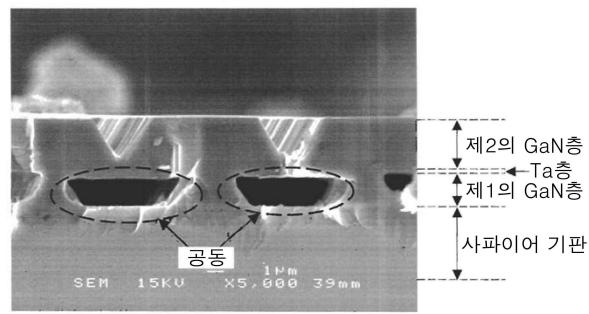
도면12

Ta=30nm를 형성한 기판의 SEM 단면 사진

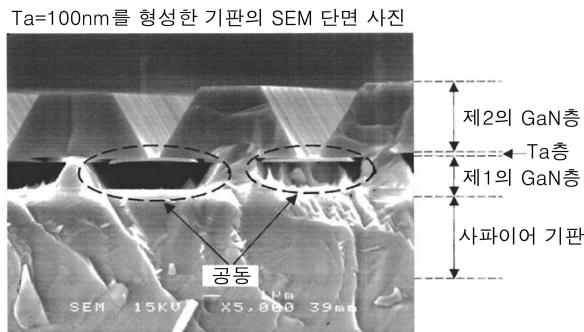


도면13

Ta=50nm를 형성한 기판의 SEM 단면 사진

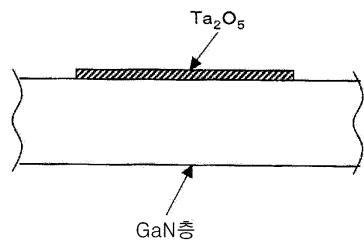


도면14

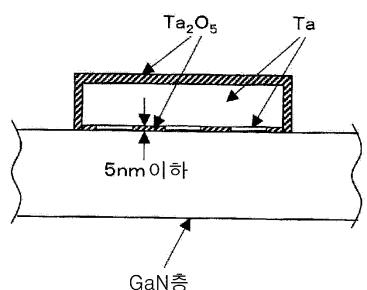


도면15

(A) GaN층 상에 두께 5nm의 Ta층을 형성한 예

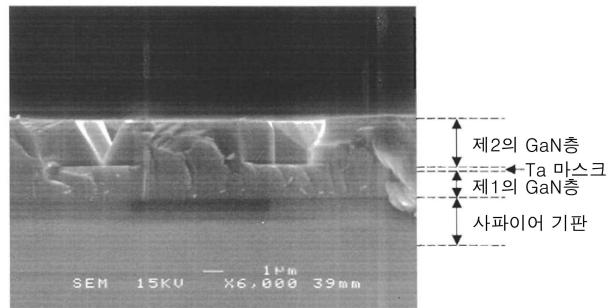


(B) GaN층 상에 두께 100nm의 Ta층을 형성한 예



도면16

(A) 5nm의 Ta 마스크를 형성한 기판의 SEM 단면 사진



(B) 10nm의 Ta_2O_5 마스크를 형성한 기판의 SEM 단면 사진

