

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6469554号
(P6469554)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.

F 1

G 11 C 11/418 (2006.01)
G 11 C 8/08 (2006.01)G 11 C 11/418 11 O
G 11 C 8/08

請求項の数 11 (全 15 頁)

(21) 出願番号 特願2015-179683 (P2015-179683)
 (22) 出願日 平成27年9月11日 (2015.9.11)
 (65) 公開番号 特開2017-54570 (P2017-54570A)
 (43) 公開日 平成29年3月16日 (2017.3.16)
 審査請求日 平成30年5月14日 (2018.5.14)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 石井 雄一郎
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内

審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数のメモリセルを含むメモリアレイと、
 前記メモリアレイの各行に対応して設けられたワード線と、
 前記ワード線の一端に接続されて、対応する行が選択されたときに、前記ワード線の一端を第1の電源に接続することによってワード線を活性化するワード線ドライバと、
 前記ワード線の他端に接続されて、前記ワード線の他端の電圧に応じて、前記ワード線の他端を前記第1の電源に接続するアシストドライバと、
 を備え、

前記アシストドライバは、

10

前記第1の電源と前記ワード線の他端との間に設けられたPMOSトランジスタと、
前記ワード線の他端に接続された遅延回路と、
 一方の入力が前記ワード線の他端に接続され、他方の入力が前記遅延回路の出力を受け、出力が前記PMOSトランジスタのゲートに接続されたNAND回路と、
 を含む、半導体装置。

【請求項 2】

前記遅延回路は、奇数個の直列接続されたインバータからなる、請求項1記載の半導体装置。

【請求項 3】

前記ワード線ドライバは、出力が、前記ワード線の一端に接続されるインバータを含む

20

、請求項 1 記載の半導体装置。

【請求項 4】

前記メモリセルは、S R A M セルである、請求項 1 記載の半導体装置。

【請求項 5】

前記メモリセルは、横長型セルである、請求項 4 記載の半導体装置。

【請求項 6】

前記メモリアレイの各列に対応して設けられたビット線対と、

隣接する複数の列のビット線対と接続され、前記メモリセルへのデータの書き込み時に、前記隣接する複数の列のうちの選択された列のビット線対へ書き込みデータに応じた電圧を出力する、請求項 1 記載の半導体装置。

10

【請求項 7】

前記メモリアレイの各列に対応して設けられたビット線対と、

隣接する複数の列のビット線対と接続され、前記メモリセルからのデータの読み出し時に、前記隣接する複数の列のうちの選択された列のビット線対の電圧を増幅するセンスアンプとを備える、請求項 1 記載の半導体装置。

【請求項 8】

行列状に配置された複数のメモリセルを含むメモリアレイと、

前記メモリアレイの各行に対応して設けられたワード線と、

前記ワード線の一端に接続されて、対応する行が選択されたときに、前記ワード線の一端を第 1 の電源に接続するワード線ドライバと、

20

前記第 1 の電源と前記ワード線の他端との間に設けられた P M O S トランジスタと、

前記ワード線の他端に接続された遅延回路と、

一方の入力が前記ワード線の他端に接続され、他方の入力が前記遅延回路の出力を受け、出力が前記 P M O S トランジスタのゲートに接続された N A N D 回路と、

を備え、

前記 P M O S トランジスタは、前記ワード線の立ち上がり時に、前記ワード線の他端の電圧が所定値まで増加するとオンとなり、前記ワード線の立ち下り時に、制御信号によってオフとなる、半導体装置。

【請求項 9】

前記遅延回路は、奇数個の直列接続されたインバータからなる、請求項 8 記載の半導体装置。

30

【請求項 10】

行列状に配置された複数のメモリセルを含むメモリアレイと、

前記メモリアレイの各行に対応して設けられたワード線と、

前記ワード線の一端に接続されて、対応する行が選択されたときに、前記ワード線の一端を第 1 の電源に接続するワード線ドライバと、

前記第 1 の電源と前記ワード線の他端との間に設けられた P M O S トランジスタと、

前記ワード線の他端に接続された遅延回路と、

一方の入力が前記ワード線の他端に接続され、他方の入力が前記遅延回路の出力を受け、出力が前記 P M O S トランジスタのゲートに接続された N A N D 回路と、

40

を備え、

前記 P M O S トランジスタは、前記ワード線の立ち上がり時に、前記ワード線の他端の電圧が所定値まで立ち上がった時から所定時間だけロウレベルとなるワンショットパルスによって、オンとなる、半導体装置。

【請求項 11】

前記遅延回路は、奇数個の直列接続されたインバータからなる、請求項 10 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、半導体装置に関し、たとえば、ワード線の活性化によってデータの書き込みおよび読み出しが実行されるメモリセルを有する半導体装置に関する。

【背景技術】

【0002】

従来から、行列状に配置された複数のメモリセルを含むメモリアレイと、メモリアレイの各行に設けられたワード線と、メモリセルからのデータの読み出し時および書き込み時において、選択された行のワード線を活性化するワード線ドライバを備えた半導体装置が知られている（たとえば、特許文献1を参照）。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献1】特開2014-99225号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、近年、トランジスタの駆動力向上および配線の微細化が進み、配線の抵抗成分の影響が顕在化している。

【0005】

メモリアレイを含む半導体装置においては、ワード線の抵抗成分の影響によって、ワード線の活性化時において、ワード線ドライバに近い箇所の電圧の立ち上がり速度に比べて、ワード線ドライバから遠い箇所の電圧の立ち上がり速度が遅いという問題が生じている。その結果、ワード線ドライバから遠い箇所のメモリセルでは、ワード線ドライバから近い箇所のメモリセルに比べて、セル電流が流れ始めるのが遅くなり、メモリセルへのデータの書き込みおよびメモリセルからのデータの読み出しが遅れる。

20

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかであろう。

【課題を解決するための手段】

【0007】

一実施形態の半導体装置は、ワード線ドライバが接続されていない側のワード線の他端に接続されて、ワード線の他端の電圧に応じて、ワード線の他端を第1の電源に接続するアシストドライバを備える。

30

【発明の効果】

【0008】

一実施形態の半導体装置によれば、ワード線の活性化時において、ワード線ドライバに近い箇所の電圧の立ち上がり速度に比べて、ワード線ドライバから遠い箇所の電圧の立ち上がり速度が遅くなるのを回避できる。

【図面の簡単な説明】

【0009】

【図1】第1の実施形態の半導体装置の構成を表わす図である。

【図2】第2の実施形態の半導体装置の構成を表わす図である。

40

【図3】第2の実施形態における、ワード線WLの先端、末端、およびアシストドライバ内の電圧の変化を表わす図である。

【図4】第3の実施形態の半導体装置の構成を表わす図である。

【図5】第3の実施形態におけるワード線WLの先端、末端、およびアシストドライバ内の電圧の変化を表わす図である。

【図6】第4の実施形態の半導体装置の構成を表わす図である。

【図7】第4の実施形態における、ワード線WLの先端、末端、およびアシストドライバ内の電圧の変化を表わす図である。

【図8】第5の実施形態のメモリセルの構成およびレイアウトを表わす図である。

【発明を実施するための形態】

50

【0010】

以下、本発明の実施形態について図面を用いて説明する。

[第1の実施形態]

図1は、第1の実施形態の半導体装置の構成を表わす図である。

【0011】

図1を参照して、この半導体装置1000は、メモリアレイ98と、複数個のワード線WLと、複数個のビット線対BT, BBと、複数個のワード線ドライバ502と、第1の電源Vddと、複数個のアシストドライバ504とを備える。

【0012】

メモリアレイ98は、行列状に配置された複数個のメモリセル500を含む。 10

ワード線WLは、メモリアレイ98の各行に対応して設けられる。ワード線WLは、対応する行のメモリセル500と接続する。

【0013】

ビット線対BT, BBは、メモリアレイ98の各列に対応して設けられる。ビット線対BT, BBは、対応する列のメモリセル500と接続する。

【0014】

ワード線ドライバ502は、ワード線WLの一端に接続されて、対応する行が選択されたときに、ワード線WLの一端を第1の電源Vddに接続する。

【0015】

アシストドライバ504は、ワード線WLの他端に接続されて、ワード線WLの他端の電圧に応じて、ワード線WLの他端を第1の電源Vddに接続する。 20

【0016】

以上のように、本実施の形態によれば、アシストドライバ504によって、ワード線WLの他端の電圧が立ち上げられるので、ワード線WLの活性化時において、ワード線ドライバ502に近い箇所の電圧の立ち上がり速度に比べて、ワード線ドライバ502から遠い箇所の電圧の立ち上がり速度が遅くなるのを回避できる。

【0017】

[第2の実施形態]

図2は、第2の実施形態の半導体装置の構成を表わす図である。

【0018】

半導体装置100は、メモリアレイ62と、複数個のワード線WLと、複数個のビット線対BT, BBと、複数個のワード線ドライバ22と、複数個のアシストドライバ10と、複数個のカラムセレクタ4と、複数個のプリチャージ回路3と、制御回路・アドレスデコーダ21と、複数個のライトドライバ5と、複数個のセンスアンプ6とを備える。 30

【0019】

メモリアレイ62は、行列状に配置された複数個のメモリセル1を含む。図2では、複数個のメモリセル1を代表して2行2列のメモリセルを示す。メモリセル1は、SRAM(Static Random Access Memory)セルである。

【0020】

メモリセル1は、負荷トランジスタであるPMOS(Metal-Oxide-Semiconductor)トランジスタP1, P2と、ドライバトランジスタであるNMOトランジスタN1, N2と、アクセストランジスタであるNMOSトランジスタN20, N21とを含む。 40

【0021】

負荷トランジスタP1, P2のソースはともに内部電源電圧Vddに接続され、それらのドレインはそれぞれ記憶ノードA, Bに接続され、それらのゲートはそれぞれ記憶ノードB, Aに接続される。

【0022】

ドライバトランジスタN1, N2のソースはともに接地電源(グランド)に接続され、それらのドレインはそれぞれ記憶ノードA, Bに接続され、それらのゲートはそれぞれ記憶ノードB, Aに接続される。 50

【0023】

アクセストランジスタN20, N21のソースはそれぞれ記憶ノードA, Bに接続され、それらのドレインはそれぞれ対応のビット線BT, BBに接続され、それらのゲートはともに対応のワード線WLに接続される。

【0024】

PMOSトランジスタP1およびNMOSトランジスタN1は、インバータを構成し、記憶ノードBに書込まれたデータの反転信号を記憶ノードAに出力する。PMOSトランジスタP2およびNMOSトランジスタN2は、インバータを構成し、記憶ノードAに書込まれたデータの反転信号を記憶ノードBに出力する。したがって、PMOSトランジスタP1, P2およびNMOSトランジスタN1, N2は、記憶ノードA, Bに書込まれたデータを保持するラッチ回路を構成する。10

【0025】

ワード線WLは、メモリアレイ62の各行に対応して設けられる。ワード線WLは、対応する行のメモリセル500と接続する。

【0026】

ビット線対BT, BBは、メモリアレイ62の各列に対応して設けられる。ビット線対BT, BBは、対応する列のメモリセル500と接続する。

【0027】

制御回路・アドレスデコーダ21は、アドレス指定されたワード線WLを選択状態に駆動するために、行アドレス信号に従って行選択信号を生成する行デコーダと、列アドレス信号に従って選択列に対応するビット線対を選択する列デコーダとを含む。20

【0028】

具体的には、行デコーダは、読み動作時または書き動作時に、行アドレス信号をデコードして行選択信号を生成する。たとえば、行デコーダは、図2に示す第0行を選択するときには、セレクト信号XU0およびXL0をハイレベルに活性化し、図2に示す第1行を選択するときには、セレクト信号XU1およびXL1をハイレベルに活性化する。

【0029】

列デコーダは、読み動作または書き動作時に、列アドレス信号をデコードして列選択信号を生成する。たとえば、列デコーダは、図2に示す第0列を選択するときには、セレクト信号Y0をハイレベルに活性化し、図2に示す第1列を選択するときには、セレクト信号Y1をハイレベルに活性化する。30

【0030】

カラムセレクタ4は、インバータIV1と、インバータIV2と、PMOSトランジスタP5, P6と、NMOSトランジスタN5, N6とを備える。第0列のカラムセレクタ4のインバータIV1は、セレクト信号Y0を受ける。第1列のカラムセレクタ4のインバータIV1は、セレクト信号Y1を受ける。インバータIV2は、インバータIV1の出力を受ける。PMOSトランジスタP5とNMOSトランジスタN5は、ビット線BTと、ライトドライバ5の出力ノードOおよびセンスアンプ6の入力ノードIの間に設けられる。PMOSトランジスタP5のゲートは、インバータIV1の出力を受ける。NMOSトランジスタN5のゲートは、インバータIV2の出力を受ける。PMOSトランジスタP6とNMOSトランジスタN6は、ビット線BBと、ライトドライバ5の反転出力ノードNOおよびセンスアンプ6の反転入力ノードNIの間に設けられる。PMOSトランジスタP6のゲートは、インバータIV1の出力を受ける。NMOSトランジスタN6のゲートは、インバータIV2の出力を受ける。40

【0031】

プリチャージ回路3は、PMOSトランジスタP3, P4, P20を備える。PMOSトランジスタP3は、電源Vddと、ビット線BTの間に設けられる。PMOSトランジスタP3は、インバータIV2の出力を受ける。PMOSトランジスタP4は、電源Vddと、ビット線BBの間に設けられる。PMOSトランジスタP4は、インバータIV2の出力を受ける。PMOSトランジスタP20は、ビット線BTとビット線BBの間に設50

けられる。PMOSトランジスタP20のゲートは、インバータINV2の出力を受ける。

【0032】

第0列を選択するセレクト信号Y0がロウレベルのときには、以下が実行される。

PMOSトランジスタP3, P4, P4, P20がオンとなり、第0列のビット線対BT, BBが電圧Vddでプリチャージされる。

【0033】

第0列を選択するセレクト信号Y0がハイレベルとなると、以下が実行される。

PMOSトランジスタP3, P4, P4, P20がオフとなり、第0列のビット線対BT, BBのプリチャージが終了する。PMOSトランジスタP5, P6とNMOSトランジスタN5, N6がオンとなり、第0列のビット線対BT, BBがライトドライバ5およびセンスアンプ6と接続される。 10

【0034】

第1列を選択するセレクト信号Y1がロウレベルのときには、以下が実行される。

PMOSトランジスタP3, P4, P4, P20がオンとなり、第1列のビット線対BT, BBが電圧Vddでプリチャージされる。

【0035】

第1列を選択するセレクト信号Y1がハイレベルとなると、以下が実行される。

PMOSトランジスタP3, P4, P4, P20がオフとなり、第1列のビット線対BT, BBのプリチャージが終了する。PMOSトランジスタP5, P6とNMOSトランジスタN5, N6がオンとなり、第1列のビット線対BT, BBがライトドライバ5およびセンスアンプ6と接続される。 20

【0036】

ライトドライバ5およびセンスアンプ6は、隣接する2つの列ごとに設けられ、隣接する2つの列のビット線対BT, BBと接続する。ライトドライバ5およびセンスアンプ6が2つの列で共通に利用されることによって、メモリアレイ62が横長型となる。よって、ワード線WLが長くなり、本実施の形態の効果がより大きくなる。

【0037】

ライトドライバ5は、メモリセル1へのデータの書き込み時に、第0列と第1列のうちの選択された列のビット線対BT, BBへ書き込みデータに応じた電圧、すなわち(ハイレベル, ロウレベル)または(ロウレベル, ハイレベル)を出力する。 30

【0038】

センスアンプ6は、メモリセル1からのデータの読み出し時に、第0列と第1列のうちの選択された列のビット線対BT, BBの電位差を增幅する。

【0039】

ワード線ドライバ22およびアシストドライバ10は、メモリアレイ62の各ワード線WLに対応して設けられる。ワード線ドライバ22は、対応するワード線WLの先端Xと接続する。アシストドライバ10は、対応するワード線WLの末端Yと接続する。

【0040】

ワード線ドライバ22は、対応する行が選択されたときに、接続されているワード線WLの一端を電源Vddに接続する。 40

【0041】

ワード線ドライバ22は、NAND回路NAN1と、PMOSトランジスタP7およびNMOSトランジスタN7からなるインバータを備える。このインバータの入力が、NAND回路NAN1の出力と接続し、このインバータの出力がワード線WLの先端Xと接続する。

【0042】

第0行のワード線ドライバ22のNAND回路NAN1は、セレクト信号XU0およびXL0を受ける。第0行が選択されたときには、セレクト信号XU0およびXL0がハイレベルとなり、NAND回路NAN1の出力がロウレベルとなる。第0行が選択されないときには、セレクト信号XU0およびXL0のうち少なくとも1つがロウレベルとなり、 50

NAND回路NAN1の出力がハイレベルとなる。

【0043】

第1行のワード線ドライバ22のNAND回路NAN1は、セレクト信号XU1およびXL1を受ける。第1行が選択されたときには、セレクト信号XU1およびXL1がハイレベルとなり、NAND回路NAN1の出力がロウレベルとなる。第1行が選択されないときには、セレクト信号XU1およびXL1のうち少なくとも1つがロウレベルとなり、NAND回路NAN1の出力がハイレベルとなる。

【0044】

NAND回路NAN1の出力がロウレベルのときに、PMOSトランジスタP7がオンとなり、かつNMOSトランジスタN7がオフとなる。その結果、ワード線WLの先端Xが電源Vddと接続されて、ワード線WLの先端の電圧が立ち上がり、電圧の立ち上がりがワード線WLの末端へも徐々に伝わっていく。

10

【0045】

NAND回路NAN1の出力がハイレベルのときに、PMOSトランジスタP7がオフとなり、かつNMOSトランジスタN7がオンとなる。その結果、ワード線WLの先端Xがグランドと接続されて、ワード線WLの先端の電圧が立ち下がり、電圧の立ち下りがワード線WLの末端へも徐々に伝わっていく。

【0046】

アシストドライバ10は、対応するワード線WLの他端の電圧に応じて、対応するワード線WLの末端Yを電源Vddに接続または分断する。

20

【0047】

アシストドライバ10は、インバータIV3と、PMOSトランジスタP8とを含む。PMOSトランジスタP8は、ワード線WLの末端Yと、電源Vddとの間に設けられる。インバータIV3の入力は、ワード線WLの末端Yに接続され、インバータIV3の出力は、PMOSトランジスタP8のゲートに接続される。

【0048】

図3は、第2の実施形態における、ワード線WLの先端、末端、およびアシストドライバ10内の電圧の変化を表わす図である。

【0049】

時刻t1において、選択された行のワード線ドライバ22によってワード線WLの先端Xが電源Vddに接続されると、ワード線WLの先端Xの電圧は、(1)に示すように、比較的早い速度で立ち上がるが、ワード線WLの末端Yの電圧は、(2)に示すように、比較的遅い速度で立ち上がる。

30

【0050】

時刻t2において、ワード線WLの末端Yの電圧が、アシストドライバ10内のインバータIV3の閾値電圧を超えると、インバータIV3の出力端子Zの電圧は、ロウレベルとなる。これによって、アシストドライバ10内のPMOSトランジスタP8がオンとなる。その結果、電源Vddがワード線WLの末端Yと接続されて、(3)に示すように末端Yでの電圧の立ち上がりが加速される。

【0051】

40

時刻t3において、選択された行が非選択に変化して、ワード線ドライバ22によってワード線WLの先端Xがグランドに接続されると、ワード線WLの先端Xの電圧は、(4)に示すように、比較的早い速度で立ち下がるが、PMOSトランジスタP8がオンのままで、ワード線WLの末端Yの電圧は、(5)に示すように比較的遅い速度で立ち下がる。

【0052】

時刻t4において、ワード線WLの末端Yの電圧が、アシストドライバ10内のインバータIV3の閾値電圧以下となると、インバータIV3の出力端子Zの電圧は、ハイレベルとなる。これによって、アシストドライバ10内のPMOSトランジスタP8がオフとなる。その結果、電源Vddとワード線WLの末端Yとの接続が分断されて(6)に示す

50

ようすに末端Yでの電圧の立ち下がりが加速される。

【0053】

以上のように、本実施の形態によれば、アシストドライバ10によって、ワード線WLの活性化時にワード線WLの末端Yが電源Vddと接続され、ワード線WLの非活性化時にワード線WLの末端Yと電源Vddとの接続が分断される。よって、ワード線ドライバ22に近い箇所の電圧の立ち上がりおよび立下り速度に比べて、ワード線ドライバ22から遠い箇所の電圧の立ち上がりおよび立下り速度が遅くなるのを回避できる。

【0054】

【第3の実施形態】

図4は、第3の実施形態の半導体装置の構成を表わす図である。

10

【0055】

図4の半導体装置200が、図2の半導体装置100と相違する点について説明する。

アシスト制御回路12は、2段のインバータIV4, IV5を備える。

【0056】

制御回路・アドレスデコーダ21は、信号配線LAを通じて、制御信号パルスPLをアシスト制御回路12およびアシストドライバ11へ伝送する。信号配線LAは、半導体装置200が実装される基板に水平な方向において、メモリアレイ62の外側に設けられる。

【0057】

IV4は、制御回路・アドレスデコーダ21から制御信号パルスPLを受ける。インバータIV5は、インバータIV4の出力を受ける。

20

【0058】

アシストドライバ11は、NAND回路NAN2と、PMOSトランジスタP8とを含む。

【0059】

PMOSトランジスタP8は、ワード線WLの末端Yと、電源Vddとの間に設けられる。本実施の形態では、PMOSトランジスタP8は、ワード線WLの立ち上がり時に、ワード線WLの末端Yの電圧が所定値まで増加するとオンとなり、ワード線WLの立下り時に、制御回路・アドレスデコーダ21からの制御信号によってオフとなる。

【0060】

30

NAND回路NAN2の一方の入力は、ワード線WLの末端Yに接続され、他方の入力は、インバータIV5に接続される。NAND回路NAN2の出力は、PMOSトランジスタP8のゲートに接続される。

【0061】

制御回路・アドレスデコーダ21から出力されて、インバータIV4およびIV5を経由して、NAND回路NAN2に入力される制御信号パルスPLは、ワード線WLの立ち上がり開始からワード線WLの末端Yの電圧がVddに達するまでの間はハイレベルであり、ワード線WLの立ち下がり開始からワード線WLの末端Yの電圧が接地電圧(0V)に達するまでの間はロウレベルである。

【0062】

40

図5は、第3の実施形態におけるワード線WLの先端、末端、およびアシストドライバ11内の電圧の変化を表わす図である。

【0063】

時刻t0において、NAND回路NAN2の入力端子Wは、制御回路・アドレスデコーダ21から出力された制御信号パルスPLを受けて、入力端子Wの電圧が立ち上がる。

【0064】

時刻t1において、選択された行のワード線ドライバ22によってワード線WLの先端Xが電源Vddに接続されると、ワード線WLの先端Xの電圧は、(1)に示すように、比較的早い速度で立ち上がるが、ワード線WLの末端Yの電圧は、(2)に示すように、比較的遅い速度で立ち上がる。

50

【0065】

時刻 t_2 において、ワード線 WL の末端 Y の電圧が十分に高くなつて $NAND$ 回路 NAN_2 を構成するインバータの閾値を超えると、アシストドライバ 10 内の $NAND$ 回路 NAN_2 の出力端子 Z の電圧は、ロウレベルとなる。これによつて、アシストドライバ 10 内の $PMOS$ トランジスタ $P8$ がオンとなる。その結果、電源 Vdd がワード線 WL の末端 Y と接続されて、(3) に示すように、末端 Y での電圧の立ち上がりが加速される。

【0066】

時刻 t_3 において、 $NAND$ 回路 NAN_2 の入力端子 W において、制御信号パルス PL が立ち下がると、 $NAND$ 回路 NAN_2 の出力端子 Z の電圧は、ハイレベルとなる。これによつて、 $PMOS$ トランジスタ $P8$ がオフとなる。その結果、電源 Vdd とワード線 WL の末端 Y との接続が分断される。10

【0067】

時刻 t_4 において、選択された行が非選択に変化して、ワード線ドライバ 22 によってワード線 WL の先端 X がグランドに接続されると、ワード線 WL の先端 X の電圧は、(4) に示すように、比較的早い速度で立ち下がる。 $PMOS$ トランジスタ $P8$ が既にオフとされているため、ワード線 WL の末端 Y の電圧も、(5) に示すように比較的早い速度で立ち下がる。

【0068】

第2の実施形態では、ワード線 WL の非活性化時にアシストドライバ 10 内のプルアップ用の $PMOS$ トランジスタ $P8$ と、ワード線ドライバ 22 を構成する $NMOS$ トランジスタ $N7$ とが両方オンとなる期間が存在するため、図3の(5) に示すように、末端 Y の電圧が低下する速度が遅くなつた。20

【0069】

これに対して、本実施の形態では、プルアップ用の $PMOS$ トランジスタ $P8$ と、ワード線ドライバ 22 を構成する $NMOS$ トランジスタ $N7$ とが両方オンとなる期間がないので、図5の(5) に示すように、末端 Y の電圧が先端 X と同様の速度で低下する。その結果、ワード線 WL の非活性化時の高速化および低電力化を図ることができる。

【0070】

ワード線 WL は、メモリセル 1 が配置される領域の真上の半導体層に配置されるので、ワード線 WL を太くする設計は、困難である。これに対して、本実施の形態によれば、制御回路・アドレスデコーダ 21 から出力される制御信号パルス PL は、メモリアレイ 62 の外側に配置される信号配線 LA を通じて、アシスト制御回路 12 およびアシストドライバ 11 へ伝送されるので、ワード線 WL のようにレイアウト上の制約を受けることなく太幅化などによって低抵抗化することができる。30

【0071】

[第4の実施形態]

図6は、第4の実施形態の半導体装置の構成を表わす図である。

【0072】

図6の半導体装置 300 が、図2の半導体装置 100 と相違する点について説明する。

アシストドライバ 13 は、 $NAND$ 回路 NAN_3 と、 $PMOS$ トランジスタ $P8$ と、遅延回路 DL とを備える。遅延回路 DL は、3段のインバータ $IV6$, $IV7$, $IV8$ を含む。40

【0073】

インバータ $IV6$ の入力は、ワード線 WL の末端 Y に接続され、インバータ $IV7$ の入力は、インバータ $IV6$ の出力に接続され、インバータ $IV8$ の入力は、インバータ $IV7$ の入力に接続される。

【0074】

$PMOS$ トランジスタ $P8$ は、ワード線 WL の末端 Y と、電源 Vdd との間に設けられる。 $PMOS$ トランジスタ $P8$ は、ワード線 WL の立ち上がり時に、ワード線 WL の末端 Y の電圧が所定値まで立ち上がつた時から所定時間だけロウレベルとなるワンショットパ50

ルスによって、オンとなる。

【0075】

NAND回路NAN3の一方の入力は、ワード線WLの末端Yに接続され、他方の入力は、インバータIV8の出力に接続される。NAND回路NAN3の出力は、PMOSトランジスタP8のゲートに接続される。

【0076】

図7は、第4の実施形態における、ワード線WLの先端、末端、およびアシストドライバ13内の電圧の変化を表わす図である。

【0077】

時刻t1において、選択された行のワード線ドライバ22によってワード線WLの先端Xが電源Vddに接続されると、ワード線WLの先端Xの電圧は、(1)に示すように、比較的早い速度で立ち上がるが、ワード線WLの末端Yの電圧は、(2)に示すように、比較的遅い速度で立ち上がる。

10

【0078】

時刻t2において、ワード線WLの末端Yの電圧が十分高くなつて、インバータIV6の閾値を超えると、遅延回路DLおよびNAND回路NAN3によって、(3)に示すように、時刻t2から遅延回路DLによる遅延時間dtの間、NAND回路NAN3の出力端子Yの電圧がロウレベルとなるワンショットパルスが生成される。これによって、アシストドライバ10内のPMOSトランジスタP8がオンとなる。その結果、電源Vddがワード線WLの末端Yと接続されて、(3)に示すように、末端Yでの電圧の立ち上がりが加速される。

20

【0079】

時刻t3において、ワンショットパルスが終了し、端子Zの電圧がハイレベルとなると、アシストドライバ10内のPMOSトランジスタP8がオフとなる。その結果、電源Vddとワード線WLの末端Yとの接続が分断される。

【0080】

時刻t4において、選択された行が非選択に変化して、ワード線ドライバ22によってワード線WLの先端Xがグランドに接続されると、ワード線WLの先端Xの電圧は、(4)に示すように、比較的早い速度で立ち下がる。PMOSトランジスタP8が既にオフとされているため、ワード線WLの末端Yの電圧も、(5)に示すように比較的早い速度で立ち下がる。

30

【0081】

以上のように、本実施の形態によれば、第3の実施形態と同様に、第2の実施形態で見られる、ワード線WLの非活性化時にアシストドライバ10内のプルアップ用PMOSトランジスタP8と、ワード線ドライバ22を構成するNMOSトランジスタN7とが同時にオンするがなくなる。その結果、ワード線WLの非活性化時の高速化および低電力化が図れる。

【0082】

また、本実施の形態によれば、第3の実施形態のように、制御回路・アドレスデコーダ21から制御信号パルスPLを出力する必要がないので、タイミング設計の自由度が上がる。

40

【0083】

[第5の実施形態]

上述の実施形態のメモリセル1は、縦長型メモリセルである。本実施の形態の半導体装置は、メモリセルとして、横長型メモリセルを含む。

【0084】

本実施の形態のメモリセルMCは、上述の実施形態のメモリセル1と同様に、負荷トランジスタ(PチャネルMOSトランジスタ)41, 42、ドライバトランジスタ(NチャネルMOSトランジスタ)43, 44およびアクセストランジスタ(NチャネルMOSトランジスタ)45, 46を含む。このメモリセル500は、トランジスタ41~46など

50

のレイアウトがメモリセル1と異なる。

【0085】

すなわち、横長型メモリセルMCは、図8(b)に示すように、1つのN型ウェルNWとその両側に配置されたP型ウェルPW, PWの表面に形成される。まず、N型ウェルNWから一方のP型ウェルPWにわたって図中X方向に延在するゲート電極GE1と、N型ウェルNWから他方のP型ウェルPWにわたって図中X方向に延在するゲート電極GE2と、一方のP型ウェルPW上に図中X方向に延在するゲート電極GE3と、他方のP型ウェルPW上に図中X方向に延在するゲート電極GE4とがポリシリコン層によって形成される。

【0086】

次いで、一方のP型ウェルPWにおいてゲート電極GE1, GE3を横切るようにしてN型活性層NA1が形成され、他方のP型ウェルPWにおいてゲート電極GE2, GE4を横切るようにしてN型活性層NA2が形成され、N型ウェルNWにおいてそれぞれゲート電極GE1, GE2を横切るようにしてP型活性層PA1, PA2が形成される。

【0087】

ゲート電極GE1とP型活性層PA1、ゲート電極GE2とP型活性層PA2は、それぞれPチャネルMOSトランジスタ41, 42を構成する。ゲート電極GE1とN型活性層NA1、ゲート電極GE3とN型活性層NA1は、それぞれNチャネルMOSトランジスタ43, 45を構成する。ゲート電極GE2とN型活性層NA2、ゲート電極GE4とN型活性層NA2は、それぞれNチャネルMOSトランジスタ44, 46を構成する。

【0088】

次に、N型活性層NA1の中央部、P型活性層PA1の一方端部およびゲート電極GE2の一方端部にわたってローカル配線LL1が形成されるとともに、N型活性層NA2の中央部、P型活性層PA1の一方端部およびゲート電極GE1の一方端部にわたってローカル配線LL2が形成される。図8(b)において、ローカル配線LL1と活性層NA1, PA1とが重なっている部分は導通している。ローカル配線LL2と活性層NA2, PA2とが重なっている部分は導通している。ゲート電極GE2とローカル配線LL1、ゲート電極GE1とローカル配線LL2は、それぞれコンタクトホールCH, CHを介して互いに接続される。

【0089】

次に、図8(c)に示すように、図中X方向に延在する複数のメタル配線MLが第1アルミ配線層によって形成され、さらにその上方に、図中Y方向に延在するメモリセル接地配線MGL、ビット線BL、メモリセル電源配線MVL、ビット線/BBLおよびメモリセル接地配線MGLが第2アルミ配線層によって形成される。複数のメタル配線MLのうちメモリセルMCの中央部を横切るメタル配線は、ワード線WLとなる。

【0090】

P型活性層PA1の一方端部(PチャネルMOSトランジスタ41のソース)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル電源配線MVLに接続される。P型活性層PA2の一方端部(PチャネルMOSトランジスタ42のソース)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル電源配線MVLに接続される。

【0091】

N型活性層NA1の一方端部(NチャネルMOSトランジスタ43のソース)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル接地配線MGLに接続される。N型活性層NA2の一方端部(NチャネルMOSトランジスタ44のソース)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してメモリセル接地配線MGLに接続される。

【0092】

N型活性層NA1の他方端部(NチャネルMOSトランジスタ45のドレイン)は、コンタクトホールCH、メタル配線MLおよびビアホールVHを介してビット線BLに接続

10

20

30

40

50

される。N型活性層N A 2 の他方端部 (NチャネルMOSトランジスタ4 6 のドレイン) は、コンタクトホールC H、メタル配線M L およびビアホールV H を介してビット線 / B L に接続される。ゲート電極G E 3 , G E 4 は、それぞれコンタクトホールC H を介してワード線W L に接続される。

【0093】

本実施の形態では、メモリセルM C は、上述のように横長型のため、本実施の形態のワード線W L が長くなる。ワード線W L が長いと、ワード線W L の活性化時において、ワード線ドライバ2 2 に近い箇所の電圧の立ち上がりに比べて、ワード線ドライバ2 2 から遠い箇所の電圧の立ち上がり速度が遅いという問題が顕著になる。

【0094】

本実施の形態の半導体装置が、第1～第4の実施形態で説明したアシストドライバ1 0 , 1 1 , 1 3 を備えることによって、この問題を回避することができる。

【0095】

上述の実施形態では、ライトドライバ5 およびセンスアンプ6 は、隣接する2つの列ごとに設けられ、隣接する2つの列のビット線対B T , B B と接続することとしたが、これに限定するものではない。ライトドライバ5 およびセンスアンプ6 が隣接する3つ以上の列ごとに設けられ、隣接する3つ以上の列のビット線対B T , B B と接続するものとしてもよい。

【0096】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0097】

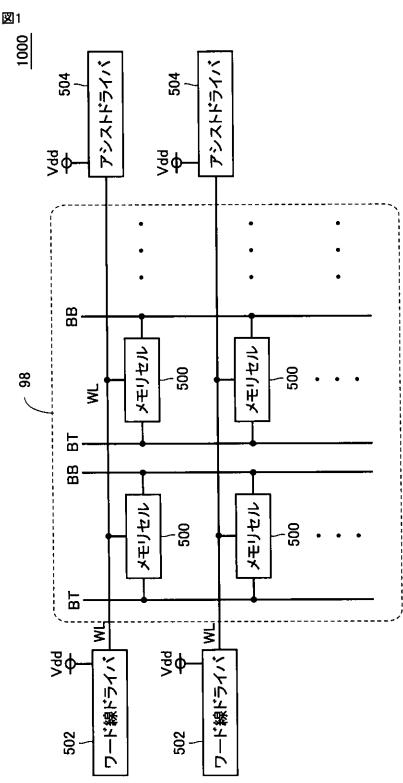
1 , 5 0 0 , M C メモリセル、3 プリチャージ回路、4 カラムセレクタ、5 ライドドライバ、6 センスアンプ、1 0 , 1 1 , 1 3 アシストドライバ、2 1 制御回路・アドレスデコーダ、2 2 , 5 0 2 ワード線ドライバ、6 2 , 9 8 メモリアレイ、1 0 0 , 2 0 0 , 3 0 0 , 1 0 0 0 半導体装置、B T , B B ビット線、W L ワード線、N A N 1 ~ N A N 3 N A N D回路、I V 1 ~ I V 8 インバータ、P 1 ~ P 8 , P 2 0 , 4 1 , 4 2 P M O Sトランジスタ、N 1 ~ N 8 , N 2 0 , N 2 1 , 4 3 ~ 4 6 N M O Sトランジスタ、N W ウエル、M V K メモリセル電源配線、M G L メモリセル接地配線。

10

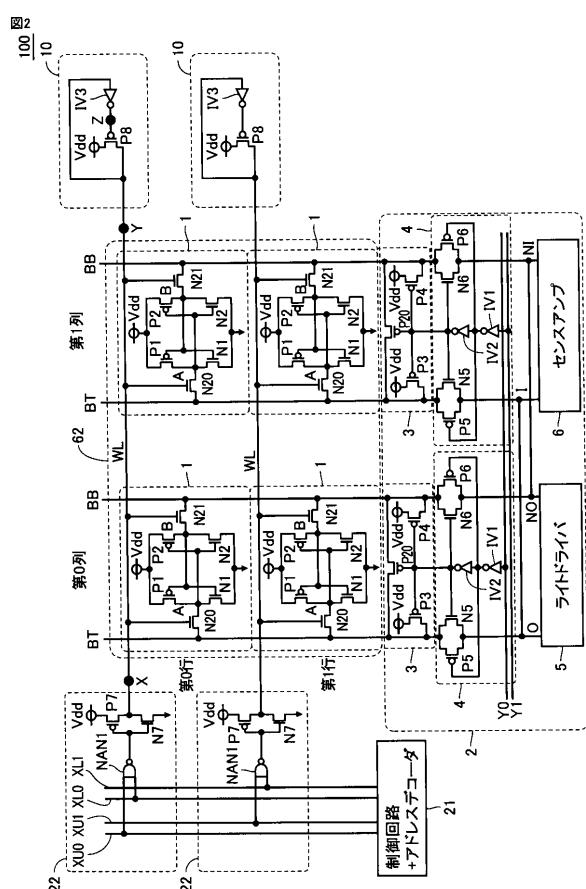
20

30

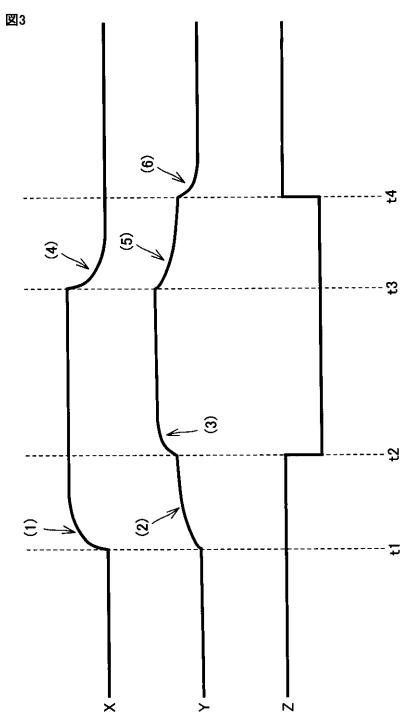
【図1】



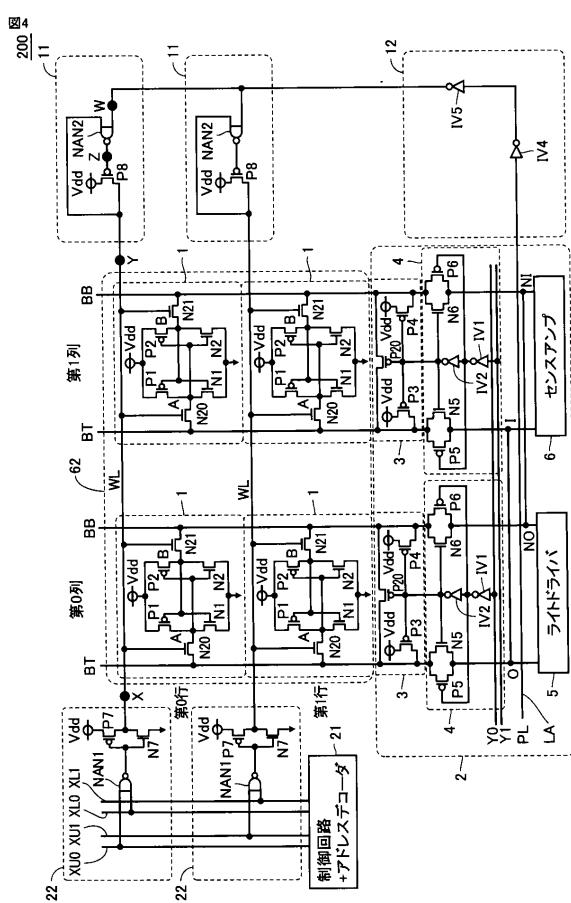
【図2】



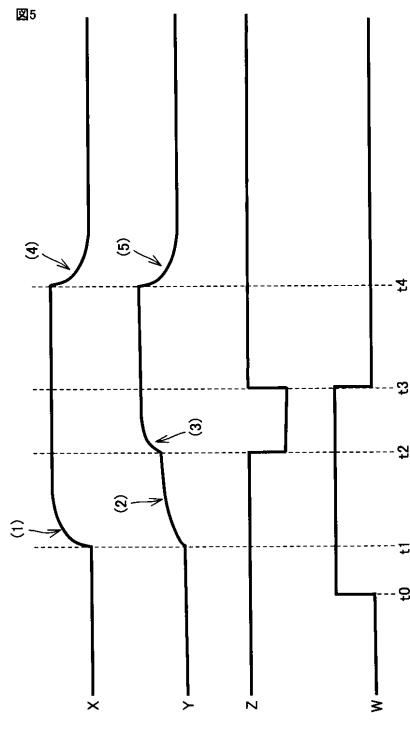
【図3】



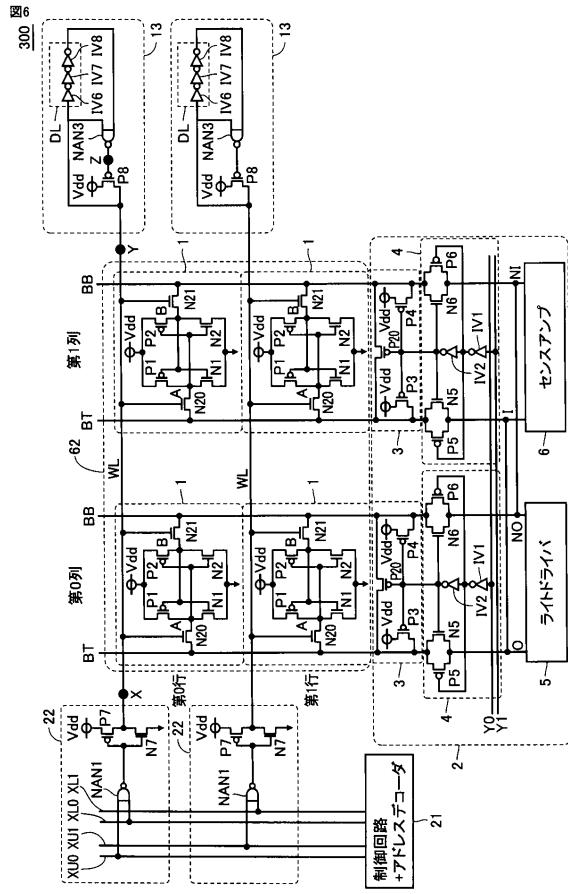
【図4】



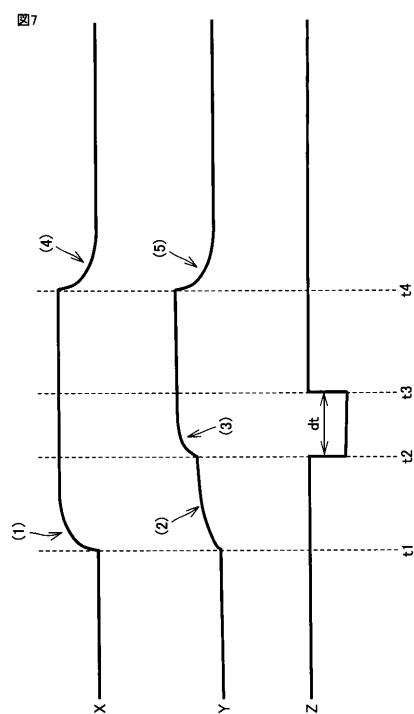
【図5】



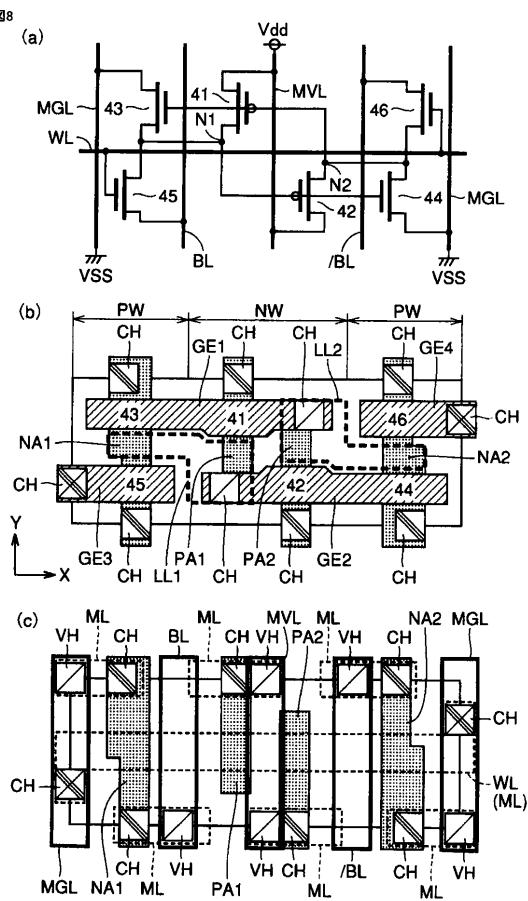
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開昭55-150189(JP,A)
特開2007-228470(JP,A)
特開2007-004960(JP,A)
特開昭60-226095(JP,A)
特開平06-203579(JP,A)
特開昭63-276793(JP,A)
米国特許出願公開第2011/0149674(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 11 C 11/418
G 11 C 8/08