



(12) 发明专利

(10) 授权公告号 CN 102693187 B

(45) 授权公告日 2016.03.30

(21) 申请号 201210029539.0

(22) 申请日 2008.01.30

(30) 优先权数据

11/669,245 2007.01.31 US

(62) 分案原申请数据

200880003375.6 2008.01.30

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 托马斯·菲利普·施派尔

詹姆斯·诺里斯·迪芬德尔费尔

托马斯·安德鲁·萨托里乌斯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

G06F 12/0897(2016.01)

G06F 12/128(2016.01)

(56) 对比文件

US 6385697 B1,2002.05.07,

US 2002/0083271 A1,2002.06.27,

US 2002/0099912 A1,2002.07.25,

US 5564035 A,1996.10.08,

审查员 李艳军

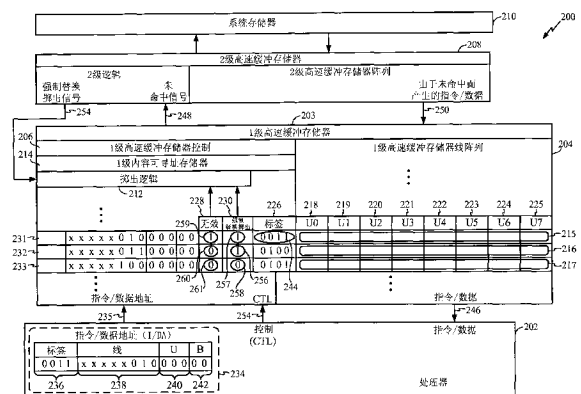
权利要求书5页 说明书6页 附图3页

(54) 发明名称

用以减少多级高速缓冲存储器层级中的掷出的设备和方法

(57) 摘要

本发明涉及用以减少多级高速缓冲存储器层级中的掷出的设备和方法。当确定经移位的线已被分配在较高级中时，防止将所述经移位高速缓冲存储器线分配在下一级高速缓冲存储器中，因此减少掷出。为此，选择将要在较低级高速缓冲存储器中移位的线。识别与所述选定线相关联的信息，其指示所述选定线存在于较高级高速缓冲存储器中。基于所述识别的信息来防止将所述选定线分配在所述较高级高速缓冲存储器中。防止分配所述选定线节约了将与所述分配相关联的功率。



1. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法,所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息,其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取,响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示,在所述下一个较高级高速缓冲存储器中分配所述选定线,其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中;以及

响应于所述较低级高速缓冲存储器中的未命中,将所述分配指示和归因与所述未命中在所述较低级高速缓冲存储器中分配的所述高速缓冲存储器线的标签保存在一起。

2. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法,所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息,其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取,响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示,在所述下一个较高级高速缓冲存储器中分配所述选定线,其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中;

确定所述识别的信息包括与表示所述选定线不存在于所述下一个较高级高速缓冲存储器中的所述选定线相关的强制替换掷出(FRC)位;以及

在所述下一个较高级高速缓冲存储器中分配所述选定线。

3. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法,所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息,其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取,响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示,在所述下一个较高级高速缓冲存储器中分配所述选定线,其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中;

从所述下一个较高级高速缓冲存储器获取数据单元;以及

将所述分配指示设置到表示所述数据单元存在于所述下一个较高级高速缓冲存储器中的状态。

4. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法,所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息,其指示所述选定线不存在于所述下一个较高级高速

缓冲存储器中；

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取，响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示，在所述下一个较高级高速缓冲存储器中分配所述选定线，其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中；

从存储器层级中高于所述下一个较高级高速缓冲存储器的级获取数据单元；以及

将所述分配指示设置到表示所述数据单元不存在于所述下一个较高级高速缓冲存储器中的状态。

5. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法，所述跟踪方法包括：

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取，存取将要在较低级高速缓冲存储器中移位的选定线；

识别与所述选定线相关联的信息，其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中；

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取，响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示，在所述下一个较高级高速缓冲存储器中分配所述选定线，其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中；以及

基于所述分配指示和与所述高速缓冲存储器线一起存储在所述较低级高速缓冲存储器中的信息，防止将所述高速缓冲存储器线分配在所述下一个较高级高速缓冲存储器中，其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中、所述与所述高速缓冲存储器线一起存储在所述较低级高速缓冲存储器中的信息指示所述高速缓冲存储器线没有被修改。

6. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法，所述跟踪方法包括：

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取，存取将要在较低级高速缓冲存储器中移位的选定线；

识别与所述选定线相关联的信息，其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中；

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取，响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示，在所述下一个较高级高速缓冲存储器中分配所述选定线，其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中，

其中所述分配指示是所述较低级高速缓冲存储器中的位，该位通过防止将所述高速缓冲存储器线分配在所述下一个较高级高速缓冲存储器中而影响功率使用。

7. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法，所述跟踪方法包括：

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取，存取将要在较低级高速缓冲存储器中移位的选定线；

识别与所述选定线相关联的信息，其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中；

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存

取, 响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示, 在所述下一个较高级高速缓冲存储器中分配所述选定线, 其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中; 以及

基于所述分配指示和与所述高速缓冲存储器线一起存储在所述较低级高速缓冲存储器中的信息, 防止与将所述高速缓冲存储器线分配在所述下一个较高级高速缓冲存储器中相关联的存取循环, 其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中、所述与所述高速缓冲存储器线一起存储在所述较低级高速缓冲存储器中的信息指示所述高速缓冲存储器线没有被修改。

8. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法, 所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取, 存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息, 其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取, 响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示, 在所述下一个较高级高速缓冲存储器中分配所述选定线, 其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中,

其中将所述选定线分配在所述下一个较高级高速缓冲存储器中的地址处, 所述地址通过所述下一较高级高速缓冲存储器的最近最少使用策略确定。

9. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法, 所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取, 存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息, 其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取, 响应于经识别的所述信息和与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示, 在所述下一个较高级高速缓冲存储器中分配所述选定线, 其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中;

识别与所述选定线相关联的第二信息, 该第二信息指示所述选定线存在于所述下一个较高级高速缓冲存储器中并且已被修改; 以及

响应于所述经识别的第二信息, 防止将所述选定线分配在所述下一个较高级高速缓冲存储器中。

10. 一种用以减少挪出的方法, 所述方法包括:

响应于在 X+1 级高速缓冲存储器中具有获取地址命中的存储器存取, 存取将要在 X 级高速缓冲存储器中移位的选定线; 以及

针对在所述 X+1 级高速缓冲存储器中具有所述获取地址命中的所述存取, 响应于指示所述选定线不存在于所述 X+1 级高速缓冲存储器 and 高速缓冲存储器线中的所述选定线的分配位以及与所述 X 级高速缓冲存储器中的所述高速缓冲存储器线相关联的分配位, 在所述 X+1 级高速缓冲存储器中分配所述选定线, 其中与被分配在所述 X 级高速缓冲存储器中

的所述高速缓冲存储器线相关联的所述分配位表示所述高速缓冲存储器线存在于所述 X+1 级高速缓冲存储器中 ; 以及

响应于所述选定线的分配位, 防止所述选定线从所述 X 级高速缓冲存储器掷出到所述 X+1 级高速缓冲存储器, 其中所述选定线的分配位指示所述选定线存在于所述 X+1 级高速缓冲存储器中。

11. 一种具有多个高速缓冲存储器级的存储器系统, 其包括 :

用于在较低级高速缓冲存储器中存储多个第一高速缓冲存储器线的装置, 所述多个第一高速缓冲存储器线每一者具有分配位, 每一分配位基于来自下一个较高级高速缓冲存储器的信号指示与所述分配位相关联的所述多个第一高速缓冲存储器线中的一者是否被分配在下一个较高级高速缓冲存储器中 ; 以及

用于响应于在所述下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取, 基于与用于从所述多个第一高速缓冲存储器线移位的选定第一高速缓冲存储器线相关联的分配位而确定所述选定第一高速缓冲存储器线是否为对于所述下一个较高级高速缓冲存储器中的高速缓冲存储器线来说为冗余的高速缓冲存储器线, 响应于所述选定第一高速缓冲存储器线的所述分配位而避免将所述选定第一高速缓冲存储器线掷出到所述下一个较高级高速缓冲存储器, 所述选定第一高速缓冲存储器线的所述分配位指示所述选定第一高速缓冲存储器线对于所述下一个较高级高速缓冲存储器的高速缓冲存储器线来说为冗余的高速缓冲存储器线, 并且针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存取, 基于指示所述选定第一高速缓冲存储器线不存在于所述下一个较高级高速缓冲存储器中而将所述选定第一高速缓冲存储器线掷出到所述下一个较高级高速缓冲存储器的装置, 其中针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存取, 高速缓冲存储器线和相关联的分配位被存储在所述较低级高速缓冲存储器中, 所述相关联的分配位表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中。

12. 根据权利要求 11 所述的存储器系统, 其中所述下一个较高级高速缓冲存储器包括 :

多个第二高速缓冲存储器线 ; 以及

用于响应于在所述较低级高速缓冲存储器中的未命中、基于与所述未命中相关的高速缓冲存储器线是否在所述下一个较高级高速缓冲存储器中被分配而产生分配信号, 所述分配信号被传达到所述较低级高速缓冲存储器以存储作为与所述未命中相关的所述高速缓冲存储器线中的所述分配位。

13. 根据权利要求 12 所述的存储器系统, 其进一步包括 :

用于将在与所述未命中相关的所述高速缓冲存储器线中的所述分配位设置到所述分配信号的状态的装置。

14. 根据权利要求 11 所述的存储器系统, 其中所述较低级高速缓冲存储器是数据高速缓冲存储器。

15. 根据权利要求 12 所述的存储器系统, 其中所述下一个较高级高速缓冲存储器是内含式高速缓冲存储器。

16. 根据权利要求 11 所述的存储器系统, 其中所述选定第一高速缓冲存储器线被掷出

到由所述下一个较高级高速缓冲存储器的最近最少使用策略确定的所述下一个较高级高速缓冲存储器中的地址。

17. 一种具有多个高速缓冲存储器级的存储器系统,其包括:

较低级高速缓冲存储器,其经配置以存储多个第一高速缓冲存储器线,所述多个第一高速缓冲存储器线每一者具有分配位,每一分配位基于来自下一个较高级高速缓冲存储器的信号指示与所述分配位相关联的所述多个第一高速缓冲存储器线中的一者是否被分配在下一个较高级高速缓冲存储器中;以及

掷出逻辑电路,其经配置以响应于在所述下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,基于与用于从所述多个第一高速缓冲存储器线移位的选定第一高速缓冲存储器线相关联的分配位而确定所述选定第一高速缓冲存储器线是否为对于所述下一个较高级高速缓冲存储器中的高速缓冲存储器线来说为冗余的高速缓冲存储器线,响应于所述选定第一高速缓冲存储器线的所述分配位而避免将所述选定第一高速缓冲存储器线掷出到所述下一个较高级高速缓冲存储器,所述选定第一高速缓冲存储器线的所述分配位指示所述选定第一高速缓冲存储器线对于所述下一个较高级高速缓冲存储器的高速缓冲存储器线来说为冗余的高速缓冲存储器线,并且针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存取,基于指示所述选定第一高速缓冲存储器线不存在于所述下一个较高级高速缓冲存储器中而将所述选定第一高速缓冲存储器线掷出到所述下一个较高级高速缓冲存储器,其中针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存取,高速缓冲存储器线和相关联的分配位被存储在所述较低级高速缓冲存储器中,所述相关联的分配位表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中,

其中所述选定第一高速缓冲存储器线被掷出到在所述下一个较高级高速缓冲存储器中的地址,所述地址通过所述下一较高级高速缓冲存储器的最近最少使用策略确定。

18. 一种用以减少经移位高速缓冲存储器线的分配的跟踪方法,所述跟踪方法包括:

响应于在下一个较高级高速缓冲存储器中具有获取地址命中的存储器存取,存取将要在较低级高速缓冲存储器中移位的选定线;

识别与所述选定线相关联的信息,其指示所述选定线不存在于所述下一个较高级高速缓冲存储器中;以及

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取,响应于所述经识别的信息,将所述选定线分配在所述下一个较高级高速缓冲存储器中的地址处,所述地址通过所述下一较高级高速缓冲存储器的最近最少使用策略确定。

19. 根据权利要求 18 所述的跟踪方法,其进一步包括:

针对在所述下一个较高级高速缓冲存储器中具有所述获取地址命中的所述存储器存取,分配与所述较低级高速缓冲存储器中的高速缓冲存储器线相关联的分配指示,其中所述分配指示表示所述高速缓冲存储器线存在于所述下一个较高级高速缓冲存储器中。

用以减少多级高速缓冲存储器层级中的擱出的设备和方法

[0001] 分案申请的相关信息

[0002] 本申请是分案申请。其母案是国际申请号为 PCT/US2008/052507、申请日为 2008 年 1 月 30 日、PCT 申请进入中国国家阶段后申请号为 200880003375.6、申请日为 2009 年 7 月 29 日、发明名称为“用以减少多级高速缓冲存储器层级中的擱出的设备和方法”的发明专利申请案。

技术领域

[0003] 本发明大体上涉及高速缓冲存储器领域,且更具体地说,涉及具有指令高速缓冲存储器、数据高速缓冲存储器和牺牲高速缓冲存储器的存储器系统。

背景技术

[0004] 例如手机、膝上型计算机、个人数据助理 (PDA) 等许多便携式产品均利用执行程序 (例如通信和多媒体程序) 的处理器。用于这些产品的处理系统包含用于存储指令和数据的处理器与存储器复合体。大容量主存储器通常具有与处理器循环时间相比较低的存取时间。因此,按照惯例,基于高速缓冲存储器的容量和性能而以层级来组织存储器复合体,其中最高性能和最低容量高速缓冲存储器离处理器最近。举例来说,1 级指令高速缓冲存储器和 1 级数据高速缓冲存储器通常将直接附接到处理器。而 2 级统一高速缓冲存储器连接到 1 级 (L1) 指令高速缓冲存储器和数据高速缓冲存储器。另外,系统存储器连接到 2 级 (L2) 统一高速缓冲存储器。1 级指令高速缓冲存储器通常以处理器速度操作,且 2 级统一高速缓冲存储器以低于 1 级高速缓冲存储器的速度之速度操作,但具有比系统存储器的存取时间快的存取时间。有很多替代性存储器组织,例如除 L1 和 L2 高速缓冲存储器以外还具有 3 级高速缓冲存储器的存储器层级。另一存储器组织可仅使用 1 级高速缓冲存储器和系统存储器。

[0005] 存储器组织可由作为内含式高速缓冲存储器、严格内含式高速缓冲存储器、独占式高速缓冲存储器或这些高速缓冲存储器类型的组合而操作的高速缓冲存储器层级组成。依据本文的定义,彼此独占的任何两级高速缓冲存储器不可含有相同的高速缓冲存储器线。彼此内含的任何两级高速缓冲存储器可含有相同的高速缓冲存储器线。彼此严格内含的任何两级高速缓冲存储器意味着较大高速缓冲存储器 (通常是较高级高速缓冲存储器) 必须含有较小高速缓冲存储器 (通常是较低级高速缓冲存储器) 中的所有线。在三个或三个以上多级高速缓冲存储器组织中,任何两个或两个以上高速缓冲存储器级可作为一种类型的高速缓冲存储器 (例如,独占式) 而操作,且其余高速缓冲存储器级可作为替代类型的高速缓冲存储器中的一者 (例如,内含式) 而操作。

[0006] 指令高速缓冲存储器通常经构造以支持位于指令高速缓冲存储器中的单个地址处的多个指令。数据高速缓冲存储器通常经构造以支持位于数据高速缓冲存储器的单个地址处的多个数据单元,其中数据单元可以是可变数目个字节,其视处理器而定。此多个指令或数据单元通常被称为高速缓冲存储器线或简称为线。举例来说,处理器从 L1 高速缓冲存

存储器获取指令或数据单元,且如果所述指令或数据单元存在于所述高速缓冲存储器中,那么“命中”发生,且将所述指令或数据单元提供给处理器。如果所述指令或数据单元不存在于L1高速缓冲存储器中,那么“未命中”发生。未命中可能发生在高速缓冲存储器线中任何地方的指令或数据单元存取上。当未命中发生时,用含有未命中指令的新线来替换所述高速缓冲存储器中的线。使用替换策略来确定哪一高速缓冲存储器线要替换。举例来说,选择或牺牲已最少使用的高速缓冲存储器线表示最近最少使用(LRU)策略。被选定以进行替换的高速缓冲存储器线是牺牲高速缓冲存储器线。

[0007] 高速缓冲存储器线还可具有与之相关联的许多状态位,例如有效位和无效位(dirty bit)。有效位指示驻存在高速缓冲存储器线中的指令或数据。无效位指示是否已发生对高速缓冲存储器线的修改。在回写高速缓冲存储器中,无效位指示当高速缓冲存储器线将被替换时,需要将所述修改回写到存储器系统层级中的下一个较高存储器级。

[0008] 牺牲高速缓冲存储器可为连接到高速缓冲存储器(例如1级高速缓冲存储器)的单独缓冲器或整合在邻近的较高级高速缓冲存储器中。在牺牲线被逐出后相对不久可能需要牺牲线且当需要从牺牲高速缓冲存储器存取牺牲线比从存储器层级的较高级存取牺牲线快的假定下,可在牺牲高速缓冲存储器中分配牺牲高速缓冲存储器线。对于整合在邻近较高级高速缓冲存储器中的牺牲高速缓冲存储器,当线从较低级高速缓冲存储器移位且被分配在较高级高速缓冲存储器中时,掷出发生,从而高速缓存较低级高速缓冲存储器的牺牲者。较低级高速缓冲存储器向较高级高速缓冲存储器发送所有经移位的线(无效或非无效)。在一些情况下,牺牲线可能已经存在于牺牲高速缓冲存储器中,且重写已经存在的线浪费功率,且减少用于牺牲高速缓冲存储器的带宽。

发明内容

[0009] 本发明认识到减少存储器系统中的功率要求对便携式应用且一般对减少处理系统中的功率需要来说是重要的。为此,本发明的一实施例解决一种用以减少经移位的高速缓冲存储器线的分配的跟踪方法。选择将要在较低级高速缓冲存储器中移位的线。识别与所述选定线相关联的信息,其指示所述选定线存在于较高级高速缓冲存储器中。基于所述识别的信息来防止将所述选定线分配在较高级高速缓冲存储器中。防止对选定线的分配节约与所述分配相关联的功率。

[0010] 本发明的另一实施例解决一种用以减少掷出的方法。响应于X级高速缓冲存储器中的未命中,将分配信息保存在X级高速缓冲存储器中,处于与未命中相关联的高速缓冲存储器线的标签中。分配信息指示高速缓冲存储器线是否被分配在X+1级高速缓冲存储器中。选择将要在X级高速缓冲存储器中替换的线。响应于选定线的的分配信息指示所述高速缓冲存储器线被分配在X+1级高速缓冲存储器中,防止将选定线从X级高速缓冲存储器掷出到X+1级高速缓冲存储器。

[0011] 本发明的另一实施例解决一种具有多个高速缓冲存储器级的存储器系统。较低级高速缓冲存储器经配置以存储多个第一高速缓冲存储器线,其每一者具有一分配位。与所述多个第一高速缓冲存储器线中的一者相关联的分配位指示所述多个第一高速缓冲存储器线中的所述一者是否被分配在较高级高速缓冲存储器中。掷出逻辑电路经配置以基于与被选择用于从所述多个第一高速缓冲存储器线移位的第一高速缓冲存储器线相关联的分

配位来确定选定的第一高速缓冲存储器线是否为对于较高级高速缓冲存储器中的高速缓冲存储器线来说为冗余的高速缓冲存储器线。响应于选定第一高速缓冲存储器线的分配位而防止将选定第一高速缓冲存储器线掷出到较高级高速缓冲存储器。

[0012] 应理解,所属领域的技术人员从以下详细描述将容易明白本发明的其它实施例,其中借助于说明来展示和描述本发明的各种实施例。如将意识到,本发明能够具有其它和不同实施例,且本发明的若干细节能够具有各种其它方面的修改,这些都不脱离本发明。因此,图式和详细描述本质上将被视为说明性的,而非限制性的。

附图说明

[0013] 图 1 说明无线通信系统;

[0014] 图 2 是其中减少掷出的示范性处理器与存储器复合体的功能框图;以及

[0015] 图 3 是说明用于减少掷出的过程的流程图。

具体实施方式

[0016] 希望下文结合附图而陈述的详细描述作为对本发明的各种示范性实施例的描述,且不希望表示其中可实践本发明的仅有实施例。详细描述出于提供对本发明的全面理解的目的而包含特定细节。然而,所属领域的技术人员将明白,可在不具有这些特定细节的情况下实践本发明。在一些情况下,为了避免混淆本发明的概念,以框图形式来展示众所周知的结构和组件。

[0017] 图 1 说明其中可有利地采用本发明的实施例的示范性无线通信系统 100。出于说明的目的,图 1 展示三个远程单元 120、130 和 150 以及两个基站 140。将认识到,常见的无线通信系统可具有多得多的远程单元和基站。远程单元 120、130 和 150 包含硬件组件、软件组件或两者,如分别由组件 125A、125C 和 125B 表示,其已适合于实施本发明,如下文进一步论述。图 1 展示从基站 140 到远程单元 120、130 和 150 的前向链路信号 180 以及从远程单元 120、130 和 150 到基站 140 的反向链路信号 190。

[0018] 在图 1 中,将远程单元 120 展示为移动电话,将远程单元 130 展示为便携式计算机,且将远程单元 150 展示为无线本地环路系统中的固定位置远程单元。举例来说,远程单元可替代地为手机、寻呼机、对讲机、手持式个人通信系统 (PCS) 单元、例如个人数据助理等便携式数据单元,或例如仪表读取装备等固定位置数据单元。尽管图 1 说明根据本发明的教导的远程单元,但本发明不限于这些示范性所说明单元。本发明的实施例可适用于具有带至少两级存储器层级(例如 1 级高速缓冲存储器和 2 级高速缓冲存储器)的处理器中的任何装置中。

[0019] 图 2 是其中可减少掷出的示范性处理器与存储器复合体 200 的功能框图。示范性处理器与存储器复合体 200 包含:处理器 202;1 级高速缓冲存储器(L1 高速缓冲存储器)203,其包括 L1 高速缓冲存储器线阵列 204 和 L1 高速缓冲存储器控制线 206;内含式 2 级高速缓冲存储器(L2 高速缓冲存储器)208;以及系统存储器 210。L1 高速缓冲存储器控制单元 206 包含掷出逻辑单元 212 和 1 级内容可寻址存储器(L1 CAM)214,其用于标签匹配,所述标签匹配可在各种类型的高速缓冲存储器(例如,组关联高速缓冲存储器或全关联高速缓冲存储器)中使用。为了论述的清楚性而未展示外围装置(其可连接到处理器复

合体)。示范性处理器与存储器复合体 200 可适合在本发明的各种实施例中用于组件 125A 到 125C 中,组件 125A 到 125C 用于执行存储在高速缓冲存储器 203 和 208 以及系统存储器 210 中的程序代码。

[0020] L1 高速缓冲存储器线阵列 204 可包含多个线,例如高速缓冲存储器线 215 到 217。在一个实施例中,L1 高速缓冲存储器 203 是每一线由多个数据单元组成的数据高速缓冲存储器。在另一实施例中,L1 高速缓冲存储器 203 是每一线由多个指令组成的指令高速缓冲存储器。在其它实施例中,L1 高速缓冲存储器 203 是每一线由多个指令或数据单元组成的统一高速缓冲存储器。举例来说,每一线由分别适合于所例示高速缓冲存储器实施例的多个元件 (U0、U1、……、U7) 218 到 225 组成。与每一线相关联的是标签 226、无效位 (D) 228 和强制替换掷出位 (FRC) 230,如下文将更详细地论述。高速缓冲存储器线 215 到 217 驻存在 L1 高速缓冲存储器线阵列 204 中,分别位于线地址 231 到 233 处。L1 高速缓冲存储器控制单元 206 含有地址控制逻辑,其响应于在指令地址或数据地址 (I/DA) 接口 235 上接收到的 I/DA 234 而存取高速缓冲存储器线。I/DA 234 可由标签 236、线地址字段 238、指令/数据“U”字段 240 和字节“B”字段 242 组成。

[0021] 为了获取示范性处理器与存储器复合体 200 中的指令或数据单元,处理器 202 产生将要获取的所要指令/数据的指令/数据地址 (I/DA) 234,并将获取地址发送到 L1 高速缓冲存储器控制单元 206。基于接收到的 I/DA 234,L1 高速缓冲存储器控制单元 206 检查以查看所述指令或数据是否存在于 L1 高速缓冲存储器线阵列 204 中。举例来说,通过使用比较逻辑来完成此检查,所述比较逻辑检查以寻找与由 I/DA 234 选择的线 215 相关联的匹配标签 244。如果所述指令或数据存在,那么匹配或命中发生,且 L1 高速缓冲存储器控制单元 206 指示所述指令或数据存在于 L1 高速缓冲存储器 203 中。如果所述指令或数据不存在,那么将不会发现匹配或将发现未命中,且 L1 高速缓冲存储器控制单元 206 提供指令或数据不存在于 L1 高速缓冲存储器 203 中的未命中指示。

[0022] 如果所述指令或数据存在,那么从 L1 高速缓冲存储器线阵列 204 选择指令/数据获取地址处的指令或数据。接着在指令/数据输出总线 246 上将指令或数据发送到处理器 202。

[0023] 如果所述指令或数据不存在于所述高速缓冲存储器中,那么通过指示已发生未命中的未命中信号 248 向 L2 高速缓冲存储器 208 提供未命中信息。当在 L1 高速缓冲存储器 203 中检测到未命中后,进行从 L2 高速缓冲存储器 208 获取所要指令/数据的尝试。如果所要指令/数据存在于 L2 高速缓冲存储器 208 中,那么在存储器总线接口 250 上提供所述指令/数据。如果所要指令/数据不存在于 L2 高速缓冲存储器 208 中,那么从系统存储器 210 获取所述指令/数据。

[0024] 将来自 L2 高速缓冲存储器 208 的强制替换掷出 (FRC) 信号 254 连同在存储器总线接口 250 上发送的所要指令/数据一起发送到较低 L1 高速缓冲存储器 203。FRC 信号 254 指示是否由于上级 L2 高速缓冲存储器 208 中的命中而获得所供应的指令/数据。举例来说,处于“0”状态的 FRC 信号 254 指示所要指令/数据是从 L2 高速缓冲存储器 208 供应的。处于“1”状态的 FRC 信号 254 指示所要指令/数据是从 L2 高速缓冲存储器 208 上方的另一级存储器供应的,例如从系统存储器 210 供应。举例来说,FRC 信号 254 作为 FRC 位 256 到 258 连同与适当的高速缓冲存储器线 (例如线 215 到 217) 相关联的标签一起被

存储在 L1 高速缓冲存储器 203 中。当所请求的线是 L2 高速缓冲存储器 208 和 L1 高速缓冲存储器 203 中的未命中时, L1 高速缓冲存储器 203 是由 L2 高速缓冲存储器 208 上方的下一级存储器供应, 而 L2 高速缓冲存储器 208 在未命中时不分配所述线。

[0025] 当较低级高速缓冲存储器必须使线移位时, 可响应于与所述线一起存储在所述较低级高速缓冲存储器中的信息而将所述线分配在下一级高速缓冲存储器中。举例来说, 当较低级高速缓冲存储器 (例如 L1 高速缓冲存储器 203) 选择具有无效指示 (如由处于“1”状态的无效位 259 指示) 的待移位线 (例如高速缓冲存储器线 215) 时, 掷出逻辑电路 212 作出将把高速缓冲存储器线 215 分配到存储器层级中的下一级的确定。如果选择非无效的高速缓冲存储器线 (例如具有处于“0”状态的无效位 260 且其相关联的 FRC 位 256 被设置为有效 (例如设置为“1”状态) 的高速缓冲存储器线 216) 以进行移位, 那么还将高速缓冲存储器线 216 分配给存储器层级中的下一级。响应于由存储器层级中的下一级提供的在其目录中未找到所述线的 FRC 信号 254 指示而将 FRC 位 256 设置为有效。如果被选择进行替换的高速缓冲存储器线非无效 (例如具有处于“0”状态的其无效位 261 且具有被设置为非有效 (例如设置为“0”状态) 的相关联 FRC 位 258 的高速缓冲存储器线 217), 那么不将高速缓冲存储器线 217 分配给存储器层级中的下一级。由于所述线非无效且 FRC 位 258 由其非有效状态指示此高速缓冲存储器线 217 存在于存储器层级中的下一级中, 所以不需要掷出。简单来说, 当无效位被设置或 FRC 位被设置时, 较高级高速缓冲存储器响应于较低级中经移位的高速缓冲存储器线而分配高速缓冲存储器线。通过 FRC 位的此用途, 抑制了冗余掷出, 从而通过避免对存储器层级的上级进行不必要的存取而节约功率和存取循环。

[0026] 图 3 是说明用于减少掷出的过程 300 的流程图。在过程 300 中, 存储器级由索引 (X)、(X+1) 或 (X+2) 指示, 其中 (例如) 在 $X = 1$ 的情况下, 可指示 L1、L2 和 L3 存储器级。而且, 对过程 300 的块的描述包含图 2 中的功能元件的参考编号。

[0027] 过程 300 以在块 302 处处理器 (例如处理器 202) 获取指令或数据单元而开始。在决策块 304 处, 确定是否可在 L(X) 高速缓冲存储器 (例如 L1 高速缓冲存储器 203) 中定位所请求的指令 / 数据。如果可定位所述指令 / 数据, 那么在块 306 处从 L(X) 高速缓冲存储器获取所请求的指令 / 数据, 且在块 308 处将所述指令 / 数据返回给处理器。

[0028] 如果不可在 L(X) 高速缓冲存储器中定位所述指令 / 数据, 那么产生未命中指示, 且在决策块 310 处, 确定是否可在 L(X+1) 高速缓冲存储器 (例如 L2 高速缓冲存储器 208) 中定位所请求的指令 / 数据。如果可定位所述指令 / 数据, 那么可在块 316 处从 L(X+1) 高速缓冲存储器获取所请求的指令 / 数据。在块 318 处, 在 L1 高速缓冲存储器 203 的标签线 (例如与高速缓冲存储器线 217 相关联) 中将强制替换掷出 (FRC) 位 (例如 FRC 位 258) 设置为“0”状态, 以使 L1 高速缓冲存储器 203 防止向 L2 高速缓冲存储器 208 发送此指令 / 数据。过程 300 接着进行到决策块 320。

[0029] 返回到块 310, 如果不可在 L(X+1) 高速缓冲存储器中定位所述指令 / 数据, 那么产生未命中指示。在块 312 处, 从存储器层级的大于或等于 L(X+2) 级的级 (例如 L3 高速缓冲存储器或处理器与存储器复合体 200 的系统存储器 210) 获取所请求的指令 / 数据。在块 314 处, 将 FRC 位 (例如 FRC 位 256) 设置为“1”状态, 且和与选定线 (例如高速缓冲存储器线 216) 相关联的标签一起存储。

[0030] 在决策块 320 处, 确定是否应在 L(X) 高速缓冲存储器 (例如 L1 高速缓冲存储器

203) 中替换线。如果确定应在 L(X) 高速缓冲存储器中替换线,那么在决策块 322 处进一步确定选定线(牺牲线)是否无效(例如由处于“1”状态的无效位 259 指示)。如果选定牺牲线为无效,那么在块 324 处将所述牺牲线分配在 L(X+1) 高速缓冲存储器(例如 L2 高速缓冲存储器 208)中。如果选定牺牲线非无效(例如由无效位 260 和 261 指示),那么在决策块 326 中检查 FRC 位,以确定其是否被设置为有效。如果在决策块 326 处确定 FRC 位为有效(例如 FRC 位 256 的情况),那么在块 324 处,将牺牲线分配在 L(X+1) 高速缓冲存储器(例如 L2 高速缓冲存储器 208)中。

[0031] 如果在决策块 320 处确定不应替换线,或如果在决策块 326 处确定 FRC 位为非有效(例如处于“0”状态,如 FRC 位 258 的情况),那么在块 328 处将所请求的指令/数据分配在 L(X) 高速缓冲存储器(例如 L1 高速缓冲存储器 203)中。还在块 330 处将所请求的指令/数据返回给请求的处理器(例如处理器 202)。以此方式,避免了向 L(X+1) 高速缓冲存储器的冗余抛出,从而节约了功率,且改进了存储器层级中的高速缓冲存储器存取带宽。

[0032] 可用通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑组件、离散门或晶体管逻辑、离散硬件组件或其经设计以执行本文所描述的功能的任一组合来实施或执行结合本文所揭示的实施例而描述的各种说明性逻辑块、模块、电路、元件和/或组件。通用处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器或状态机。还可将处理器实施为计算组件的组合,例如 DSP 与微处理器的组合、多个微处理器的组合、一个或一个以上微处理器与 DSP 核心的联合,或适合于所要应用的任何其它此类配置。

[0033] 结合本文所揭示的实施例而描述的方法可直接包含在硬件中、由处理器执行的软件模块中或上述两者的组合中。软件模块可驻存在 RAM 存储器、快闪存储器、ROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可移除盘、CD-ROM 或此项技术中已知的任何其它形式的存储媒体中。存储媒体可耦合到处理器,使得处理器可从存储媒体读取信息,且将信息写入到存储媒体。在替代方案中,存储媒体可整合到处理器。

[0034] 虽然在针对指令高速缓冲存储器、数据高速缓冲存储器和其它类型的高速缓冲存储器的说明性实施例的上下文中揭示本发明,但将认识到,所属领域的技术人员可采用与以上论述和所附权利要求书一致的广泛多种实施方案。

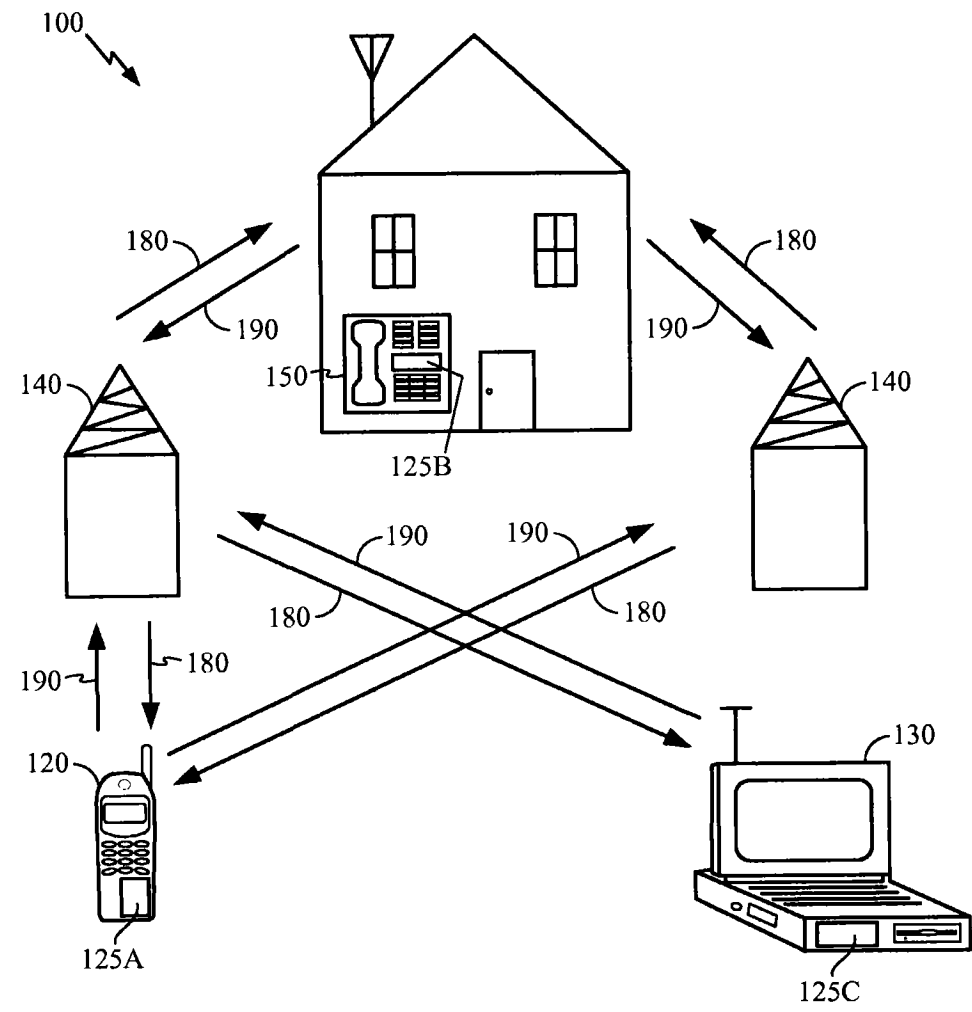


图 1

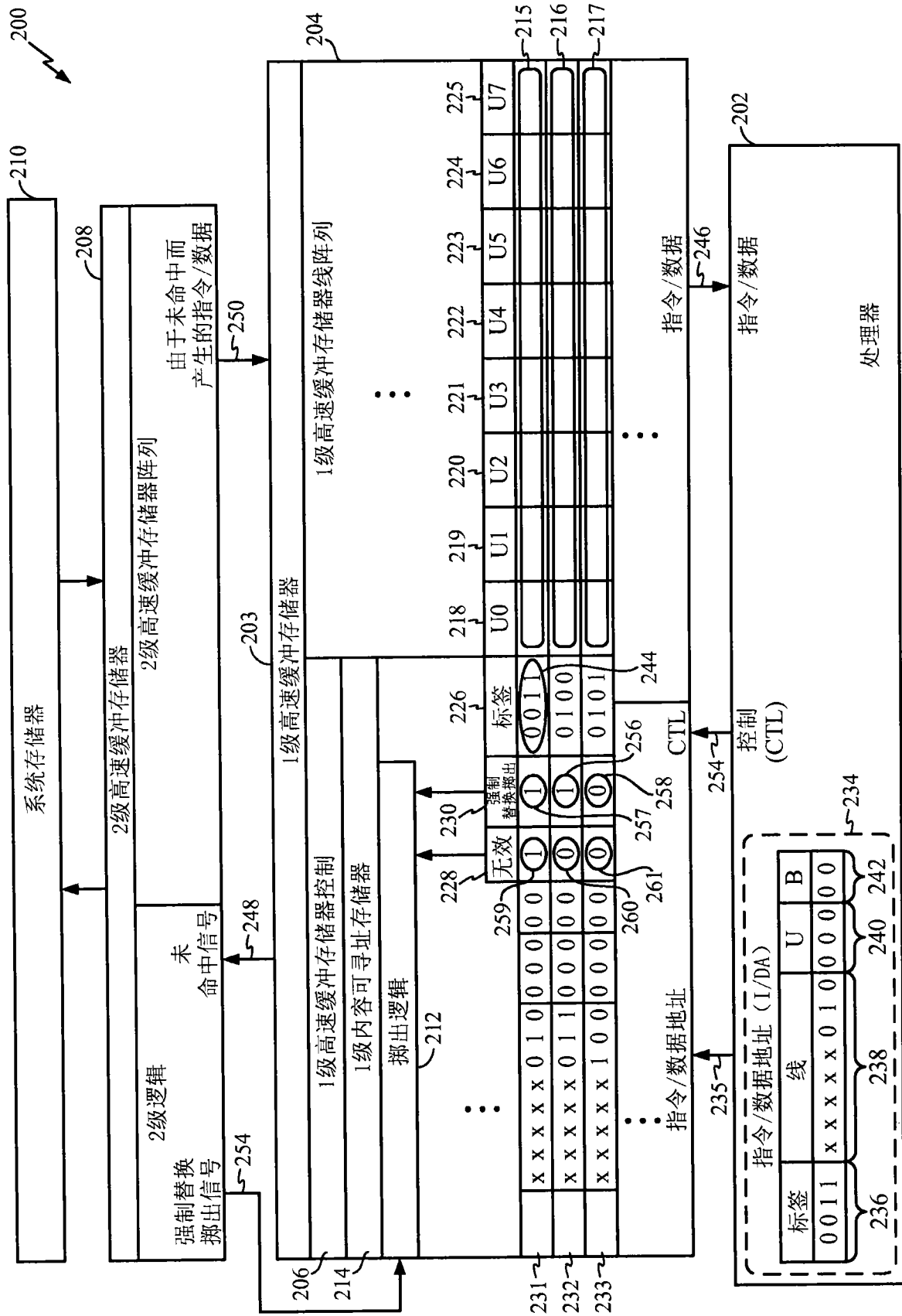


图 2

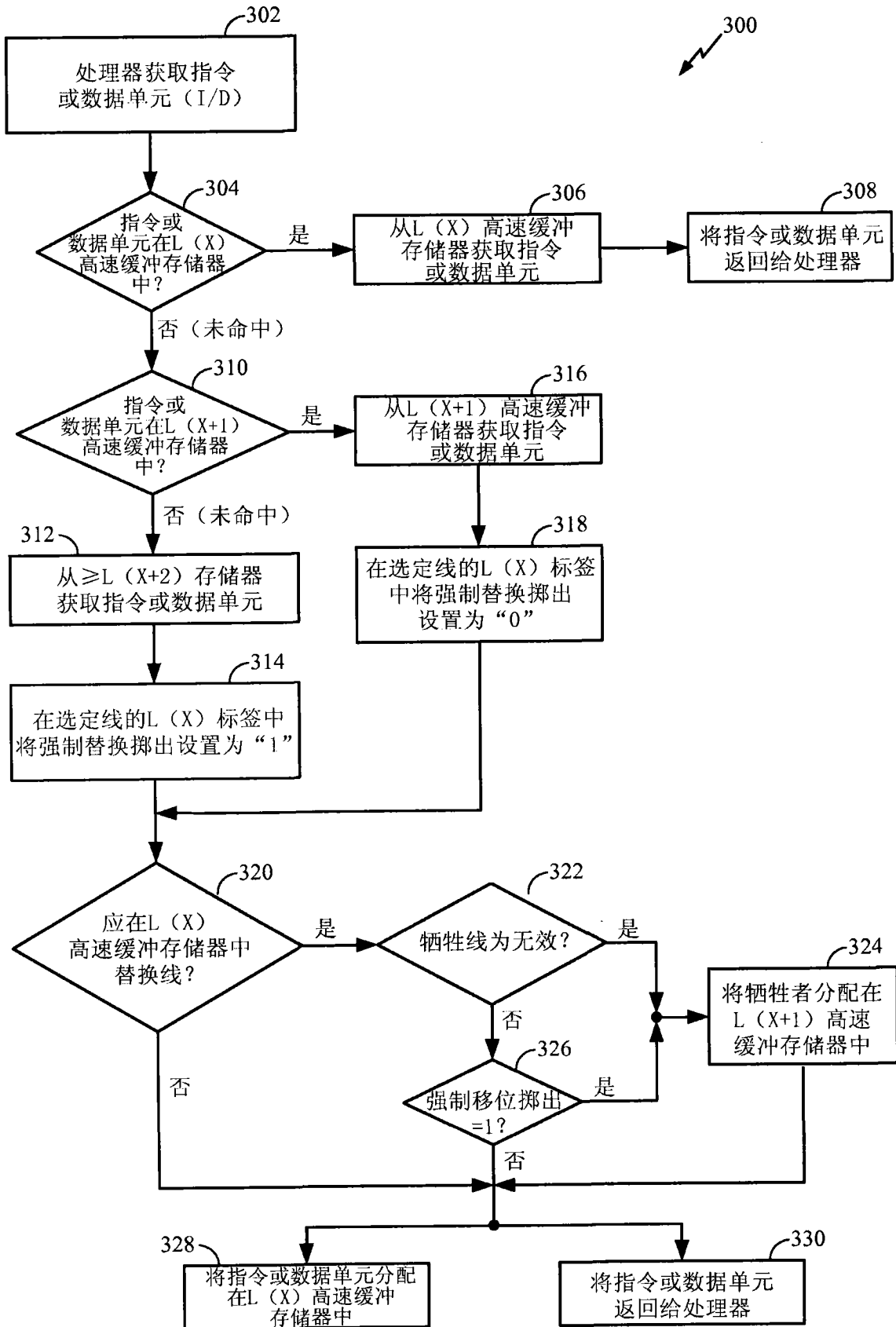


图 3