

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/412 (2006.01)

G11C 11/419 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200380104256.7

[45] 授权公告日 2009 年 11 月 4 日

[11] 授权公告号 CN 100557707C

[22] 申请日 2003. 10. 24

[21] 申请号 200380104256.7

[30] 优先权

[32] 2002. 11. 26 [33] DE [31] 10255102.2

[86] 国际申请 PCT/DE2003/003551 2003. 10. 24

[87] 国际公布 WO2004/049348 德 2004. 6. 10

[85] 进入国家阶段日期 2005. 5. 26

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 T·尼施 Y·马特洛尼

B·维奇特

[56] 参考文献

GB2256297A 1992. 12. 2

US6262911B1 2001. 7. 17

A bitline leakage compensation scheme for low-voltage SRAMS. AGAWA K ET AL. IEEE Journal of Solid. State Circuits, Vol. 36 No. 5. 2001

审查员 刘浩然

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

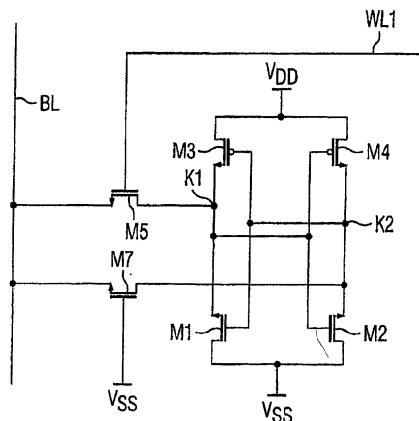
权利要求书 2 页 说明书 13 页 附图 4 页

[54] 发明名称

静态随机存取内存存储单元及补偿其漏损电流的方法

[57] 摘要

一种 SRAM 存储单元具有至少一存储节点 (K1, K2) 以及与所述存储节点 (K1, K2)、一第一位线 (BL) 以及一第一字符线 (WL1) 电连接的至少一选择晶体管 (M5)。此外, 所述 SRAM 存储单元具有用以补偿流入所述 SRAM 存储单元的一漏损电流的装置 (M7, M8), 所述装置 (M7, M8) 是设计为对应于所述漏损电流的一电流是流入所述 SRAM 存储单元。在一个较佳实施例中, 所述装置是形成作为与所述第一位线 (BL) 及所述第二存储节点 (K2) 电连接的晶体管 (M7), 而所述第一存储节点 (K1) 则是与所述选择晶体管 (M5) 连接。



1. 一种静态随机存取内存存储单元，是与一个唯一的数据线电连接，所述静态随机存取内存存储单元具有：

第一存储节点(K1)；

第二存储节点(K2)；

第一传导型式的选择晶体管(M5)，所述选择晶体管(M5)与所述第一存储节点(K1)、所述唯一的数据线(BL)以及字符线(WL1)电连接，其中，当所述选择晶体管(M5)关闭时，漏损电流流经所述选择晶体管(M5)；

其特征在于

所述静态随机存取内存存储单元还包括第一传导型式的晶体管(M7)，所述第一传导型式的晶体管(M7)与所述第二存储节点(K2)和所述唯一的数据线(BL)电连接，使得相应于所述漏损电流的电流流经所述第一传导型式的晶体管(M7)，从而流入所述静态随机存取内存存储单元。

2. 一种静态随机存取内存存储单元，是与二个数据线电连接，所述静态随机存取内存存储单元具有：

第一存储节点(K1)；

第二存储节点(K2)；

第一传导型式的第一选择晶体管(M5)，所述第一选择晶体管(M5)与所述第一存储节点(K1)、第一数据线(BL)以及第一字符线(WL1)电连接，其中，当所述第一选择晶体管(M5)关闭时，漏损电流流经所述第一选择晶体管(M5)；

第一传导型式的第二选择晶体管(M6)，所述第二选择晶体管(M6)与所述第二存储节点(K2)、第二数据线(BLQ)及所述第一字符线(WL1)或第二字符线(WL2)电连接；以及

其特征在于

所述静态随机存取内存存储单元还包括第一传导型式的晶体管(M7)，其中所述第一传导型式的晶体管(M7)的第一终端与所述第二存储节点(K2)电连接，所述第一传导型式的晶体管(M7)的第二终端与所述第一数据线(BL)电连接及所述第一传导型式的晶体管(M7)的栅极端与接地电位电连接，使得相应于所述漏损电流的电流流经所述第一传

---

导型式的晶体管(M7)，从而流入所述静态随机存取内存存储单元。

## 静态随机存取内存存储单元及补偿其漏损电流的方法

### 技术领域

本发明是关于一种半导体存储单元，尤其是关于一种 SRAM 存储单元，以及一种用以补偿流入 SRAM 存储单元的漏损电流的方法。

### 背景技术

半导体胞元，举例来说，像是静态内存 (SRAM、静态随机存取内存)，在集成电路中很多地方都会用到。SRAMs 通常是制造成个别模块，亦可与其它组件整合成一个芯片，在微处理器及其它高度复杂逻辑电路中，SRAMs 所占用区域的比例可高达 50%，因此，小心的设计 SRAM 以及周边电路在很多应用上就变得相当重要。SRAM 是可随机存取的可擦写内存，会使用「静态内存」这个名词，是因为通过电子式存写的信息，只要供应电压尚未关闭时，便可以毫无限制的储存。一种习知 SRAM 的存储单元 (图 1) 具有静态门、静态门，为一种双稳定态电路的最简单型式，且由两个反相器交互耦合所构成，第一个反相器具有一 n-信道晶体管 M1 以及一 P-信道晶体管 M3，该存储单元的第二个反相器具有一 n-信道晶体管 M2 以及一 P-信道晶体管 M4，通过该反相器交叉耦合可达成一反相器的输出控制另一个反相器输入的效果，这两个 CMOS 反相器经由两个 NMOS 选择晶体管 M5 和 M6，电连接于补偿位线 BL 及 BLQ，该补偿位线 BL 和 BLQ 的使用能增加关于装置特征参数波动的稳定度并减少其敏感度。该选择晶体管 M5 和 M6 各通过其闸极终端电连接至一第一字符线 WL1，该选择晶体管 M5 电连接至该存储单元的一第一存储节点 K1，而该选择晶体管 M6 电连接至该存储单元的一第二存储节点 K2。图 1 所示的 SRAM 存储单元参照所谓的 6T 存储单元，由于「主动负载组件」M3 和 M4，这种存储单元的型式相对地仅需要较短的资料读取和存写时间，该 SRAM 存储单元的另一实施例即为所谓的 4T SRAM 存储单元，其中该晶体管 M3 和 M4 由一被动负载组件所取代，此种观念亦可用于其它型式的存储单元。

根据图 1，具有「主动负载组件」的存储单元的运作方法，其基于图 2 所示信号的电压图表来解释，该信号流通该第一字符线 WL1 以及该位线对 BL 和 BLQ。外部印记信号以图 2 的梯形图表表示，同时该存

储单元的一般较弱信号以更逼真的升降时间来描绘，举例来说，假设一第一逻辑状态「1」由在该存储节点 K1 内，在该存储单元的左手侧的高度势能所定义，根据此，该晶体管 M1 会在此状态中关闭。一读写或存写的运作会由该晶体管 M5 所开始，而 M6 则在该第一位线 WL1 的控制下激活。存写运作的发生由驱动程序将在该位线 BL 上及该位线 BLQ 上的信号拉出，其中该两线信号互补，其逻辑等级分别为「0」和「1」，为了存写一第一逻辑状态「1」至该存储单元，根据上面假设的定义，该互补位线 BLQ 必须具有一逻辑状态「0」。

一般来说，该存储单元的存储节点(K1 或 K2)，其倾向被带至低势能，必须被带至比对立的反用换流器的切换阈值还低的电压，其它节点的电压则倾向被置于高于电压阈值之处。

关于上述在一逻辑状态「1」存写方面，亦即覆盖一储存的逻辑状态「0」，这表示该存储节点 K2 必须被带至一势能低于该对立反用换流器的切换阈值。在存写期间，来自一电压分配器的该晶体管 M6 及 M4，其必须根据上述的标准切割。该晶体管 M4 的电阻必须比由该晶体管 M6 的电阻大上数倍，该晶体管 M1 因此关闭，且该存储节点 K1 被晶体管 M5 和 M3 拉到较高的电压势能，该晶体管 M2 因此打开，该第一字符线 WL1 能接着再度接通电流，因为所需状态已经被存写该内存中。

为了读取该逻辑状态「1」，首先该位线 BL 及 BLQ 预充电至一预充电电压，该预充电电压以一方法选择，其胞元并未根据上述机制非故意地被存写，如果这样，则此使用方式称为非破坏性读取。在存取该存储单元的事件中，一电流会流经该晶体管 M5 和 M3，且亦会流过 M6 和 M2，端视该预充电电压而定。然而，为了使该存储单元的该内存状态并未改变，该存储节点 K2 必须带至一势能低于该对立反用换流器的该切换阈值，依此方式，该晶体管 M6 的电阻就必须约三倍大于该晶体管 M2 的电阻，从该存储单元存写该逻辑状态「0」，以及由该存储单元读取该逻辑状态「0」，由一对应的方式所影响。

一般来说，存写一逻辑状态置该存储单元的运作因此可如下文描述。该位线对 BL 及 BLQ 预充电至一高势能(或是可充电至一低势能或是一任意参考电压)，如果选择该字符线，连接至该存储单元的该选择晶体管便会开启，该存储单元的该存储节点之一具有一内存状态「0」，且其它存储节点具有一内存状态「1」，具有低内存状态「0」的该存

储节点会将连接至该存储节点的该位线拉至一低势能(逻辑状态「0」),一感应放大器(图上未示)会加速该读取,且放大连接至具有该内存状态「0」的该电压节点的该信号的下降,其由具有高势能的状态至具有低势能的状态,且同时维持该第二位线的该高势能状态。该感应放大器仅当一特定电压差发生于两位线 BL 和 BLQ 之间时,才会开始运作或读取一状态。除了所描述的该电压放大之外,该存储单元的该电流亦能直接地被放大。

存写一内存状态至一存储单元的运作如下完成。该位线之一充电至一高电压,且其它位线对的位线充电至一低电压,如果经由字符线选择一内存状态倾向于存写的存储单元,且如果在该存储单元的该两存储节点中的该内存状态,对应于存储单元的个别存储节点所连接的该位线的该势能状态,则在该两存储节点中的该内存状态将维持不变。然而,如果该存储节点具有不同于存储单元的个别存储节点所连接的该位线的势能的内存状态,则在该存储节点中的该内存状态便会改变。已经储存一逻辑内存状态「1」(高势能)的存储节点,便会藉此拉至一逻辑状态「0」(低势能),以一对应方法,其它存储节点的状态便会由一逻辑内存状态「0」(低势能)设定成一逻辑内存状态「1」(高势能)。

已知半导体存储单元的一项缺点,尤其是 SRAM 存储单元的缺点,辨识漏损电流流入该存储单元的区域,尤其是当一存储单元数组的该存储单元,连接至复数个在非选择状态的存储单元时。一种将漏损电流维持的越低越好的可能方式,便是通过选择相对高的存储单元的晶体管的阈值电压来达成,然而,此方法会导致另一个缺点,亦即从一存储单元读取一内存状态,或是将一内存状态存写一存储单元,处理会更加缓慢,且内存的运作序列也会明显地受损。

根据图 3 所示,一多重性存储单元  $Z_0$  和  $Z_n$  连接至一位线对 BL 和 BLQ,如果该存储单元  $Z_0$  的内存状态接着被读取,则一电流  $i_0$  会流入实施例说明的该胞元,在位线 BLQ 上的电流因此减少,并且具有值  $I - i_0$ ,同时,该漏损电流  $i_{L1}$  至  $i_{Ln}$  会从该位线 BL 流入对应的胞元  $Z_1$  至  $Z_n$ ,其皆为非选择状态。这将导致一整体电流  $i_L$ ,藉此一电流  $I - i_L$  便由该位线 BL 流入一电流评估电路 SBS,在两位线 BL 及 BLQ 之间的电流差由此电流评估电路 SBS 或该感应放大器所决定,此电流评估电路 SB 直接使用此电流信号以判定该存储单元的内存状态被读取。相对地,电

压感应放大器则使用介于两位线 BL 和 BLQ 之间的电压差来决定，其通过读取两位线 BL 及 BLQ 之间的所选存储单元来产生。电流评估电路 SBS 以及电压感应放大电路，两者仅在当一特定电压差  $\Delta u$  或是一特定电流差  $\Delta I$  发生在两位线之间时，评估由一存储单元的一内存状态。如同图 4 所示，该存储单元  $Z_0$  的该内存状态读取可由该内存评估电路 SBS 评估(图 3)，其仅当一电流差大于等于  $\Delta I$  发生于两位线 BL 和 BLQ 之间时，在图 3 中，如果没有漏损电流  $i_{L1}$  至  $i_{Ln}$  流入该非选择状态的存储单元  $Z_0$  至  $Z_n$ ，则该位线 BL 的电流将就有一常数值  $I$ 。

由于该内存  $Z_0$  的读取，该电流  $i_c$  会流入该存储单元  $Z_0$ ，以及该位线 BLQ 上的电流，便会落在图 4 上方所示的时间图表中。该位线 BL 及 BLQ 之间的电流差  $\Delta I$ ，其需要由该电流评估电路 SBS 读取(图 3)，便因此于  $t_1$  时达到，然而，因为漏损电流流入该非选择状态  $Z_1$  至  $Z_n$ ，如同已经描述过的，在该位线 BL 的电流便会减少至常数值  $I - i_{L1}$ 。如同图 4 下方的电流曲线图表所示，介于该位线 BL 及 BLQ 之间的该电流差  $\Delta I$  在  $t_2$  时之前并不会到达，因此一内存状态的读取会明显地拖长，由于总漏损电流  $i_L$ ，在开始读取那刻由  $t_2 - t_1$  所延迟。

依据有多少存储单元排列在该位线 BL 和 BLQ 之间，以及漏损电流流入非选择内存状态的强度，在极端的情形下，甚至有可能出现漏损电流  $i_L$  达到跟原本流过该位线 BL 和 BLQ 的电流  $I$  一样大的结果，在此种状态下，就不可能从一所选的存储单元中读取一内存状态，因为永远不可能达到读取所需要的该电流差  $\Delta I$ 。因此，将漏损电流最小化或是避免之，使其对于评估不再有任何影响，且不会延迟存写/读取运作就更显重要。

美国专利案 6,181,608 B1 揭露一种 6T SRAM 存储单元，以及一种读取该种存储单元的方法，其可防止漏损电流的问题区域。为了达成此目的，该 SRAM 存储单元具有选择晶体管，其具有比该 SRAM 存储单元的两反相换流器的晶体管还低的电压阈值，除此之外，该集成电路中，该 SRAM 存储单元配置以具有一控制电路，用以控制该字符线的电压，该控制电路连接至所有该集成电路的字符线。在该字符线上的信号由该控制电路所设定，其中该漏损电流流入该非选择性存储单元倾向于最小化。为了达成此目的，该非选择存储单元的该选择晶体管的闸极终端并未连接至地势能  $V_{SS}$ ，更确切地说，该选择晶体管的该闸极

终端为「低于驱动」，其通过该控制电路施加一范围在数个至数百毫伏特的负电压，在连接至该非选择存储单元的该字符线上。此电路装置的缺点在于，一方面在于其用以控制该字符线及其上信号相对的成本及电路结构复杂度，另一方面在于该连接至该非选择存储单元的字符线的「低于驱动」状态，相对较困难，且无法精确地执行。因此，流入该个别非选择存储单元的漏损电流并不能被消除，且明显地会影响从该存储单元读取或存写该存储单元。

除此之外，在 Digest of Technical Papers, symposium on VLSI Circuits, pp. 70-71, June 2000 中，Agawa, K. et al 所发表的「低电压 SRAMs 的位线漏损电流补偿机制」，其揭露一用以补偿一漏损电流的电路配置。由一位线流入该非选择存储单元的该漏损电流在一预充电循环时期侦测，且通过一在该集成电路的一额外电路配置，在读/写的期间做出补偿。该漏损电流补偿电路电连接至一位线对的该两位线，且配置在该存储单元及该连至下行串流的电流评估电路之间，该漏损电流补偿电路具有两个 p 信道晶体管，其对称配置在该位元线对的位线之间，两个 p 信道晶体管分别用以侦测 p 信道晶体管各自所连接的位线上的漏损电流。除此之外，该漏损电流补偿电路更包含两个 p 信道晶体管，其同样地对称配置于该位元线对的位线之间，通过此两个额外的 p 信道晶体管，具有与侦测漏损电流相同强度的电流会流通该各自位线，以便补偿该侦测的漏损电流，通过两额外的 p 信道晶体管的补偿会在该存储单元数组的一存储单元的读/写运作时发生影响。该四个信道晶体管的控制通过该侦测漏损电流储存于该漏损电流补偿电路的一电容，且该储存漏损电流通过用以激活该第二 p 信道晶体管的激活信号流经该位线。该漏损电流因此先转换成一电压，并储存在该漏损电流补偿电路的电容中，一补偿电容便由此产生且施加在对应的位线，用以补偿该漏损电流。该漏损电流补偿的电路配置结构非常耗成本且非常复杂，此配置的另一个缺点在于，需要储存该漏损电流的大电容，除此之外，此电路配置仅侦测该总漏损电流，亦即所有流入非选择存储单元漏损电流的总漏损电流。此补偿电路并不能分别为一特定漏损电流流入个别存储单元，来补偿每一漏损电流。

在 Digest of Technical Papers, symposium on VLSI Circuits, pp. 140-141, June 1998 中，Kawaguchi, H. et al 所发表的「低电

压 SRAMs 的动态漏损切断机制」揭露一种减低漏损电流的电路配置，其中在该基板中的 n-型及 p-型良好区域的偏压动态改变，以供应电压势能  $V_{DD}$  及对应该个别所选存储单元的地势能  $V_{SS}$ ，同时该非选择存储单元的良好区域的偏压维持在个别电压势能上 (n 型良好区域约为  $2 \times V_{DD}$ ，而 p 型良好区域约为  $-V_{DD}$ )，因此该所选存储单元的该电压阈值会相对地变低，且另一方面，该非选择存储单元的电压阈值就会相对变高。此电路配置的一个明显缺点在于，该基板的偏压数会因为该基板电压的动态变化而降低，且在现今的科技中，这尤其会是一个显著地缺点。

因此，本发明提供一种电路及方法，其中该漏损电流可用一种简单且低花费的方式补偿，而且在存写/读写运作时间几乎不会延长。

#### 发明内容

本发明的达成通过一半导体存储单元，其具有根据权利要求 1 的特征，以及一种用以补偿流入该半导体存储单元的漏损电流的方法，其步骤如权利要求 11。

根据本发明的一半导体存储单元乃特别地被设计如同一静态随机存取内存 (SRAM) 存储单元，并且电连接到至少一数据线。所述半导体存储单元具有至少一存储节点。再者，所述半导体存储单元包含至少一第一传导型式的选择晶体管，其电连接到一第一数据线与一第一字符线的所述第一存储节点。本发明的一基本的概念在于所述半导体存储单元包含一用以补偿流入所述内存单元的一漏损电流的装置。以一对应于漏损电流的电流流入所述内存单元这样的方式，来设计所述用以补偿所述漏损电流的装置。导致以一个简单的方式建构一半导体存储单元是可能的，且通过这样的方式，可以快速且低花费地进行所述流入内存单元的漏损电流，特别是在非经选择状态下的所述内存单元的补偿。无关于所述漏损电流的大小，总是产生一对应于所述漏损电流的电流，并且同时流入所述半导体存储单元中。再者，通过本发明的该用以补偿所述漏损电流流入所述半导体存储单元中的装置，可分别地或是依照其大小来决定后对各个所述半导体存储单元中所述漏损电流进行补偿，且其可以当成是一可以简单方式决定的变动值来考量。

在一特别有利的实施例中，所述用以补偿所述漏损电流的装置，特别地是指非经选择状态下所述内存单元的所述漏损电流，所述装

置以至少一额外电流传导存在于这个所述内存单元的装置，与连接到所述内存单元的数据线中的一数据线之间这样的方式下被设计。通过这样可以达到的是，无关于所述内存单元的，记忆状态地引入一在大小相等于所述漏损电流的电流，其储存在所述对应的存储节点中。这样对于流入所述在非经选择状态下的半导体存储单元的一漏损电流的补偿是特别地有利。

此外，其已证实对于用以补偿所述漏损电流的装置电连接到至少一所述内存单元的所述存储节点是有利地。用以补偿所述漏损电流的装置最佳是连接到所述第一数据线以及连接到接地电位。

在一较佳的实施例中，所述用以补偿流入所述半导体存储单元的所述漏损电流的装置，特别地是指在由所述第一数据线流入所述半导体存储单元的所述第一存储节点的所述漏损电流，所述装置具有一第一传导型式的第一晶体管，所述晶体管通过其源极端电连接到所述第一数据线，并且通过其栅极端电连接到所述接地电位。在一有利的方式下，所述第一晶体管通过其漏极端电连接到所述半导体存储单元的第二存储节点，且所述第一晶体管总是有关闭或是传导状态。以一个特别简单的方式，通过实现所述用以补偿所述漏损电流装置的所述第一晶体管的这些电性连接，可以达到的是仰赖在存储节点中的存储状态，一对应于所述漏损电流的电流，可以如同漏损电流可流入所述第一存储节点的一种方式，流入所述半导体存储单元的第二存储节点。藉此达成一用以消除漏损电流问题区域的最佳化设计，特别地是指当存储单元设计以单端形式的情况下。

由于在所选择的半导体存储单元中的存写/读取操作不再受到流入非经选择的半导体存储单元漏电流的堕落或延迟，因而用有效率且有效果的方式补偿漏电流，所述漏电流是流入具有多个半导体存储单元的存储单元数组的非经选择存储单元。由于已知连接至数据线的所述所有存储单元的漏电流，所以自流经所述数据线的参考电流，减去非经选择存储单元的漏电流，且得到一个固定值。因此，可简单地且非常正确地自一非经选择存储单元读取，或是存写一存储状态或是读取或存写一存储状态至一非经选择存储单元。

在另一有利的实施例中，所述半导体存储单元具有第一传导型式的第二选择晶体管，它是通过漏极终端而电连接至地而存储节点，且

通过源极终端于电连接至第二数据线。所述第二选择晶体管可通过栅极终端而电连接至第一字符线。所述第二晶体管亦可通过栅极终端而电连接至第二字符线。所述第一与第二数据线较佳可设计为互补位线，因而可更可靠地传递数据，且相较于单一数据线或是位线，传输速度更快。

本发明另一有利的修饰特征在于用于补偿流入半导体存储单元电流的装置，特别是在所述半导体存储单元非经选择的状态中，自所述第一数据线流入第一存储节点的第一漏电流以及/或自所述第二数据线流入第二存储节点的第二漏电流，是电连接至第一与第二数据线以及所述半导体存储单元的第一与第二存储节点。无论何种漏电流组件自所述两数据线流入所述半导体存储单元，皆可以用简单且可靠地方式达到漏电流组件的补偿。

特别有利的是当用于补偿流入半导体存储单元电流的装置包含第一晶体管，它是通过漏极终端而电连接至第二存储节点，以及通过源极终端而电连接至所述第一数据线，用于在所述半导体存储单元与第一数据线间产生第一额外电连接，特别是用于第二存储节点与第一数据线间产生第一额外电连接。特别有利的是所述半导体存储单元或是用于补偿漏电流的装置更包含第一传导型式的第二晶体管。所述第二晶体管是通过漏极终端而电连接至第一存储节点、通过源极终端而电连接至所述第二数据线、及栅极终端而接地，用以产生所述半导体存储单元与连接至所述存储单元的数据线间的第二额外电连接。因此，通过第一与第二额外电连接，对应于漏电流的电漏自个别的互补数据线流入所述半导体存储单元，所以可快速且正确地补偿经由所述数据线与选择晶体管而流入所连接存储节点的漏电流。由于对称配置补偿漏电流的装置或是漏电流组件，对应于所述漏电流的相同强度电流总是流入连接于存储单元数据线上的存储单元。这特别可应用于不同的半导体存储单元实施例中。

较佳为，所述半导体存储单元是设计为 6T SRAM 存储单元，且具有第一与第二换流器 (inverter)，两换流器各包含一第一传导型式晶体管与一第二传导型式晶体管，且所述两个换流器在第一与第二存储节点间交互耦合。所述第一换流器的两晶体管是电连接至所述第一存储节点，以及所述第二换流器的两晶体管是电连接至所述半导体存储

单元的第二存储节点。也可以将所述半导体存储单元实施为 4T SRAM 存储单元。

通常，本发明的概念并不限于 SRAM 存储单元，而是可用于所有具备一个选择晶体管与两个存储节点的半导体存储单元。根据本发明，所述存储单元概念可用于具有至少两个选择晶体管与一个存储节点的半导体存储单元。

根据本发明用于补偿流入半导体存储单元漏电流的方法，特别是本发明的重要概念是针对流入半导体存储单元的非经选择状态中的漏电流，在所述半导体存储单元与数据线间产生第一额外电连接，所述数据线是已电连接至所述半导体存储单元。

在较佳的方式中，通过总是在关闭或传导状态中操作的晶体管，在所述半导体存储单元与数据线间产生所述第一额外电连接，其中所述数据线是电连接至所述半导体存储单元。

较佳为，所述半导体存储单元的第一选择晶体管是连接至所述半导体存储单元的第一数据线与第一存储节点，且所述第一晶体管是电连接至所述半导体存储单元的所述第一数据线与第二存储节点。

在一较佳方式中，在所述半导体存储单元与电连接至所述半导体存储单元的一个数据线间，形成第二额外电连接，所述第一额外电连接是产生在第一数据线，且所述第二额外电连接是产生在第二数据线。

可通过总是在关闭状态中操作的第二晶体管，而在所述半导体存储单元与连接至所述半导体存储单元的第二数据线间，产生所述第二额外电连接。

较佳为，所述半导体存储单元的第二选择晶体管是电连接至所述半导体存储单元的第二数据线与第二存储节点，且所述第二晶体管是电连接至所述半导体存储单元的第二数据线与第一存储节点。

较佳是通过对应漏电流的电流分别从第二与/或第一数据线，通过第二与/或第一额外电连接，而流入第一与/或第二存储节点，因而补偿从第一与/或第二数据线分别流入第一与/或第二存储节点的漏电流。

本发明多个实施例的详细说明如下，并请参阅附随的图式。

附图说明

图 1 是说明习知技艺中已知的 6T SRAM 存储单元。

图 2 是根据图 1, 在存写/读取逻辑状态至 SRAM 存储单元以及自 SRAM 存储单元存写/读取逻辑状态操作过程中, 一已知存储单元的一字符线与两互补位线上的信号状况。

图 3 是根据习知技艺, 说明一存储单元数组中多个存储单元的配置。

图 4 是从发生漏电流的存储单元, 说明读取存储状态中的暂时延迟。

图 5 显示一根据本发明的一半导体存储单元的第一实施例;

图 6 显示一根据本发明的一半导体存储单元的第二实施例;

图 7 显示一根据本发明的一半导体存储单元的第三实施例。

具体实施方式

在所有的图标中, 相同的组件或是功能上相同的组件被提供以相同的参考符号。

在第一实施例中, 以一静态随机存取内存 (SRAM) 具体化所述半导体存储单元 (图 5), 其具有连接到供应电压势能  $V_{DD}$  与地势能  $V_{SS}$  的两个交互耦合的反用换流器。所述第一反用换流器具有一 n-信道晶体管 M1 以及一 P-信道晶体管 M3, 所述第二个反相器具有一 n-信道晶体管 M2 以及一 P-信道晶体管 M4, 排列在所述两晶体管 M1 以及 M3 之间的是所述静态随机存取内存 (SRAM) 的一第一存储节点 K1, 而排列在所述两晶体管 M2 以及 M4 之间的是所述静态随机存取内存 (SRAM) 的一第二存储节点 K2。一选择晶体管 M5 通过其漏极端连接到所述第一存储节点 K1、通过其源极端连接到一第一补偿位线 BL, 且通过其栅极端连接到一第一字符线 WL1。另外, 所述静态随机存取内存 (SRAM) 具有一 n-信道晶体管 M7, 所述晶体管 M7 通过本身的漏极端电连接到所述第二存储节点 K2 与所述晶体管 M3 的源极端、通过其的源极端连接到所述第一补偿位线 BL, 且通过其栅极端连接到所述地势能  $V_{SS}$ 。通过所述晶体管 M7, 其通常处于关闭状态, 一额外的第一电连接产生于所述第一补偿位线 BL 与所述静态随机存取内存 (SRAM) 的所述第二存储节点 K2 间。在图 5 中举例说明处于非经选择状态的所述存储单元 (处于低电位的第一字符线 WL1), 所述选择晶体管 M5 关闭。施加一已知参考电流  $I_{RFF}$  至所述补偿位线 BL 上。依赖储存于该些存储节点 K1 与 K2 中的存储状态为何, 一更大或是更小的漏损电流流入所述半导体存储单元中。

通过实例，假定在该存储节点 K1 中存储一逻辑状态“0”且在该存储节点 K2 中存储一逻辑状态“1”，因此，大的漏损电流会经由该选择晶体管 M5 而从该位线 BL 流入该存储节点 K1 (与在该存储节点 K1 中所存储的逻辑状态“1”的状况下会流入该存储节点的漏损电流相比较下是大的) 并经过该晶体管 M1。

假使在该存储节点 K2 中存储一逻辑状态“0”时，然后一漏损电流会经由传导晶体管 M7 从位线 BL 而流入存储节点 K2，并经由封闭的晶体管 M2。独立于在该等存储节点 K1 及 K2 所存储的逻辑状态，对应于该漏损电流的一电流因而流入与该位线 BL 连接的各个非经选择存储单元。因为该非经选择晶体管的数目是已知的，流入该等单元的各单元的相关漏损电流也会是已知，可将此已知总漏损电流当作一个固定的变量，其是为了估计与此位线 BL 连接的经选择存储单元的存储状态而从参考电流  $I_{REF}$  减去。通过晶体管 M5 且特别是 M7，因此，对应于该漏损电流的一电流一直是与在存储节点 K1 以及 K2 及在该存储单元的非经选择状态中的存储状态而产生，并且流经后者，也因此，由于其在各单元中所产生的事实下对漏损电流进行补偿，因此在进一步的估计中可视为是一个已知变量。因此，在此较佳实施例中，可以了解补偿是大小与经由晶体管 M5 及 M7 而进入存储单元的漏损电流相同的电流。

如图 5 中所显示 SRAM 存储单元的较佳实施例是可用于单端存写与读取的操作，假使，在具有至少二个根据图 5 所设计的 SRAM 存储单元的存储单元数组中，此二 SRAM 存储单元的一个存储单元是选择用在一存写/读取操作，其存储状态可通过第一位线 BL 而读取或是存写一存储状态。

在一第二较佳实施例中，SRAM 存储单元是根据图 5 中的 SRAM 存储单元来建构且同时具有一第二选择晶体管 M6，该第二选择晶体管 M6 是通过其漏极端而与该第二存储节点 K2 电连接，并通过其源极端而连接至一与该第一位线互补的第二位线 BLQ，且通过其栅极端而与一第二字符线 WL2 电连接，此 SRAM 存储单元的较佳实施例可用于单端读取操作以及用于不同的存写操作。对于存写操作而言，仅有该第一字符线 WL1 是受到高电位；而对于存写操作而言，字符线 WL1 以及 WL2 两者则都受到高电位。

在根据本发明的半导体存储单元的第三较佳实施例中，除了图 2

中所显示的 SRAM 存储单元外还设置了一种 n-信道晶体管 M8，其中晶体管是通过其漏极端而与该第一存储节点 K1 电连接，并通过其源极端而与该第二位线 BLQ 电连接，且通过其栅极端而与接地电位电连接，因此，在该半导体存储单元与连接至该半导体存储单元的位线 BLQ 或是一数据线间形成一第二额外电连接，位线 BL 是经由晶体管 M5 及 M7 而与第一存储节点以及第二存储节点两者电连接，并且位线 BLQ 是经由晶体管 M6 及 M8 而同样的与两存储节点电连接，此外，在此较佳实施例中，第二选择晶体管 M6 并不与一第二字符线 WL2 电连接，而是与第一字符线 WL1 电连接，而第一选择晶体管 M5 也连接至该第一字符线 WL1。

若是在图 7 中所显示的 SRAM 存储单元是处于非经选择状态，并且若是在存储节点 K1 存储一个逻辑状态“0”，由实例中，一个相对大的第一漏损电流会从第一位线 BL 流出，经由第一选择晶体管 M5 而流入第一存储节点 K1 并且经由封闭晶体管 M1 而流向地面，同时，与晶体管 M1 以及位线 BLQ 连接的晶体管 M8 会拉升至节点的电位，该节点是与晶体管 M1 与 M8 连接，而由于漏损电流，因此会改变该电位，由此可产生对应于流入节点 K1 的漏损电流的一电流，此电流会经由晶体管 M8 以及晶体管 M1 从位线 BLQ 离开而流至地面，因此，来自两位线 BL 以及 BLQ 的一个实质相同的电流会流入该半导体存储单元。一个较小的漏损电流会从位线 BLQ 而流入存储有逻辑状态“1”的存储节点 K2，与流入存储有逻辑状态“0”的存储节点 K1 的漏损电流相较之下，该漏损电流是可以忽略的。如果在存储节点 K2 中存储一逻辑状态“0”，次序是以一种模拟方式来进行，当从一经选择的存储单元读取一存储状态时，其中该存储单元是与位线 BL 以及 BLQ 连接，一个实质上相同的电流因此会从两位线而流入该非经选择存储单元，藉以通过在两位线间电流差形成的估计不会有误或是延迟。

对于根据本发明 SRAM 存储单元的所有较佳实施例而言，当为了在具有多个以相同方式所建构 SRAM 存储单元的存储单元数组中读取根据本发明的 SRAM 存储单元，使用是由其延迟是依据或是独立于该位线 BL 及 BLQ 的电容而有益的低的电流感测放大器所做出时是有好处的。此类的电流感测放大器例如在 Seevinck, E. et al. 于电气与电子工程师协会固体电路杂志 (IEEE Journal of Solid-State Circuits) 1991

年 4 月出版 vol. 26, No. 4, pp. 525-536 的“Current-Mode Techniques for High-Speed VLSI Circuits with Application to Current Sense Amplifier for CMOS SRAM”已有相关的揭示。

在一种特别有利的方式中，当估计存储单元(特别是 SRAM 存储单元)中的存储状态或者是实施存写/读取存储状态从/至一半导体存储单元的操作时，本发明是可能防止漏损电流的干扰影响。通过本发明不会毁损或是降低所发生的漏损电流，而是产生对应于该漏损电流的补偿电流，其中补偿电流是流入该半导体存储单元并且在大小上对应于该漏损电流。结果，通过本发明可在存储单元数组的各个个别半导体存储单元中达成流入各自半导体存储单元的漏损电流的各自独立的补偿。由于通过简单且有效的电路配置在各个个别存储单元中可产生对应于漏损电流的一电流，因此流入各自非经选择的存储单元的漏损电流大小在本发明中是不重要的。因此可在没有因不适当侦测的漏损电流或者是与下游连接的电流评估电路的不正确侦测所导致短暂延迟发生下，读取或是存写/重存写在存储单元的存储节点中所存储的逻辑状态。因此，不会抑制漏损电流，而是产生对应于该漏损电流的补偿电流，而补偿电流会流入该半导体存储单元并在两存储节点中，也就是在存储单元的两边，产生一固定的额外电流(在特别的实施例中)，所具有的作用为流入经选择存储单元的电流  $i_c$  的绝对值其用于估计的整个大小是可兹利用。因此，当通过位线或是通过两补偿位线估计一存储状态未被该非经选择存储单元的漏损电流所毁损或降低时，侦测该电流。该漏损电流在差异估计或是以差异方式所具体化的电路配置的情况下可被补偿并且作为在数据线上的一个额外而已知信号来施加，或者是在单端估计或单端电路配置情况下可作为在估计中的一固定变量而侦测出。

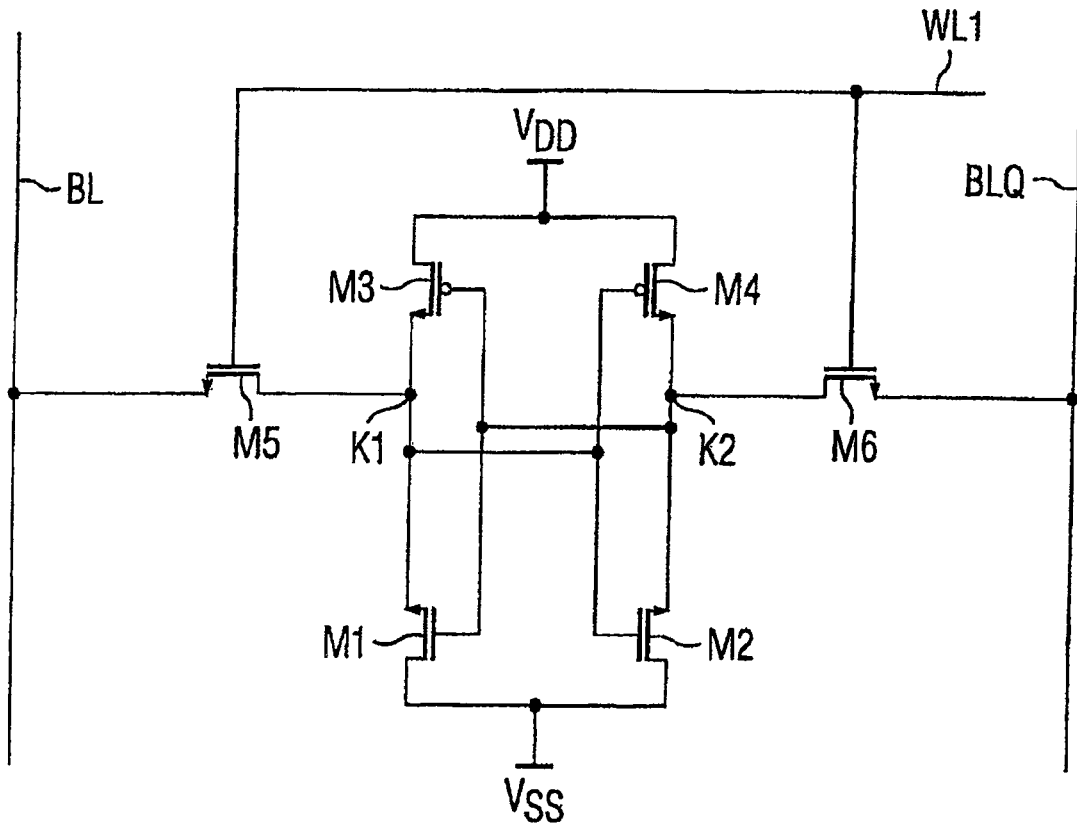


图 1

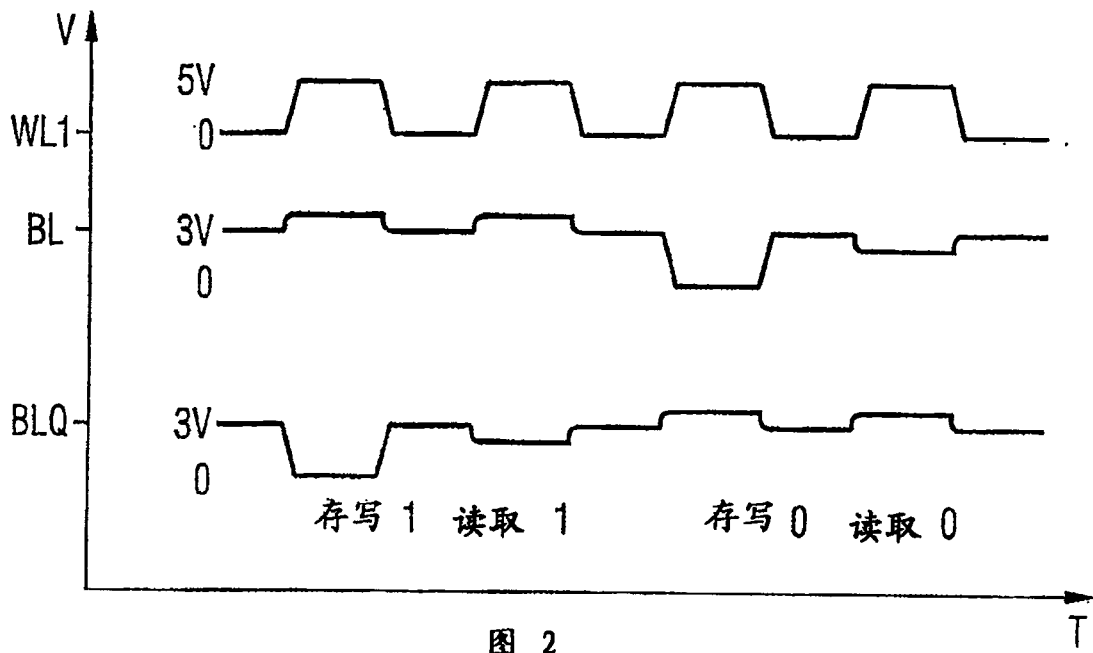


图 2

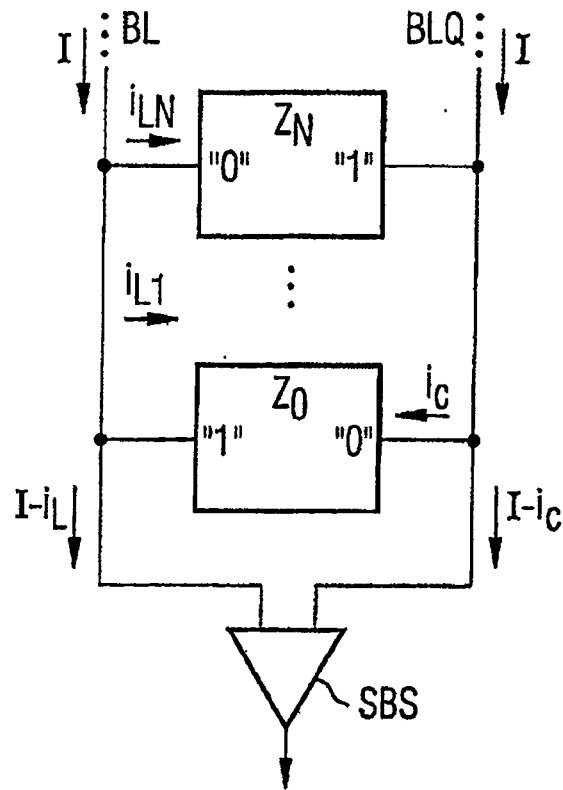


图 3

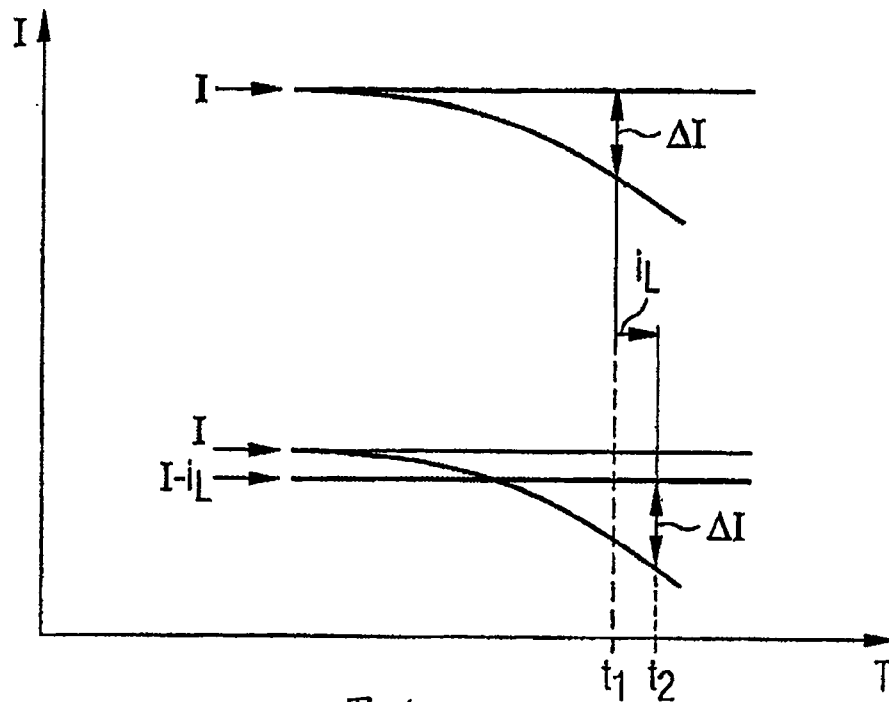


图 4



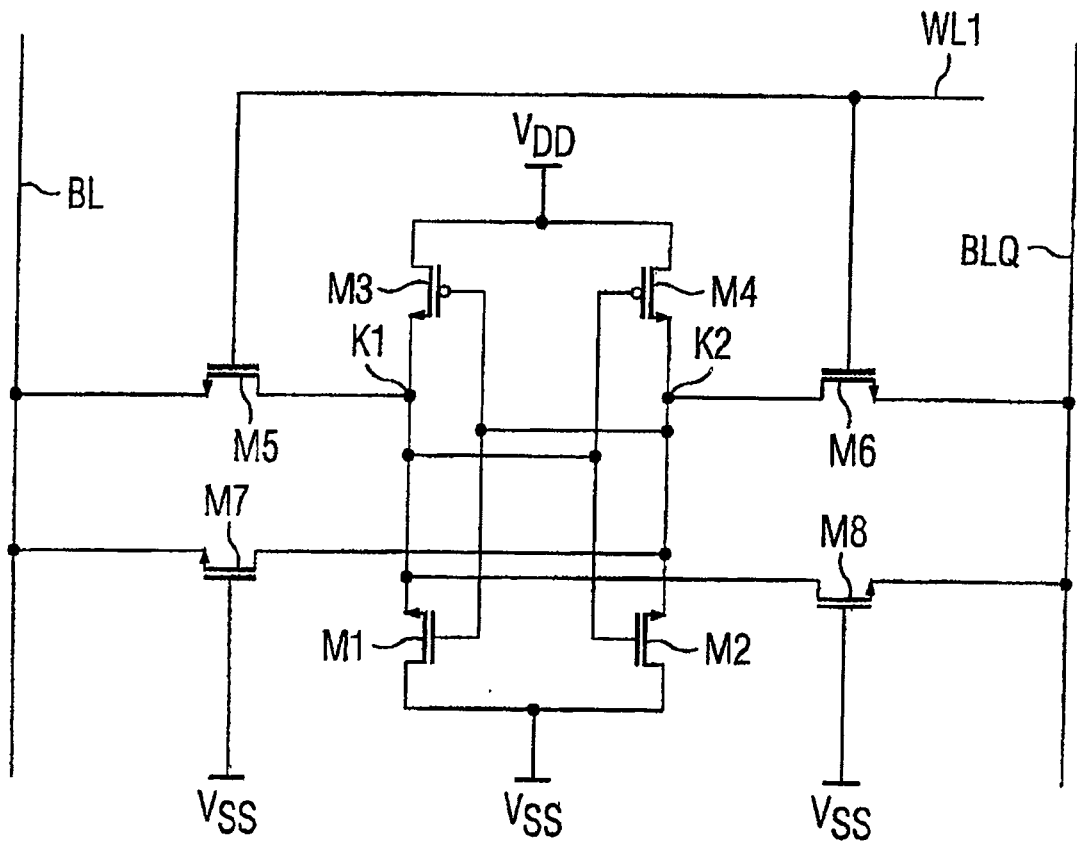


图 7