



(12) 发明专利

(10) 授权公告号 CN 113765508 B

(45) 授权公告日 2024. 07. 09

(21) 申请号 202111142307.1

(22) 申请日 2018.11.02

(65) 同一申请的已公布的文献号  
申请公布号 CN 113765508 A

(43) 申请公布日 2021.12.07

(30) 优先权数据  
15/802,787 2017.11.03 US

(62) 分案原申请数据  
201880071209.3 2018.11.02

(73) 专利权人 德州仪器公司  
地址 美国德克萨斯州

(72) 发明人 S·K·马诺哈尔 M·J·米尔斯  
J·P·沃格特

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 林斯凯

(51) Int.Cl.  
H03K 17/687 (2006.01)  
H03K 17/14 (2006.01)  
H03K 17/0812 (2006.01)  
H03K 17/06 (2006.01)  
G06F 13/42 (2006.01)  
G05F 3/26 (2006.01)  
G05F 3/24 (2006.01)  
G05F 1/595 (2006.01)

(56) 对比文件  
CN 111316189 A, 2020.06.19

审查员 易玉斌

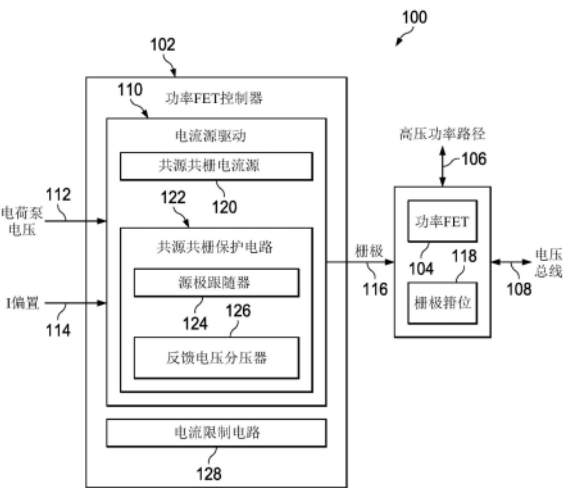
权利要求书4页 说明书9页 附图5页

(54) 发明名称

高压栅极驱动电流源

(57) 摘要

本申请实施例涉及一种高压栅极驱动电流源。一种用于USB电力输送的电力供应系统(100)包含电流源驱动电路(110)以控制功率FET(104)以调节沿功率路径(106、108)的功率的供应。所述电流源驱动电路(110)包含共源共栅电流源(120)和由源极跟随器(124)和反馈电压分压器(126)形成的共源共栅保护电路(122)。所述源极跟随器(124)可以是晶体管,其栅极连接到所述共源共栅电流源(120)的上级晶体管和下级晶体管之间的共源共栅节点。所述电压分压器(126)的分压器节点连接到所述下级晶体管所述的栅极。



1. 一种电力供应系统,其包括:

功率场效应管FET,其具有栅极和漏极,所述漏极耦合在功率输入和功率输出之间;  
电压源;

共源共栅电流源,其经配置以从所述电压源向所述功率FET的所述栅极提供上拉电流,以调节所述功率输入和所述功率输出之间的功率的供应,所述共源共栅电流源具有上级和下级,所述上级和所述下级在所述上级和所述下级之间的共源共栅节点处耦合,并且所述下级具有栅极;以及

保护电路,其包括反馈FET以及第一反馈电阻器和第二反馈电阻器,其中所述反馈FET的栅极耦合到所述共源共栅节点,并且其中所述第一反馈电阻器和所述第二反馈电阻器被布置为耦合在所述反馈FET的源极和所述功率FET的所述漏极之间的电压分压器,所述电压分压器具有在所述第一反馈电阻器和所述第二反馈电阻器之间的分压节点并且耦合到所述下级的所述栅极,所述保护电路经配置以对所述共源共栅节点处的所述电压进行采样,作为响应,自适应地改变到所述下级的所述栅极的所述电压,并且将所述下级配置为源极跟随器,并且将所述下级置于饱和区域,以限制所述功率输入和所述功率输出之间的电流来响应过电流情况。

2. 根据权利要求1所述的电力供应系统,其中所述保护电路包括源极跟随器电路和反馈电压分压器电路。

3. 根据权利要求1所述的电力供应系统,其中所述功率FET是在与所述共源共栅电流源和所述保护电路不同的集成电路上的NexFET。

4. 根据权利要求1所述的电力供应系统,其中所述共源共栅电流源和所述保护电路不包含额定值大于30伏的漏极到源极电压的晶体管。

5. 根据权利要求1所述的电力供应系统,其包括电流限制电路,所述电流限制电路经配置以将流向所述功率输出的电流与阈值电流进行比较,并且,响应于所述功率输出的所述电流超过指示所述过电流情况的所述阈值电流,拉低所述功率FET的所述栅极的所述电压。

6. 根据权利要求1所述的电力供应系统,其中所述上级的漏极在所述共源共栅节点处连接至所述下级的源极。

7. 一种供应电力的方法,所述方法包括:

利用共源共栅电流源将电流从电压源供应到功率场效应管FET的栅极以通过在具有输入和输出的功率路径中的功率FET来调节功率,所述共源共栅电流源具有上级和下级;

使用耦合到所述上级和所述下级之间的节点并且耦合到电压分压器的反馈FET来控制所述下级的输入处的电压,所述电压分压器耦合在所述反馈FET的源极和所述功率路径的所述输入之间;以及

检测通过所述功率路径的电流超过电流限制阈值,并且基于所述检测:

下拉所述功率FET的所述栅极处的电压,

检测所述功率FET的所述栅极处的所述电压已经被下拉,以及

将所述共源共栅电流源的所述下级从所述电压源偏置至所述功率FET的漏极以在饱和区域中运行,从而增加了所述共源共栅电流源到所述功率FET的所述栅极的输出阻抗。

8. 根据权利要求7所述的方法,其中所述共源共栅电流源的所述下级和上级是漏极扩展PMOSDEPMOS装置,其额定漏极-源极电压VDS不超过30伏,额定最小漏极到源极击穿电压

$BV_{DSS}$  不超过35伏。

9. 根据权利要求7所述的方法, 其中所述功率FET的所述栅极的电压比所述功率路径的所述输出的所述电压高至少10伏。

10. 根据权利要求7所述的方法, 其包含向所述电压源供应高于所述功率FET的漏极的所述电压的电压, 并且电荷泵的最小电压输出比所述功率路径输出的所述电压高至少10.3伏。

11. 根据权利要求10所述的方法, 其中在正常运行期间, 所述功率FET的所述栅极的所述电压为34伏或更高, 并且所述电荷泵的所述电压为34.3伏或更高。

12. 根据权利要求10所述的方法, 其中基于所述检测通过所述功率路径的电流超过所述电流限制阈值, 将所述功率FET的所述栅极处的所述电压下拉至0.5伏与1.5伏之间。

13. 根据权利要求7所述的方法, 其中所述检测所述功率FET的所述栅极处的所述电压已经被下拉包括通过反馈所述共源共栅电流源的所述下级的源极与栅极之间的信号来感测所述共源共栅电流源的所述下级的所述漏极-源极电压VDS的增加。

14. 根据权利要求13所述的方法, 其中所述反馈信号通过反馈晶体管和反馈电压分压器的上电阻馈送, 所述反馈电压分压器包括连接到所述反馈晶体管的所述上电阻和连接到所述功率FET的漏极的下电阻, 并且所述电阻被选择以使得所述下电阻与所述上电阻和所述下电阻的总和的反馈比大于5/9。

15. 一种通用串行总线供电电路, 其包括:

电荷泵电压端、功率路径节点、以及电压总线节点;

第一功率场效应晶体管, 其具有源极、漏极以及栅极, 其中所述源极耦合到所述功率路径节点, 所述漏极耦合到公共漏极节点;

第二功率场效应晶体管, 其具有源极、漏极以及栅极, 其中所述源极耦合到所述电压总线节点, 所述漏极耦合到所述公共漏极节点;

共源共栅电流源, 其包括:

上晶体管, 其具有漏极、源极以及栅极, 其中所述源极耦合在所述电荷泵电压端以及共源共栅节点之间;

下晶体管, 其具有源极、漏极以及栅极, 其中所述漏极耦合在所述共源共栅节点以及所述第一功率晶体管的所述栅极之间; 以及

保护电路, 其包括:

反馈晶体管, 其具有漏极、源极以及栅极, 其中所述源极耦合在所述电荷泵电压端以及反馈节点之间, 所述栅极耦合到所述共源共栅节点; 以及

电压分压器, 其具有一端、另一端以及中间节点, 其中所述一端耦合到所述反馈节点, 所述另一端耦合到所述公共漏极节点, 且所述中间节点耦合到所述下晶体管的所述栅极。

16. 根据权利要求15所述的通用串行总线供电电路, 其中所述电压分压器包括耦合在所述一端以及所述中间节点之间的第一电阻器, 以及耦合在所述中间节点以及所述公共漏极节点之间的第二电阻器。

17. 根据权利要求15所述的通用串行总线供电电路, 其中所述上晶体管和所述下晶体管具有可靠性限制为5伏的栅极-源极电压以及可靠性限制为30伏的漏极-源极电压。

18. 根据权利要求15所述的通用串行总线供电电路, 其包含:

另一共源共栅电流源,其包含:

另一上晶体管,其具有漏极、源极以及栅极,其中所述源极耦合在所述电荷泵电压端以及另一共源共栅节点之间;

另一下晶体管,其具有源极、漏极以及栅极,其中所述漏极耦合在所述另一共源共栅节点以及所述第二功率晶体管的所述栅极之间;以及

另一保护电路,其包括:

另一反馈晶体管,其具有漏极、漏极以及栅极,其中所述源极耦合在所述电荷泵电压端以及另一反馈节点之间,所述栅极耦合到所述另一共源共栅节点;以及

另一电压分压器,其具有一端、另一端以及另一中间节点,其中所述一端耦合到所述另一反馈节点,所述另一端耦合到所述公共漏极节点,且所述另一中间节点耦合到所述另一下晶体管的所述栅极。

19.一种供电电路,其包括:

第一FET,其具有第一端、第二端以及栅极;

栅极驱动电路,其包含:

第二FET,其具有第一端、第二端以及栅极;以及

第三FET,其具有第一端、第二端以及栅极,所述第三FET的所述第一端耦合到所述第二FET的所述第一端,且所述第三FET的所述第二端耦合到所述第一FET的所述栅极;以及

反馈电路,其包括:

第四FET,其具有第一端、第二端以及栅极,所述第四FET的所述第一端耦合到所述第二FET的所述第二端,且所述第四FET的所述栅极耦合到所述第二FET及所述第三FET的所述第一端;

第一电阻器,其具有第一端以及第二端,所述第一电阻器的所述第一端耦合到所述第四FET的所述第二端,且所述第一电阻器的所述第二端耦合到所述第三FET的所述栅极;以及

第二电阻器,其具有第一端以及第二端,所述第二电阻器的所述第一端耦合到所述第一电阻器的所述第二端及所述第三FET的所述栅极,且所述第二电阻器的所述第二端耦合到所述第一FET的所述第一端。

20.一种供电电路,其包括:

第一FET,其具有第一端、第二端以及栅极;

栅极驱动电路,其包含:

第二FET,其具有第一端、第二端以及栅极;以及

第三FET,其具有第一端、第二端以及栅极,所述第三FET的所述第一端耦合到所述第二FET的所述第一端,且所述第三FET的所述第二端耦合到所述第一FET的所述栅极;

反馈电路,其包括:

第四FET,其具有第一端、第二端以及栅极,所述第四FET的所述第一端耦合到所述第二FET的所述第二端,且所述第四FET的所述栅极耦合到所述第二FET及所述第三FET的所述第一端;

第一电阻器,其具有第一端以及第二端,所述第一电阻器的所述第一端耦合到所述第四FET的所述第二端,且所述第一电阻器的所述第二端耦合到所述第三FET的所述栅极;以

及

第二电阻器,其具有第一端以及第二端,所述第二电阻器的所述第一端耦合到所述第一电阻器的所述第二端及所述第三FET的所述栅极,且所述第二电阻器的所述第二端耦合到所述第一FET的所述第一端;以及

比较器电路,其具有参考输入和耦合到所述第一FET的另一输入,并具有耦合到所述第一FET的所述栅极的输出。

21.一种供电电路,其包括:

第一FET,其具有第一端、第二端以及栅极;

栅极驱动电路,其包含:

第二FET,其具有第一端、第二端以及栅极;以及

第三FET,其具有第一端、第二端以及栅极,所述第三FET的所述第一端耦合到所述第二FET的所述第一端,且所述第三FET的所述第二端耦合到所述第一FET的所述栅极;以及

反馈电路,其包括:

第四FET,其具有第一端、第二端以及栅极,所述第四FET的所述第一端耦合到所述第二FET的所述第二端,且所述第四FET的所述栅极耦合到所述第二FET及所述第三FET的所述第一端;

第一电阻器,其具有第一端以及第二端,所述第一电阻器的所述第一端耦合到所述第四FET的所述第二端,且所述第一电阻器的所述第二端耦合到所述第三FET的所述栅极;以及

第二电阻器,其具有第一端以及第二端,所述第二电阻器的所述第一端耦合到所述第一电阻器的所述第二端及所述第三FET的所述栅极,所述第二电阻器的所述第二端耦合到所述第一FET的所述第一端;以及

比较器电路,其耦合到所述第一FET,且所述比较器电路经配置以将所述第一FET中的电流与参考电流进行比较,并响应于所述比较调整所述第一FET的所述栅极处的电压,其中所述反馈电路经配置以响应于所述电流超过所述参考电流而偏置第三晶体管以在饱和区域中操作,并且响应于所述电流小于所述参考电流而偏置所述第三晶体管以在线性区域中操作。

## 高压栅极驱动电流源

[0001] 分案申请的相关信息

[0002] 本申请是申请日为2018年11月02日,申请号为“201880071209.3”,发明名称为“高压栅极驱动电流源”的发明专利申请的分案申请。

[0003] 本发明一般涉及电子电路,更具体地涉及高压栅极驱动电流源。

### 背景技术

[0004] USB C型是通用串行总线标准,其能够在电源装置(例如移动计算机,例如膝上型计算机或笔记本计算机)与功率吸收器装置(例如移动电话)之间进行可逆的插头定向和电缆方向。在所述标准下,电源装置可以动态管理0.5安培至3.0安培的电流。USB功率输送(PD)是使用USB-C标准和电缆的单线协议。USB C型端口既可以充当向所连接的装置(例如移动电话)输送功率的电源,也可以充当从所连接的装置(例如电池)传输功率的电流吸收器。PD协商允许装置在当前电池情况下约定输送最佳功率电平。协议扩展了USB以输送高达100瓦的功率(即,5安培时20伏)。

### 发明内容

[0005] 在一个实例中,电力供应系统包含功率FET控制器中的电流源驱动电路,以控制功率FET的栅极,从而调节功率输入和功率输出之间的功率的供应。电流源驱动电路包含共源共栅电流源,所述共源共栅电流源具有在上级和下级之间的共源共栅节点;以及共源共栅保护电路,其对共源共栅节点处的电压进行采样,并且自适应地改变到下级的栅极的电压,并且自动地将下级配置成源极跟随器,并且在需要限制功率输入和功率输出之间的电流的过电流情况期间使下级置于饱和状态。

[0006] 在另一实例中,供应功率的方法包含利用共源共栅电流源向功率FET的栅极供应电流,以通过具有输出的功率路径来调节功率。所述方法通过检测通过功率路径的电流超过预定电流限制阈值而继续。基于此检测,当通过功率路径的电流未超过预定电流限制阈值时,功率FET的栅极被下拉,即,下拉到低于栅极在运行期间将经历的电压。所述方法通过偏置共源共栅电流源的下级以在饱和状态下继续,从而增加了共源共栅电流源到功率FET的栅极的输出阻抗,并且增加了共源共栅电流源的电流精度。

[0007] 在又一实例中,电路包含高压功率路径和电压总线节点之间的功率FET以调节其间的功率传输。电流源向电流镜的一侧提供偏置电流。共源共栅电流源在电流镜的另一侧包括上级和下级。上级的源极连接到电荷泵电压节点,下级的漏极连接到功率FET栅极。反馈晶体管的栅极位于共源共栅的中间节点(上级和下级之间),其漏极位于电荷泵节点。第一和第二反馈电阻器布置为电压分压器,所述分压器具有上节点、分压器节点和下节点,所述上节点连接到反馈晶体管的源极,所述分压器节点连接到共源共栅电流源的下级的栅极,所述下节点连接到功率FET的漏极。

## 附图说明

- [0008] 图1是实例电力供应系统的系统图。  
[0009] 图2是实例电力供应电路的电路图。  
[0010] 图3是另一实例电力供应电路的电路图。  
[0011] 图4是示出调节电力供应中的功率的实例方法的流程图。  
[0012] 图5是示出调节电力供应中的功率的实例方法的流程图。

## 具体实施方式

[0013] USB功率路径可以由内部/外部背对背功率FET和控制每个功率FET的栅极的控制器(即,用作栅极驱动器)组成。在实例实施例中,高压兼容电流镜包含低压装置。例如,电流镜在USB PD场效应晶体管(FET)控制器中是有用的,并且其有利地减少了掩模计数并且因此减少了芯片成本。

[0014] 共源共栅保护电路可以保护高压兼容电流镜中的共源共栅电流源在通过导致电流限制电路下拉功率FET的栅极的功率路径的过电流情况期间不被 $|V_{GS}|$ 违反。共源共栅保护电路还允许共源共栅电流源中的晶体管装置为低压装置,即,额定VDS不为40伏的装置,从而节省了由于在制作高压装置时需要超高压掩模而花费的制造成本。

[0015] 共源共栅保护电路可以由例如源极跟随器电路和反馈电压分压器电路组成,所述反馈电压分压器电路被布置成对共源共栅电流源中的共源共栅节点处的电压进行采样,并且自适应地改变共源共栅电流源中的共源共栅的下级的栅极处的电压。源极跟随器电路可以由例如单个反馈晶体管组成,其栅极连接到共源共栅电流源的共源共栅节点,而电压分压器电路可以包括两个电阻,其被布置为反馈晶体管的源极和相关联的功率FET的漏极之间的电压分压器。当电压分压器的分压器节点连接到共源共栅电流源的下级的栅极时,共源共栅保护电路可以在共源共栅节点与分压器节点之间建立反馈回路以保护共源共栅装置并且在电流限制运行期间增强其作为共源共栅电流源的运行。此布置的结果是节省了超高压掩模并且减少了制造成本。

[0016] 图1是示出电力供应系统100的系统图,电力供应系统100包含功率FET控制器102以控制功率FET 104来调节从高压功率路径PPHV 106到电压总线VBUS 108的功率的供应,或反之亦然(如双向箭头106、108所指示),并且限制沿此类路径106、108的电流。具有电压总线108的功率路径106可以用于例如经由USB连接,例如根据USB PD协议将功率供应到外围装置或从外围装置供应功率。

[0017] 功率FET控制器102包含根据电荷泵电压VCP 112和偏置电流114起作用的电流源驱动电路110,以调节到功率FET 104的栅极所附接的栅极节点116的电流。可以布置栅极箝位电路118以对功率FET 104施加恒定的最大栅极到源极电压( $V_{GS}$ )。为了调节到栅极116的电流,电流源驱动110可以包含向栅级116提供上拉电流( $I_{pu}$ )的共源共栅电流源120。共源共栅电流源120例如可以是较大共源共栅电流镜布置的一部分。

[0018] 为了保护共源共栅电流源120中的装置并且确保电流源驱动110在正常和电流限制运行模式期间的正常功能,共源共栅保护电路122可以包含源极跟随器124和反馈电压分压器126,其可以对共源共栅电流源120中的共源共栅节点处的电压进行采样并且自适应地改变共源共栅电流源120中的共源共栅的下级的栅极处的电压。

[0019] 电流限制电路128可以将功率路径电流与阈值进行比较,以帮助限制通过功率FET 104的电流,从而限制通过功率路径106、108的电流。电流限制电路128由此可以通过基于比较而下拉栅极116来响应过电流情况,例如通过创建与由共源共栅电流源120供应的上拉电流( $I_{pu}$ )相反的下拉电流。

[0020] 共源共栅电流源120可以由例如晶体管装置组成,例如被布置在具有上级(其源极节点连接到电荷泵电压节点112)和下级(其源极节点连接到上级的漏极节点)的共源共栅配置中的低功率FET(即,小于5伏的栅极-源极电压(VGS)可靠性限制,小于30伏的漏极-源极电压(VDS)可靠性限制的FET)。源极跟随器124可以由例如反馈晶体管组成,所述反馈晶体管的栅极布置在共源共栅电流源120的中间节点(即,连接共源共栅的上级的漏极和共源共栅的下级的源极的节点)。反馈电压分压器126可以由例如布置为具有上节点、分压节点和下节点的分压器的反馈电阻组成,其中电压分压器126的上节点连接到反馈晶体管的源节点,电压分压器126的分压节点连接到共源共栅中的晶体管中的一个的栅极节点,电压分压器126的下节点连接到功率FET 104的漏极节点,例如连接到布置中的公共漏极节点,所述布置可以使功率FET 104与第二功率FET(图1中未展示)漏极到漏极地放置。

[0021] 图2是可以用于例如USB PD应用的功率路径电路电流源拓扑200的电路图。电容器元件 $C_{OUT}$ 表示由例如在节点VBUS处连接到总线的外围装置所呈现的负载,其中所述总线可以是USB功率总线。如箭头202所指示,功率路径电路200可以以源极模式运行,即,提供从系统侧高压功率路径节点PPHV到外围侧总线电压节点VBUS的电流。背对背功率FET  $M_{NP0}$ 、 $M_{NP1}$ 提供端口隔离。功率FET  $M_{NP0}$ 、 $M_{NP1}$ 的漏极连接在公共漏极节点CMDRN,其电压是PPHV和VBUS的最大值(如208处所指示)。

[0022] 功率FET  $M_{NP0}$ 、 $M_{NP1}$ 各自来自电荷泵VCP的共源共栅电流源组成的高压栅极驱动电路驱动。在所示电路200中,晶体管 $M_{P2}$ 、 $M_{P3}$ 一起形成功率FET  $M_{NP0}$ 的栅极驱动电路,而晶体管 $M_{P4}$ 、 $M_{P5}$ 一起形成功率FET  $M_{NP1}$ 的栅极驱动电路。每个共源共栅电流源向其相应的功率FET提供上拉电流 $I_{pu}$ 。通过在相应的功率FET  $M_{NP0}$ 或 $M_{NP1}$ 的栅极被充电之后引入充电电流 $I_{pu}$ ,栅极到源极箝位电路204、206各自保持相应的功率FET  $M_{NP0}$ 、 $M_{NP1}$ 的恒定最大栅极-源极电势差VGS。因此,在功率FET  $M_{NP0}$ 的情况下,栅极-源极电势差VGS是节点GATE\_SENSEFET和PPHV处的电势差,而在功率FET  $M_{NP1}$ 的情况下,栅极-源极电势差VGS是节点GATE\_PASSFET和VBUS处的电势差。电荷泵电压节点VCP具有来源于公共漏极电压CMDRN的输入和输入供应(未展示),例如3.3伏的输入供应VDD\_3P3,如下等式所展示:

[0023]  $VCP = CMDRN(\text{Max}(PPHV, VBUS)) + n * 3.3V$

[0024] 其中n是电荷泵中的级数。

[0025] 电荷泵电压VCP必须通过供应足够的栅极-源极电势差VGS足以向所有(a)功率FET供电;(b)共源共栅电流源所需的漏极到源极电压;以及(c)功率路径中的所有其它高压电路,如下等式所展示:

[0026]  $VCP = CMDRN(\text{Max}(PPHV, VBUS)) + VGS(M_{NP0}) + VDS(M_{P2}) + VDS(M_{P3}) + \text{加载导致电荷泵脱落}$

[0027] 或,类似地,

[0028]  $VCP = CMDRN(\text{Max}(PPHV, VBUS)) + VGS(M_{NP1}) + VDS(M_{P4}) + VDS(M_{P5}) + \text{加载导致电荷泵脱落}$



[0029] 在实例应用中,例如其中通过设计,由栅极箝位(例如206)执行的功率FET(例如 $M_{NP1}$ )的目标VGS为10伏或更高,电荷泵电压VCP可以保持在高于公共漏极电压CMDRN(即,PPHV或VBUS中的较大者)至少约10.3伏的电势。在此实例中,电荷泵应为 $n=4$ 级,使得电荷泵电压始终高于CMDRN至少约10.3伏。如果VCP高于此值1伏或2伏,则也可以接受。

[0030] 功率FET  $M_{NP0}$ 、 $M_{NP1}$  可以是高压MOSFET,例如NexFET,其是具有非常低的漏极-源极导通电阻 $R_{DSon}$ 以减少功率损耗的低成本垂直功率FET。例如,NextFET可以具有额定为20伏的最大栅极到源极电压(VGS)。在一些实例中,多芯片模块(MCM)用于使用NexFET工艺制造的共同封装NexFET管芯和使用不同工艺,例如单片工艺制造的控制管芯,而在其它实例中,单独的NexFET组件和控制管芯被单独组装而不封装在MCM中。对于US BPD应用,PPHV或VBUS上的最大电压为24伏。

[0031] 当将功率FET栅极到源极电压VGS(即,由栅极箝位206实施的目标VGS)选择为10伏时,则最小电荷泵电压VCP需要大于34伏以允许用于驱动器电流源装置(例如 $M_{P2}$ 、 $M_{P3}$ 、 $M_{P4}$ 、 $M_{P5}$ )的余量。在一些实例中,电荷泵电压VCP可以上升到干线电压,例如36伏或更高。因此,如布置在拓扑200中,驱动器电流源装置(例如 $M_{P2}$ 、 $M_{P3}$ 、 $M_{P4}$ 、 $M_{P5}$ )需要被额定为40伏VDS,以适应潜在的大目标VGS值(例如10到20伏)。当在任何此类装置的漏极和源极之间放置40伏或更大的电势差时,额定VDS不为40伏的装置可能遭受损坏或性能降低。40伏的漏极扩展PMOS(DEPMOS)装置构成了被额定为40伏VDS的装置的一个实例。然而,40伏DEPMOS装置在制造中花费超高压(HV)掩模,例如双扩散阱(DWELL)掩模或P-埋层(PBL)掩模。

[0032] 因此,电流源拓扑如图2中所展示,当用于驱动具有10伏或更大的,例如NexFET的VGS的功率FET  $M_{NP0}$ 、 $M_{NP1}$ 时具有某些限制。作为实例,图2电流源拓扑需要额外的HV掩模(例如40伏PBL掩模),并且驱动器电流源装置 $M_{P2}$ 、 $M_{P3}$ 、 $M_{P4}$ 、 $M_{P5}$ 需要额定为40伏VDS。此外,当在电流限制运行期间功率FET栅极节点GATE\_PASSFET被拉低以限制通过功率FET  $M_{NP0}$ 、 $M_{NP1}$ 的电流时,共源共栅装置 $M_{P4}$ 看到 $|VGS|$ 违反(例如大于5伏的绝对值栅极-源极电压)。当在反向电流保护期间将功率FET栅极节点GATE\_SENSEFET被拉低以感测在源极模式期间VBUS是否大于PPHV并且因此关断 $M_{NP0}$ 时,共源共栅装置 $M_{P2}$ 看到类似的 $|VGS|$ 违反。

[0033] 因此,当限于使用低压装置用于其共源共栅电流源时,图2中所展示的栅极驱动拓扑200仅适合于驱动具有不大于5伏的栅极-源极电压VGS的内部功率FET,并且当功率FET的栅极-源极电压VGS被预期为大于5伏或具有大于5伏的电势时,不能用于此应用。

[0034] 图3展示了用于USB PD功率路径中的高压(HV)NexFET栅极驱动器电路的电流源拓扑300。拓扑300与图2中的拓扑200共享许多公共的特征,但是在其共源共栅栅极驱动器的设计上不同,共源共栅栅极驱动器由共源共栅晶体管 $M_{P4}$ 、 $M_{P5}$ 、反馈晶体管 $M_{NF}$ 以及在图顶部的分压电阻器R1、R2组成。为了清楚地示出,仅展示了GATE\_PASSFET( $M_{NP1}$ )的电流源驱动器,而省略了GATE\_SENSEFET的电流源驱动器。拓扑300中的相同的共源共栅栅极驱动器也可以驱动 $M_{NP0}$ 的栅极(未展示)。例如, $M_{P4}$ 、 $M_{P5}$ 可以是额定30伏VDS DEPMOS装置,其最小漏极到源极击穿电压( $BV_{DSS}$ )额定为35伏。这些额定值是用于制造FET装置的工艺的函数。所示的拓扑300避免了对40伏HV掩模的需要。

[0035] 反馈晶体管 $M_{NF}$ 和由电阻R1和R2形成的电压分压器形成共源共栅保护电路,其可以对应于图1中的共源共栅保护电路122。如图3中所示,共源共栅保护电路对共源共栅节点VY处的电压进行采样,并且自适应地改变到共源共栅节点的下级,即,在分压器节点VBP<sub>2</sub>处的

栅极的电压,使得共源共栅的下级装置 $M_{P4}$ 的栅极-源极电压总是被保护不受 $|V_{GS}|$ 违反。此外,当共源共栅的下级装置的漏极,即,标记为GATE\_PASSFET的节点被例如电流限制电路拉低时,如在需要限制去往/来自VBUS的通过功率路径的电流的过电流情况期间可能发生,共源共栅保护电路自动地配置下级晶体管 $M_{P4}$ 为源极跟随器,使共源共栅下级晶体管 $M_{P4}$ 置于饱和状态。共源共栅保护电路关闭反馈回路,以确保共源共栅节点VY稳定到 $V_{BP2}$ 加上 $M_{P4}$ 的 $V_{GS}$ 的值。

[0036] 如箭头302所指示,功率路径电流300可以在源极模式下运行,即,提供系统侧高压功率路径节点PPHV(在图3中省略)到外围侧总线电压节点VBUS的电流。通过在对功率FET  $M_{NP1}$ 的栅极充电之后引入充电电流 $I_{pu}$ ,栅极到源极箝位电路306为功率FET  $M_{NP1}$ 维持恒定的栅极-源极电势差 $V_{GS}$ (即,目标 $V_{GS}$ )。

[0037] 如下,反馈晶体管 $M_{NF}$ 和分压电阻器R1、R2可以被设计成使得拓扑300将永远不会遭受拓扑200中固有的 $|V_{GS}|$ 违反问题。反馈晶体管 $M_{NF}$ 作为源极跟随器运行。反馈晶体管 $M_{NF}$ 和由反馈电阻器R1和R2组成的电压分压器基于功率FET栅极节点GATE\_PASSFET处的电压来设定节点VX处的电压并且因此设定节点VBP2处的电压,使得 $M_{P4}$ 和 $M_{P5}$ 始终在其栅极-源极电压 $V_{GS}$ (例如小于5伏)和漏极-源极电压 $V_{DS}$ (例如小于30伏)的可靠性限制内运行。

[0038] 电路300可以具有几种运行模式,其包含当在PPHV-VBUS功率路径上提供低于阈值电流的功率时的“正常运行”模式,以及当在功率路径上消耗超阈值电流时引起电流限制电路310(例如电流限制放大器)限制通过功率FET  $M_{NP1}$ 并且因此通过PPHV-VBUS功率路径的电流的“电流限制运行”模式。拓扑300的共源共栅栅极驱动器电路能够在模式之间转换时自动地保护装置 $M_{P4}$ 、 $M_{P5}$ 并且确保没有 $|V_{GS}|$ 违反。

[0039] 在拓扑300的正常运行期间,即,在提供低于预定阈值电流的电流以使得不触发过电流情况的运行期间,电流源晶体管 $M_{P5}$ 在饱和状态下运行,而 $M_{P4}$ 在其线性区域运行,作为功率FET栅极节点GATE\_PASSFET处的电压处于或接近功率FET  $M_{NP1}$ 的全部指定的栅极-源极电压 $V_{GS}$ (例如 $GATE\_PASSFET = V_{BUS} + 10$ 伏)。这是因为,如下面的等式所示,(a)电荷泵电压 $V_{CP}$ 是满载的,并且其最小电压约为 $V_{BUS} + 10.3$ 伏,并且(b) $GATE\_PASSFET = V_{BUS} + 10$ 伏,没有为处于饱和状态的 $M_{P4}$ 留下余量。 $M_{P5}$ 的大小可以以具有更长的沟道长度,以用于更大的电流镜精度。例如, $M_{P5}$ 的大小可以为具有最小沟道长度的至少五倍的沟道长度(即, $L_{MP5} > 5 * L_{min}$ )。在下面的等式中,阈值电压 $V_{THP}$ 是当在MOSFET的漏极与源极之间施加电压时引起电流流动的最小栅极到源极电压, $V_{SD_{MP4}}$ 是晶体管 $M_{P4}$ 的源极-漏极电压, $V_{GS_{MNF}}$ 是晶体管 $M_{NF}$ 的栅极-源极电压,并且其它节点的电压如图3中所标记。

[0040] 假设 $PPHV = 24V$ ,  $|V_{THP}| \approx 1V$ ,  $GATE_{PASSFET} = V_{BUS} + 10V$ ,  $\frac{R2}{R1 + R2} = \frac{3}{4}$

[0041] 假设 $V_{SD_{MP4}} > 0.5V$ 为饱和状态,则 $VY = V_{BUS} + 10.5V$

[0042]  $VX = VY - V_{GS_{MNF}} \approx VY - 1V$

[0043]  $V_{SD_{MP4}} > VY - V_{BP2} - V_{THP}$

[0044]  $0.5V > V_{BUS} + 10.5V - \left\{ (VY - 1V) \frac{R2}{R1 + R2} + V_{BUS} \frac{R1}{R1 + R2} \right\} - V_{THP}$

[0045]  $0.5V > 10.5V - \left\{ (10.5V - 1V) \frac{R2}{R1 + R2} \right\} - 1V$

[0046]  $0.5 \text{ V} \neq 10.5 \text{ V} - \left\{ (10.5 \text{ V} - 1 \text{ V}) \frac{3}{4} \right\} - 1 \text{ V} = 2.375 \text{ V}$ , 因此  $M_{P4}$  在线性区域。

[0047] 即使将饱和阈值取为0.3伏, 也同样不能满足以上不等式, 正如在以上分析中一样, 因为0.3伏不大于2.375伏, 就像0.5伏不大于2.375伏。

[0048] 电荷泵电压VCP的任何增加都受到面积和工艺可靠性规范的限制, 因为这将增加衬底的漏极/源极隔绝电压到大于35伏并且影响装置的可靠性。对于当最大总线电压VBUS为24伏并且由栅极箝位306实施的目标功率FET VGS为10伏时的情况, 则CMDRN为24伏, GATE\_PASSFET为34伏, VBP<sub>2</sub>为30.75伏, VX为33伏, 共源共栅节点VY为34伏,  $M_{P5}$ 在其饱和区运行, 而 $M_{P4}$ 在其线性区运行。

[0049] 在电流限制运行期间, 功率FET的栅极, 即, 图3中所示实例中的 $M_{NP1}$ 由电流限制电路310拉低 (例如接近1伏, 例如在0.5伏和1.5伏之间) 以限制通过功率FET  $M_{NP1}$ 的电流。因此, 下级装置 $M_{P4}$ 的漏极也将被拉低, 因为此类漏极节点是与功率FET的栅极相同的节点, 即, 图3中所示实例中的GATE\_PASSFET。因此, 在上级装置 $M_{P5}$ 的源极和下级装置 $M_{P4}$ 的漏极之间存在大的电压差, 导致用于 $M_{P4}$ 的大的VDS, 使得 $M_{P4}$ 进入饱和状态成为可能。由于电路300的布置, 当 $M_{P4}$ 的漏极-源极电压VDS增加时, 共源共栅保护电路自动将 $M_{P4}$ 和 $M_{P5}$ 偏置在饱和状态, 在电流限制期间提供较高的电流精度, 并且向功率FET  $M_{NP1}$ 的栅极和电流限制电路310提供较高的输出阻抗。 $M_{P4}$ 作为源极跟随器运行, 并且将共源共栅节点VY处的电压限定为分压器节点VBP<sub>2</sub>上方的一个下级VGS。

[0050] 电流限制电路310感测功率FET  $M_{NP1}$ 的漏极-源极电压VDS, 并且当通过功率FET的电流高于预定电流阈值 $I_{ref}$ 时, 节流阀GATE\_PASSFET以限制通过功率FET  $M_{NP1}$ 的电流。作为实例, 电流限制电路310可以对通过PPHV-VBUS功率路径的电流进行采样, 所述功率路径电流采样值在图3中被标注为 $I_{power\_samp}$ , 并且将此采样的功率路径电流值与阈值电流值 $I_{ref}$ 进行比较, 其精确值是可编程的或可选择的。当 $I_{power\_samp}$ 超过 $I_{ref}$ 阈值时, 电流限制电路310开始下拉GATE\_PASSFET上的电压。

[0051] 在此电流限制运行期间, 共源共栅栅极驱动器自动向功率FET  $M_{NP1}$ 和电流限制电路310的栅极呈现较高的阻抗, 从而提高了电流限制电路310的小信号稳定性。对于当最大总线电压VBUS为24伏的情况, 则CMDRN为24伏, GATE\_PASSFET为1伏, 共源共栅节点VY为27伏, VX为大约26伏, VCP为34.4伏, 并且 $M_{P4}$ 和 $M_{P5}$ 均在饱和区中运行。在此类实例中, 反馈晶体管 $M_{NF}$ 的 $V_{GS}$ 大约是1伏 (即, VX将比共源共栅节点VY小大约1伏)。在电流限制运行期间 $M_{P4}$ 在饱和区中运行如下所示:

$$[0052] \quad V_{GS_{MNF}} \approx 1 \text{ V}$$

$$[0053] \quad VY \approx |V_{GS_{MP4}}| + VBP_2$$

$$[0054] \quad VY \approx |V_{GS_{MP4}}| + \left\{ (VY - V_{GS_{MNF}}) \frac{R2}{R1 + R2} + VBUS \frac{R1}{R1 + R2} \right\}$$

$$[0055] \quad VY \approx |V_{GS_{MP4}}| + \left\{ (VY - 1 \text{ V}) \frac{R2}{R1 + R2} + VBUS \frac{R1}{R1 + R2} \right\}$$

$$[0056] \quad VY * \left\{ 1 - \frac{R2}{R1 + R2} \right\} \approx |V_{GS_{MP4}}| - (1 \text{ V}) * \frac{R2}{R1 + R2} + VBUS \frac{R1}{R1 + R2}$$

$$[0057] \quad VY * \left\{1 - \frac{3}{4}\right\} \approx 1.5 \text{ V} - 1 \text{ V} * \frac{3}{4} + 24 \text{ V} * \frac{1}{4}$$

$$[0058] \quad VY \approx 4 * (6 + 1.5 - 0.75) \text{ V}$$

[0059]  $VY \approx 27 \text{ V}$ , 因此 $M_{P4}$ 处于饱和状态。

[0060] 反馈电阻器 $R1$ 和 $R2$ ,其可以是例如Poly VSR电阻器,可以经选择以使得共源共栅装置 $M_{P4}$ 、 $M_{P5}$ 具有在其可靠性限制(例如小于5伏)内的 $|VGS|$ 。“Poly VSR”电阻器是具有非常高的薄层电阻(VSR)的多晶硅电阻器。Poly VSR是可以具有比其它类型的电阻器更高的温度变化的低面积电阻器。然而,因为在电路300中以一定比率使用电阻,作为温度函数的电阻的任何此类绝对变化对电路运行没有实质影响。可以选择 $R1$ 和 $R2$ ,使得即使当VBUS为0伏时,反馈比 $R2/(R1+R2)$ 也足够大,以避免 $M_{P4}$ 上 $|VGS|$ 违反。例如,反馈比可以大于5/9,例如3/4。例如, $R1$ 可以选择为2.25兆欧,而 $R2$ 可以选择为6.77兆欧。下面的分析演示了挑选足够大的反馈比,例如3/4的背后的逻辑。如从以下分析可见,挑选太小例如1/2的反馈比会导致 $M_{P4}$ 的 $|VGS|$ 违反。

[0061] 选择 $R1$ 和 $R2$ 使得 $|VGS_{MP4}| < 5 \text{ V}$

$$[0062] \quad \text{情况1: 如果 } \frac{R2}{R1 + R2} = \frac{1}{2},$$

$$|VGS_{MP4}| = VY - VBP_2$$

$$[0063] \quad = VBUS + 10 \text{ V} - \left\{ (VBUS + 10 \text{ V} - VGS_{MNF}) \frac{R2}{R1 + R2} + VBUS \frac{R1}{R1 + R2} \right\}$$

$$[0064] \quad VGS_{MNF} \approx 1 \text{ V}$$

$$[0065] \quad |VGS_{MP4}| = VBUS + 10 \text{ V} - \left\{ (VBUS + 9 \text{ V}) \frac{R2}{R1 + R2} + VBUS \frac{R1}{R1 + R2} \right\}$$

$$[0066] \quad |VGS_{MP4}| = 10 \text{ V} - 9 \text{ V} * \frac{R2}{R1 + R2} = 10 \text{ V} - 4.5 \text{ V} = 5.5 \text{ V} > 5 \text{ V}$$

$$[0067] \quad \text{情况2: 如果 } \frac{R2}{R1 + R2} = \frac{3}{4},$$

$$[0068] \quad |VGS_{MP4}| = 10 \text{ V} - 9 \text{ V} * \frac{R2}{R1 + R2} = 10 \text{ V} - 6.75 \text{ V} = 3.25 \text{ V} < 5 \text{ V}$$

[0069] 图3的电路300在当使用高功率FET制造工艺(例如NexFET工艺)在一个IC上制造功率FET  $M_{NP0}$ 、 $M_{NP1}$ ,并且使用较低功率制造工艺在单独的控制器IC上制造所展示的各种其它FET组件时可以使用。例如,图3的电路300提供可靠的栅极驱动电路以驱动具有较高的栅极-源极电压VGS(即, $VGS \geq 10 \text{ V}$ )的NexFET,并且克服了图2的电路的可靠性限制,同时节省了超高压工艺掩模(例如DWELL或PBL掩模),从而降低了USB PD IC的成本。反馈晶体管 $M_{NF}$ 以及电阻器 $R1$ 和 $R2$ 基于功率FET(GATE\_SENSEFET, GATE\_PASSFET)的栅极处的电压而自动设定 $VX$ ,并且因此自动设定共源共栅偏置 $VBP_2$ ,使得 $M_{P2}$ 、 $M_{P3}$ 、 $M_{P4}$ 和 $M_{P5}$ 始终在VGS(例如小于5伏)和VDS(例如小于30伏)的过程可靠性限制中运行。 $M_{P4}$ 的栅极-源极电压VGS在正常运行期间受到保护,并且在电流限制运行期间 $I_{pu}$ 表现为非常良好的电流源。图3的电路300使用额定30伏VDS MOSFET实现40伏功率FET控制器IC设计,使其与使用40伏工艺制造相比,制造成本更低。

[0070] 图4是示出在电力供应中供应(或调节)功率的实例方法400的流程图。在方法400中,电流可以被供应402到功率FET的栅极,以通过具有输出的功率路径来调节功率。此电流例如可以由共源共栅电流源供应。所述方法继续到检测404通过功率路径的电流超过预定电流限制阈值。基于检测404,功率FET的栅极可以例如通过被布置成对通过功率路径的电流进行取样并且将其与阈值进行比较的电流限制电路被下拉406。方法400继续以检测408功率FET的栅极已经被下拉,并且共源共栅电流源的下级被偏置410以在饱和状态下运行,从而增加412共源共栅电流源到功率FET的栅极的输出阻抗,并且增加了414共源共栅电流源的电流精度。

[0071] 偏置可以例如通过共源共栅保护电路来完成,其可以包含例如反馈晶体管和连接到共源共栅电流源的反馈电压分压器。功率FET的栅极电压的降低406可以基于通过功率路径的电流的采样值超过阈值电流。

[0072] 共源共栅电流源的上级和下级可以是具有额定35伏的最小 $BV_{DSS}$ 的额定30伏VDS DEPMOS装置。在一些实例中,这些额定VDS不为40伏或更高。功率FET的栅极的电压电势可以比功率路径的输出的电压电势高至少10伏。电荷泵可以向共源共栅电流源供应高于功率FET的漏极的电压电势的电压。电荷泵的最小输出可以比功率路径输出的电压电势多至少10.3伏。

[0073] 在电流限制运行期间,功率FET的栅极的电压电势可以被下拉406到大约1伏,例如在0.5与1.5伏之间。检测408功率FET的栅极被下拉可以涉及通过反馈共源共栅电流源的下级的源极和栅极之间的信号来感测共源共栅电流源的下级的VDS的增加。此类反馈信号可以通过反馈晶体管和反馈电压分压器的上电阻设定,所述反馈电压分压器可以具有连接到反馈晶体管的上电阻R1、连接到功率FET的漏极的下电阻R2,并且可以选择电阻使得 $R2/(R1+R2)$ 的反馈比大于5/9,例如大约3/4。如参考电压分压器电阻所使用的,术语“下”是指拓扑位置,而不是相对于电阻值的指示。

[0074] 图5是示出在电力供应中供应(或调节)功率的实例方法500的流程图。在方法500中,电流被供应502到功率FET的栅极,以通过具有输出的功率路径来调节功率。此电流例如可以由共源共栅电流源供应。在提供小于预定电流限制阈值的通过功率路径的电流的正常运行期间,共源共栅电流源的上级晶体管在饱和状态下运行504,共源共栅电流源的下级晶体管在其线性区运行504。

[0075] 在将通过功率路径的电流限制到预定电流限制阈值的电流限制运行期间,功率FET的栅极可以例如通过被布置成对通过功率路径到阈值的电流进行采样和比较的电流限制电路被拉低506,并且上级和下级晶体管被偏置508以在饱和状态下运行,从而向功率FET的栅极和电流限制电路呈现510较高的输出阻抗,并且提高512电流限制电路的小信号稳定性。偏置可以例如通过共源共栅保护电路来完成,其可以包含例如反馈晶体管和连接到共源共栅电流源的反馈电压分压器。在电流限制运行期间功率FET的栅极的电压的降低506可以基于通过功率路径的电流的采样值超过阈值电流。

[0076] 在方法500中,共源共栅电流源的上级和下级晶体管可以是具有额定35伏的最小 $BV_{DSS}$ 的额定30伏VDS DEPMOS装置,但在一些实例中额定不为40伏VDS或更大。功率FET的栅极的电压电势可以比功率路径的输出的电压电势高至少10伏。电荷泵可以向共源共栅电流源供应高于功率FET的漏极的电压电势的电压。电荷泵的最小输出可以比功率路径输出的

电压电势多至少10.3伏。

[0077] 在方法500中,在正常运行期间,功率FET的栅极的电压电势可以是34伏或更高。电荷泵的电压电势可以是34.3伏或更高。公共漏极的电压电势可以是大约24伏,并且连接到上级晶体管的漏极和下级晶体管的源极的共源共栅电流源的中间节点的电压电势可以是大约34伏。在电流限制运行期间,功率FET的栅极的电压电势可以是大约1伏,例如在0.5与1.5伏之间,电荷泵的电压电势可以是大约34.3伏,公共漏极的电压电势可以是大约24伏,连接到上级晶体管的漏极和下级晶体管的源极的共源共栅电流源的中间节点的电压电势可以是大约27伏。

[0078] 在方法500中,共源共栅电流源的下级晶体管的VDS可以在电流限制运行期间增加以偏置上级和下级晶体管以在饱和状态下运行。反馈电压分压器可以具有连接到反馈晶体管的上电阻R1、连接到功率FET的漏极的下电阻R2,并且可以选择电阻使得 $R2/(R1+R2)$ 的反馈比大于5/9,例如大约3/4。如参考电压分压器电阻所使用的,术语“下”是指拓扑位置,而不是相对于电阻值的指示。

[0079] 在此说明书中,术语“基于”是指至少部分地基于。

[0080] 在包含所附权利要求的本申请的范围内,在所描述的实例实施例中的修改是可能的,并且其它实施例是可能的。

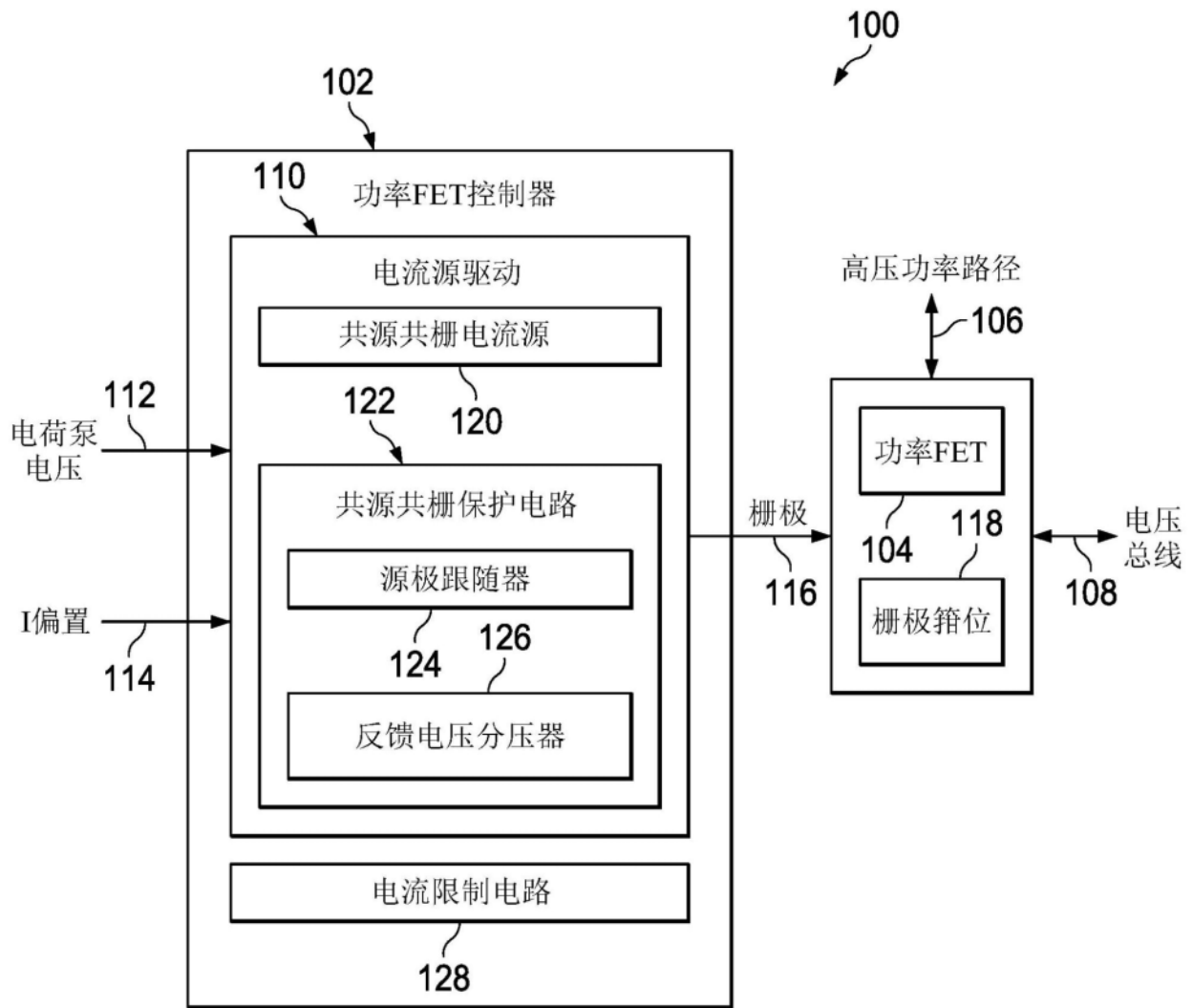


图1

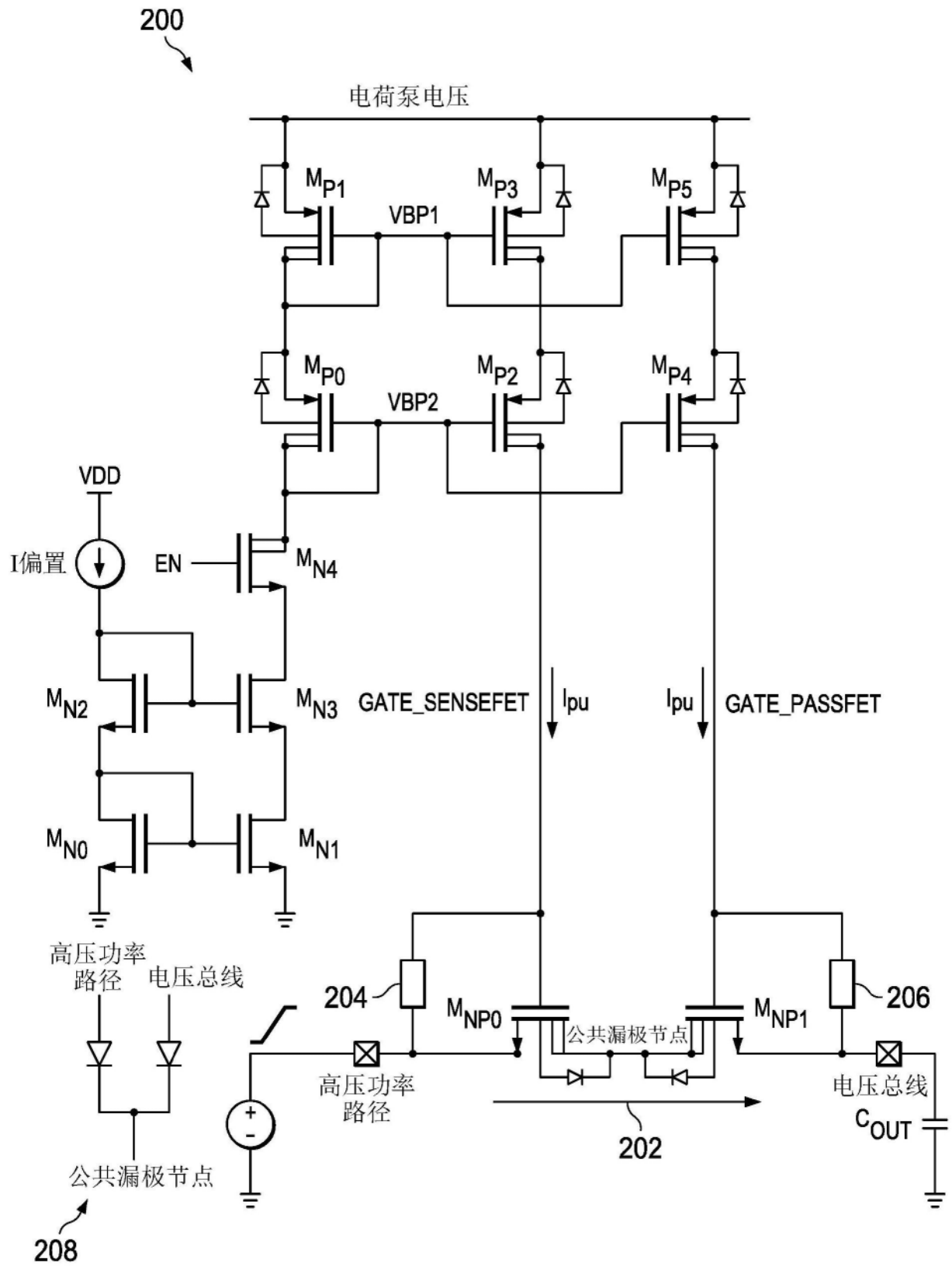


图2



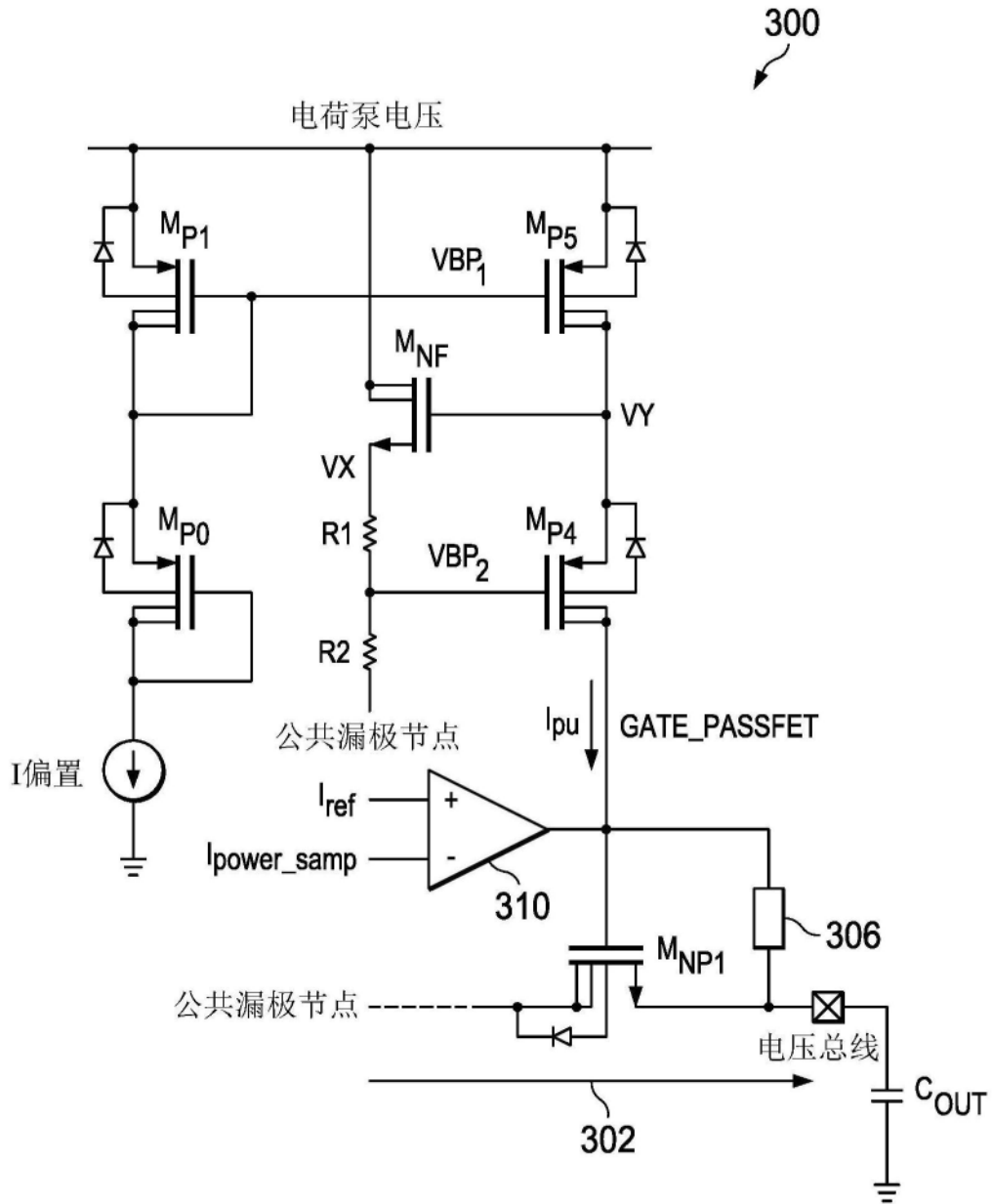


图3

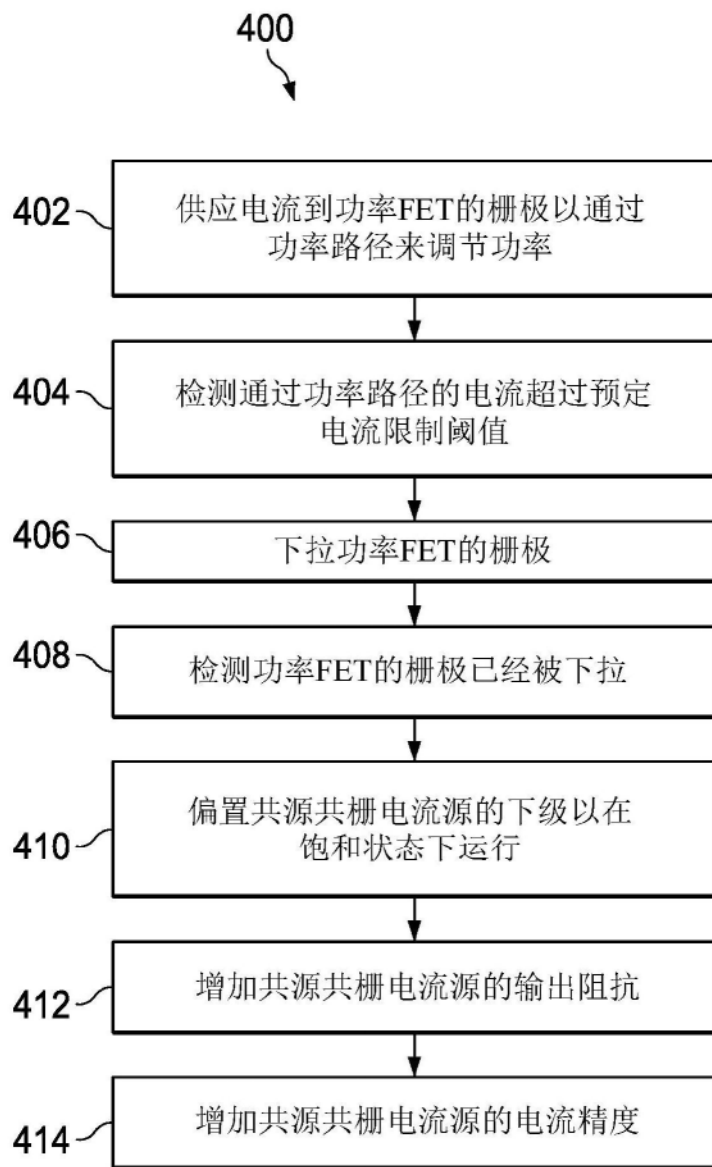


图4

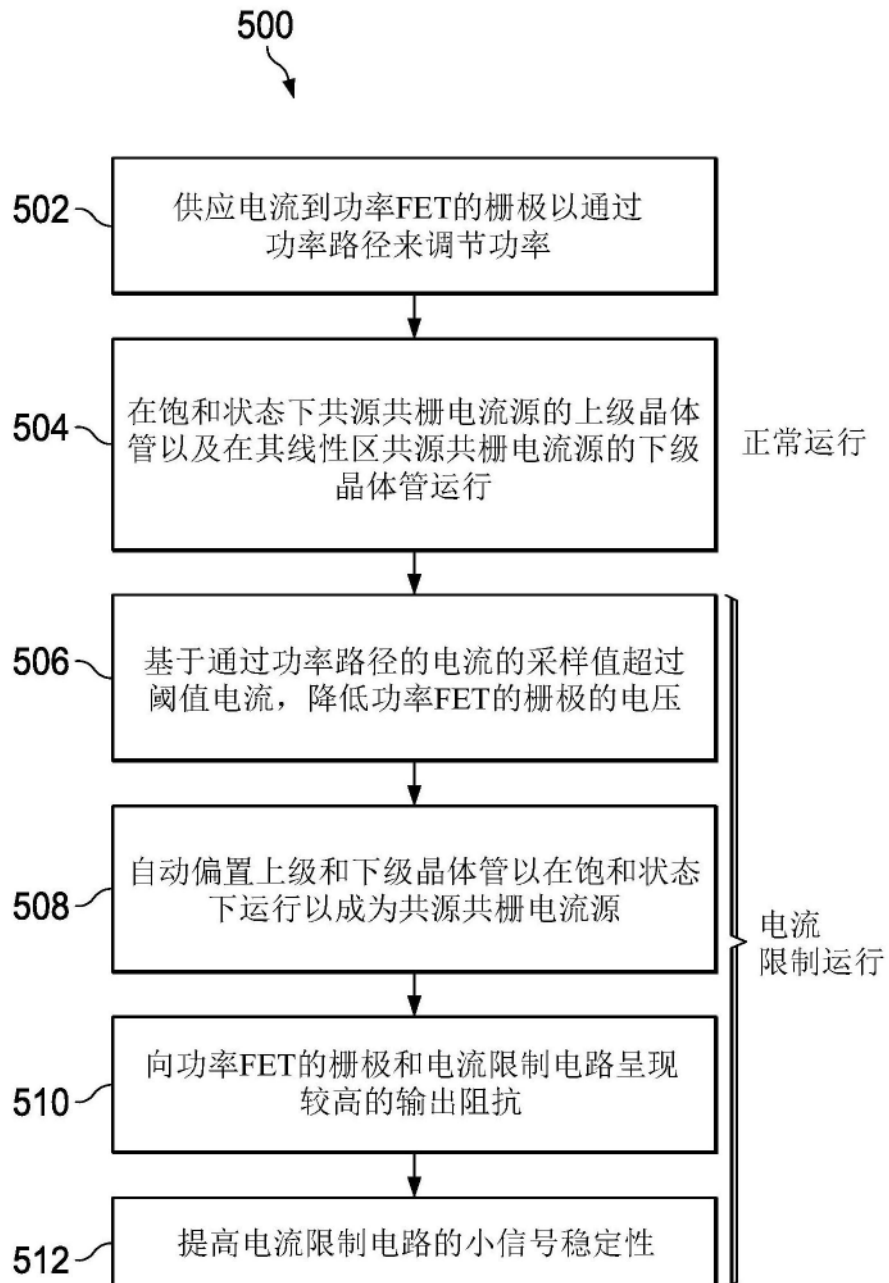


图5